

2.

Technische Daten

2.1.

Allgemeine Daten

Steckeinheitenabmessungen:	215 mm x 170 mm
Steckraster:	20 mm
Steckverbinder:	2 x 58polig, indirekt. Bauf. 304-58 TGL 29331/03 bzw. 2 x 58polig, direkt TGL 29331/01
Einsatzklasse:	5/60/30/95/10-1 _E
Stromversorgung (typisch; alle PROMs bestückt):	K 2521 K 2522 K 2523 K 2524
5P = + 5 V ± 5 %	1,50 A 1,45 A 1,45 A 1,40 A
5N = - 5 V ± 5 %	0,07 A 0,07 A 0,07 A 0,07 A
12P = + 12 V ± 5 %	0,12 A 0,12 A 0,12 A 0,12 A

2.2.

Takterzeugung

Quarztyp:	Q51/E2010 TGL 33584
Quarznennfrequenz:	9832 KHz
Systemtaktfrequenz:	2,4576 MHz ± 0,1 %
Systemtaktzyklus:	407 ns ± 0,1 %

2.3.

Zentrale Verarbeitungseinheit

Schaltkreistyp:	Q300
Befehlsanzahl:	158 Basisbefehle
Befehlslänge:	1, 2, 3 oder 4 Byte
Verarbeitungsbreite:	1 Byte
Wortlänge Daten:	1 oder 2 Byte

Adressierbarer Speicher: 64K Byte
 E/A-Adreßbereich: 256 Ein-/256 Ausgabeadressen
 (erweiterbar)
 Unterbrechungsarten: 1. maskierbare Unterbrechung
 (3 verschiedene Handlungsmodi)
 2. nichtmaskierbare Unterbrechung
 Wartesteuerung: vorhanden
 Refreshsteuerung: vorhanden

2.4.

Speicher

Schaltkreistypen: Q260
 Kapazität: Q240
 4K Byte, bestehend aus:
 - 3K Byte PROM (abrüstbar in
 Stufen zu 1K Byte)
 - 1 K Byte stat. RAM (n-MOS)
 Adressierung: fest
 Adressen:
 - 1. PROM 0000_H ... 03FF_H
 - 2. PROM 0400_H ... 07FF_H
 - 3. PROM 0800_H ... 0BFF_H
 - RAM 0C00_H ... 0FFF_H

2.5.

Zähler/Zeitgeber (CTC)

Schaltkreistyp: Q302
 Anzahl der Kanäle: 4
 Adressierung: fest
 Adressen: 008_H ... 0083_H
 Ausgangssignale: MOS, TTL-kompatibel (max. 1,8 mA)
 Eingangssignale: MOS, TTL-kompatibel
 Betriebsarten: 1. Zeitgeber
 2. Zähler

Zeitgeber:

Erzeugbare Intervalle: programmierbar (16 ... 256²) · t_Z
t_Z = Systemtaktzyklus

Zähler

Zählerbereich: programmierbar
1 ... 256 externe Ereignisse
Max. Zählbereich: 256⁴ externe Ereignisse;
erreichbar durch Reihenschaltung
von 4 Kanälen

2.6.

Parallel-Ein/Ausgabe (PIO)

Schaltkreistyp: Q301
Anzahl der Ports: 2 (Port A, Port B)
(bzw. bidirektionale
Interfacekanäle)
Ausgangssignale: MOS, TTL-kompatibel (max. 1,8 mA)
Eingangssignale: MOS, TTL-kompatibel
Adressierung: fest
Adressen: 0084_H ... 0087_H
Betriebsarten: 4

2.7.

Mehrrercherkopplung

Schaltkreistyp: Q301 (siehe 2.6.)
Anzahl der koppelbaren
Rechner: max. 1 Master - mit 3 Slaverechnern
Übertragungsmodus: Interruptverkehr zwischen Prozessor
und E/A-Ports,
programmierter Datenblocktransfer
zwischen Master- und Slaverechnern
Übertragungsgeschwindigkeit: 30k Byte/s

3.

Technische Beschreibung

3.1.

Takterzeugung und Rücksetzschaltung

Die unter Pkt. 3.1.1. und 3.1.3. beschriebenen Funktionseinheiten sind nur auf den Typen K 2521 und K 2523 vorhanden.

3.1.1.

Takterzeugung

Ein Quarzgenerator erzeugt eine Grundfrequenz von $9830,4 \text{ KHz} \pm 0,1 \%$. Diese wird mit Hilfe eines Dualzählers auf die Systemfrequenz von $2,4576 \text{ MHz} \pm 0,1 \%$ geteilt (Testverhältnis 1:1). Ein folgender Treiber speist den Koppelbus mit dem Signal TAKTO. Diese Verbindung kann durch die Wickelbrücke X6 - X7 unterbrochen werden. Das ist z.B. notwendig, wenn der Takt separat erzeugt wird, wenn dieser vom Entwicklungssystem über den Busverstärker K 4120 oder von einer anderen ZRE (s.a. Mehrrechnersystem) zugeführt wird. Der Treiber gewährleistet folgende elektrische Bedingungen:

Low-Ausgangsspannung	U_{OL}	0,4 V bei I_{OL}	15 mA
High-Ausgangsspannung	U_{OH}	2,4 V bei I_{OH}	5 mA
Taktzykluszeit	t_z	= $407 \text{ ns} \pm 0,1 \%$	

3.1.2.

Taktentkopplung

Unabhängig vom Ort der Takterzeugung wird das Signal TAKTO auf dem Koppelbus eingespeist und kann hier an andere Rechner oder Geräte weitergeleitet werden. In jedem Falle wird auf der ZRE eine Taktentkopplung realisiert, indem das Signal TAKTO des Koppelbus verstärkt und als Signal TAKT an der entsprechenden Klemme des Systembus eingespeist wird.

Die Typen K 2521 und K 2523 erzeugen TAKTO selbst. Für die Typen K 2522 und K 2524 muß TAKTO von einem anderen Rechner (Mehrrrechnersystem), vom Busverstärker K 4120 (Kopplung mit Entwicklungssystem) oder separat bereitgestellt werden.

3.1.3.

Rücksetzschaltung

Nach dem Einschalten der Betriebsspannung 5P wird ein Kondensator aufgeladen und mit einem Schwellwertschalter überwacht. Solange die Einschaltswelle noch nicht erreicht ist, wird das Systembussignal /RESET auf "low" über einen Treiber mit offenem Kollektor gezogen. Am Treiber ist ein Kollektorwiderstand von 1K Ohm angeordnet. Damit werden folgende elektrische Daten realisiert:

U_{OL}	0,4 V für I_{OL}	5 mA
U_{OH}	2,4 V für I_{OH}	- 2,25 mA.

Die Zeit vom Zuschalten der 5P bis zur "low-high"-Flanke von /RESET beträgt mindestens 300 ms.

3.2.

Zentrale Verarbeitungseinheit (ZVE)

3.2.1.

Struktur

Die ZVE besteht aus dem Mikroprozessor (MP) Q300 und der Ergänzungselektronik. Der MP realisiert die logischen Funktionen der ZVE. Die Ergänzungselektronik gewährleistet die elektrischen Bedingungen für die Ankopplung an den Systembus des MR K 1520 und besteht aus folgenden Komponenten:

- Verstärker für /RESET und TAKT (mit Zieh Widerstand zur Pegelanhebung; mithenutzt von PIO und CTC).

- Arbeitswiderstände und Abblockdioden für ZVE-Steuersignale mit offenem Kollektor bzw. Drain (/NMI, /WAIT, /INT, /BUSRQ).
- Bildung der Bus-Anforderungsbestätigung /BAO durch eine Stufe mit offenem Kollektor (zum Zweck des externen BUS-Abschaltens im WAIT-Zustand) aus dem Signal /BUSAK.
- Verstärker für Adreßbus ABO:15, Datenbus DBO:7 und Systemsteuersignale /MREQ, /M1, /IORQ, /RD, /WR, /RFSH, /HALT, die mit BAO hochohmig geschaltet werden: /M1 und /HALT besitzen Zieh Widerstände, die dann an ihnen High-Pegel erzeugen. Nur die Datenbusverstärker arbeiten bidirektional und werden mit RD oder M1 in Richtung ZVE gesteuert.

3.2.2.

Funktion

Die Aufgabe der ZVE besteht in der Abarbeitung der im Speicher stehenden Programme und in der Reaktion auf Unterbrechungssignale von externen Einheiten.

Dazu muß die ZVE über den Systembus mit den Speichern und E/A-Einheiten Informationen austauschen.

Die Ergänzungselektronik hat keinen Einfluß auf die Funktion des Schaltkreises Q300. All seine programmtechnischen Eigenschaften sind nutzbar.

Folgende elektrische Besonderheiten sind allerdings zu beachten:

- Im Ruhezustand verstärken die Datenbustreiber in Richtung Systembus
- Auf der ZRE sind alle Widerstände der Systembusleitungen für offenen Kollektor bzw. Drain vorhanden
- /BAO ist mit offenem Kollektor ausgeführt
- Auch /RFSH, /M1 und /HALT werden bei BUSAK hochohmig geschaltet. /M1 und /HALT werden aber dabei durch Widerstände auf high gezogen.

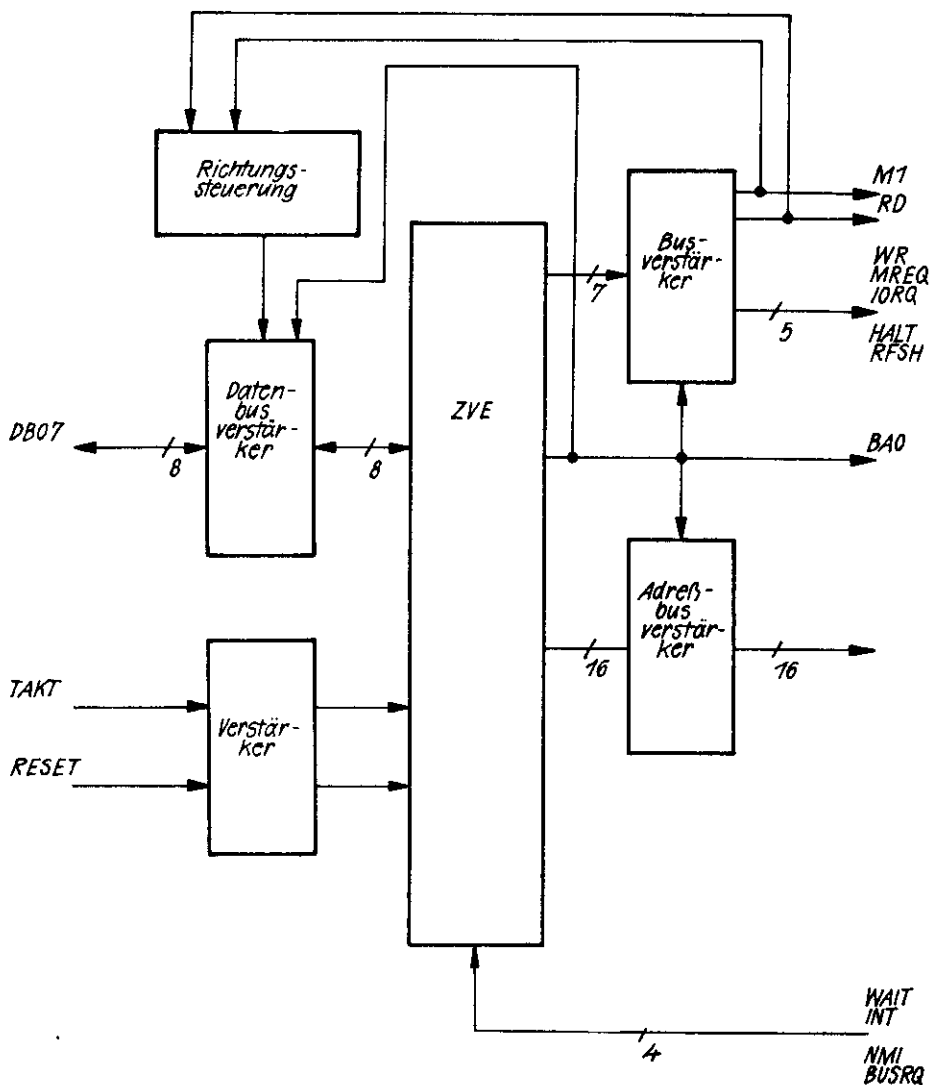


Abb. VII/1 Logische Struktur der ZVE

3.3.

Speicher

3.3.1.

Struktur

Die Speichereinheit besteht aus einem 3K Byte Festwertspeicher und einem 1K Byte Schreib-Lese-Speicher. Der Festwertspeicher wird durch 3 EPROM vom Typ 0260 realisiert. Diese sind auf Steckfassungen angeordnet und dadurch leicht austauschbar. Sie belegen den Adressbereich von 0000_H bis $0BFF_H$. Die Zuordnung der Adressbereiche zu den Bestückungsplätzen ist aus der Abbildung VII/2 zu ersehen. Der Schreib-Lese-Speicher wird bitweise durch 8 statische n-MOS-RAM-Schaltkreise vom Typ 0240 realisiert. Er belegt den Adressbereich von $0C00_H$ bis $0FFF_H$.

Der gesamte Speicher ist mit dem Systembus über folgende Signale verbunden:

ABO:15	Adreßbus
DBO:7	Datenbus
/MEMRQ	Speicheranforderung (negiert)
/RD	Lesesteuersignal (negiert)
/WR	Schreibsteuersignal (negiert)
/MEMDI	Speicherfreigabe (negiert) evtl. durch Umwickeln ersetzt durch /MEMDI1 oder /MEMDI2
/RDY	Bereitsignal des Speichers (negiert)
/RFSH	Refresh-Signal (negiert)

Die elektrischen Bedingungen dieser Signale entsprechen den allgemeinen Forderungen des Systembusses K 152 O.

Standardmäßig wird zur Speichersperrung das Signal MEMDI verwendet. Der Anwender kann aber auch wahlweise die Signale MEMDI1 bzw. MEMDI2 verwenden, die er allerdings selbst (negiert) bereitstellen muß. Auf diese Weise ist eine Erweiterung des Speicheradressbereiches über 64K hinaus möglich. Die Auswahl erfolgt durch die Wickelbrücken

X8:1 - X9:1 für /MEMDI
X8:2 - X9:2 für /MEMDI1
X8:3 - X9:3 für /MEMDI2

Deren Lage ist in Abb. VII/2 erkennbar.

Abb. VII/3 zeigt die Blockstruktur der Speichereinheit.

3.3.2.

Funktion

Die Aktivierung des Speichers erfolgt durch /MREQ = low, falls AB12 bis AB15 low /RFSH, /MEMDI bzw. /MEMDI1 bzw. /MEMDI2 (je nach Verdrahtung) high sind. Daraufhin wird das Signal /RDY (offener Kollektor) auf low gezogen, die Decodierung der Adreßbits AB10 und AB11 sowie der Datenbusverstärker aktiviert. Dabei werden vier CS-Signale gebildet, die zur Ansteuerung der vier 1K Byte-Speichermatrizen dienen. Auf welches Byte innerhalb der Matrix zugegriffen wird, entscheiden die die Speicherschaltkreise direkt steuernden Adreßbits ABO bis AB9. Beim RAM bewirkt das Signal /WR = low das Einschreiben der verstärkten Datenbussignale DBO bis DB7 in den Speicher. Dabei ist der DB-Puffer durch /RD = high in Richtung zum Speicher gesteuert und legt die Daten an dessen Eingänge. Beim Lesen wird der DB-Puffer durch /RD = low in Richtung Systembus gesteuert und das von der mit CS aktivierten Speichermatrix gelieferte Datenbyte verstärkt.

3.4.

Zähler/Zeitgeber

Der Zähler/Zeitgeber ist nur auf den Typen K 2521 und K 2522 realisiert.

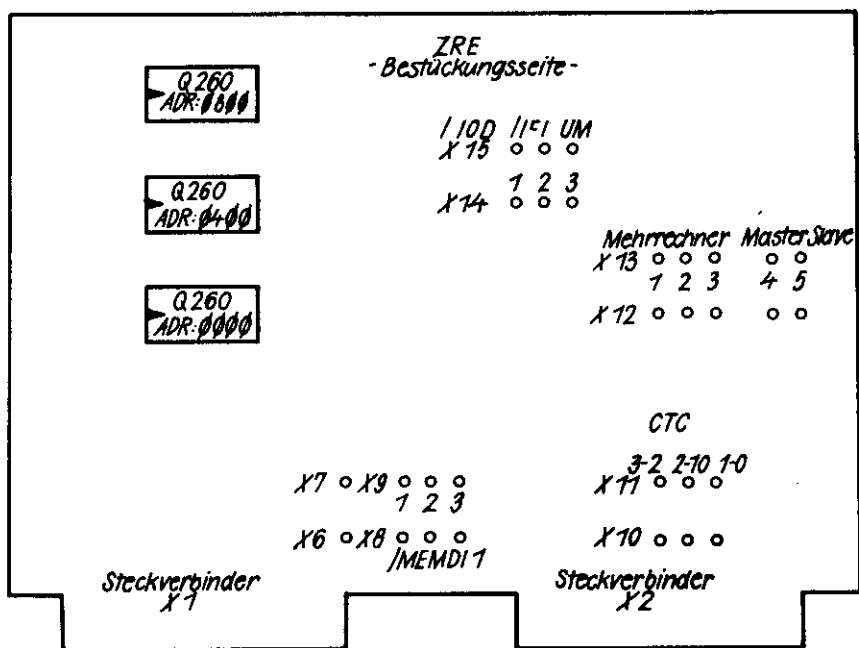


Abb. VII/2 Zentrale Bedieneinheit K 2521 ... K 2524
Adressenzuordnung der PROM-Plätze und
Anordnung der Wickelbrücken

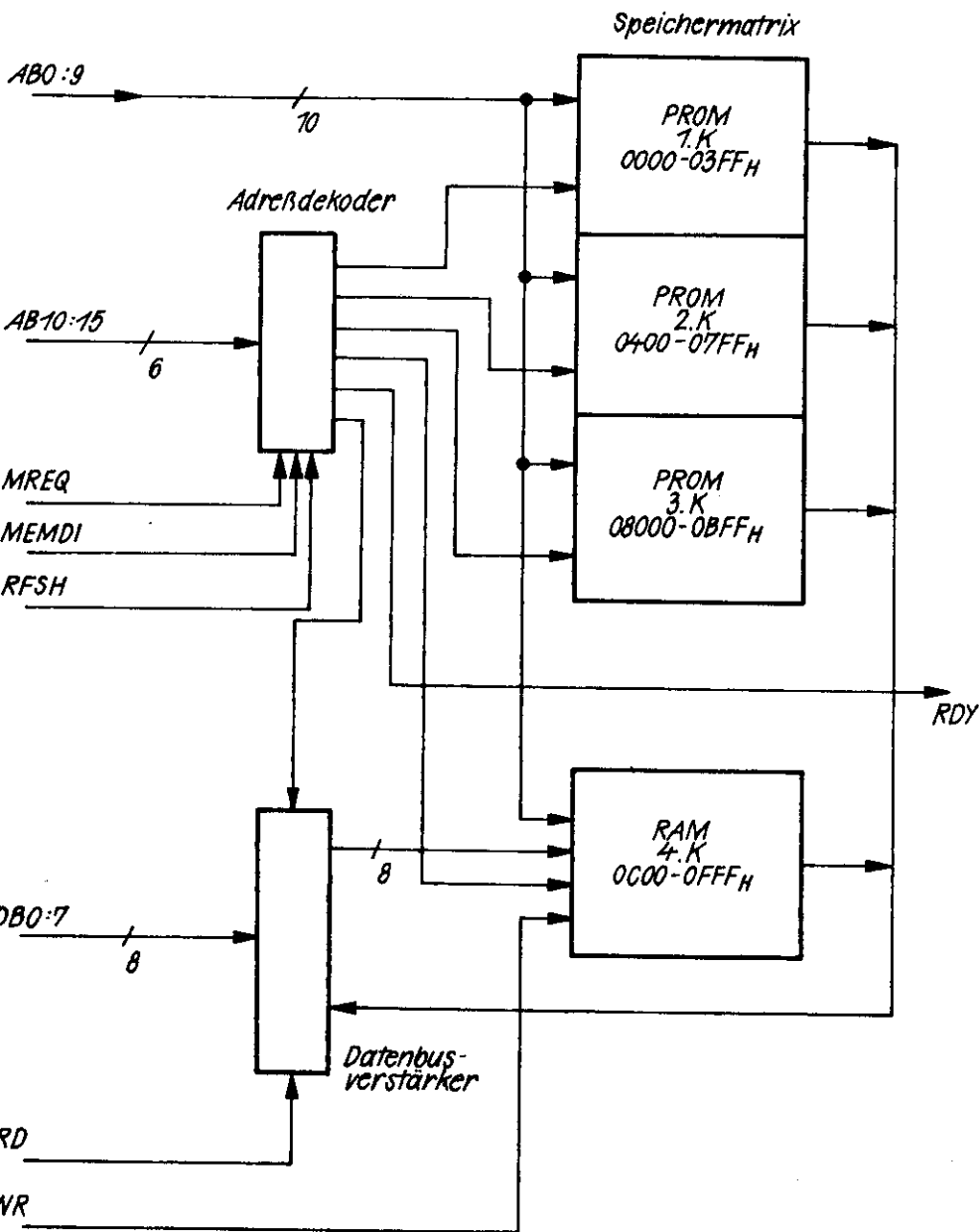


Abb. VII/3 Logische Struktur des Speichers der ZRE

3.4.1.

Struktur

Der Zähler/Zeitgeber besteht aus dem Schaltkreis Q302 und der Ergänzungselektronik. Die Ergänzungselektronik dient der Anpassung des Q302 an die elektrischen und logischen Bedingungen des Systembusses K 1520. Sie wird mit dem Q301 gemeinsam benutzt und besteht im wesentlichen aus Datenpuffer mit Richtungssteuerung und Adressenentschlüsselung zur Bildung des Bausteinauswahl- und RDY-Signals.

3.4.2.

Anschlußbedingungen

3.4.2.1.

Systembus

Die elektrischen und logischen Bedingungen des CTC entsprechen denen des Systembusses K 1520, lt. TGL 37271.

3.4.2.2.

Koppelbus

Die anwenderspezifischen Ein- und Ausgangssignale des Q302 sind an dem Koppelbus geführt und konstruktiv wie folgt angeordnet:

	Steckver.-Klemme
CLK/TRG0	X2:B25
CLK/TRG 1	X2:B24
CLK/TRG2	X2:B23
CLK/TRG3	X2:A22
Nulldurchgangs-/Triggerausgänge	
ZC/T00	X2:A25
ZC/T01	X2:A24
ZC/T02	X2:A23

3.4.2.3.

Funktion

Der Anwender kann alle Möglichkeiten nutzen die der Schaltkreis Q302 bietet. Die oben angeführten Signale werden ungeschaltet zur Verfügung gestellt.

Durch Wickelbrücken können die Kanäle aber auch wie folgt in Reihe geschaltet werden:

X10:3 - X11:3	: ZC/TOØ	CLK/TRG1
X10:2 - X11:2	: ZC/TO1	CLK/TRG2
X10:1 - X11:1	: ZC/TO2	CLK/TRG3

Der Schaltkreis wird vom Systembus über die Ergänzungselektronik angesteuert, falls auf dem Adreßbus AB7 bis ABO die Adressen 80_H bis 83_H liegen, /IODI, /M1 high und /IORQ low sind. Die Verdrahtung der Bits ABO und AB1 realisiert folgende Bedeutung der Adressen:

<u>AB7:0</u>	<u>Kanal</u>
80 _H	0
81 _H	1
82 _H	2
83 _H	3

Der Q302 besitzt in der Interruptkette der ZRE die höchste Priorität. Der Datenbuspuffer ist bidirektional und wird in Richtung Systembus gesteuert, wenn der Q302 ausgewählt wird und dabei /RD = low ist (Lesen-Zugriff) oder /IORQ und /M1 low, IEI und /IEO high sind (Unterbrechungsquittung).

Bei Ein- und Ausgabezugriff sowie Interruptanerkennung wird jeweils /RDY auf low gezogen.

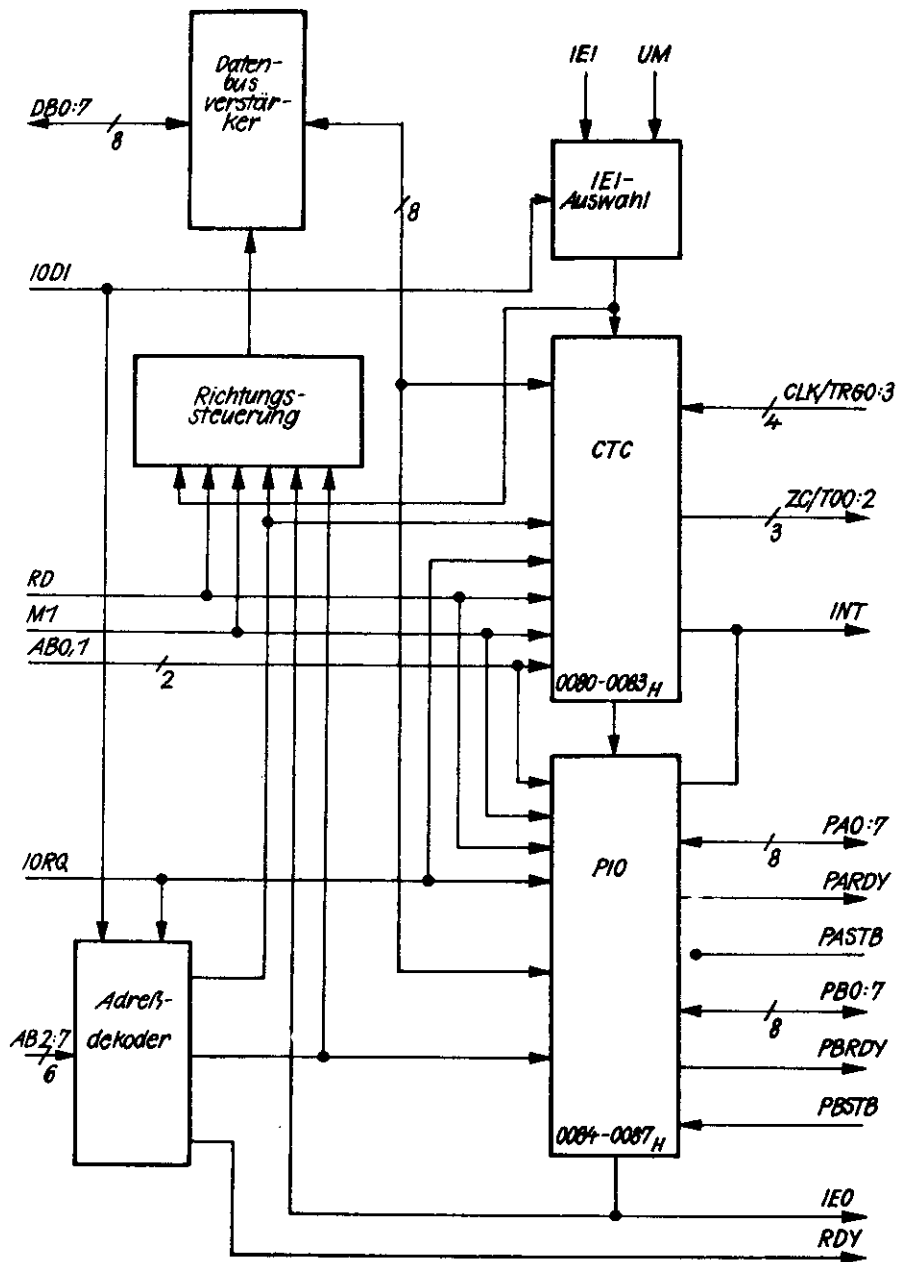


Abb. VII/4 Logische Struktur von Zähler/Zeitgeber und Parallel-Ein- und Ausgabeinterface (ohne Koppel-elektronik)

3.5.

Parallele Ein/Ausgabe

3.5.1.

Struktur

Die Schaltung zur parallelen Ein- und Ausgabe besteht aus dem Schaltkreis Q301, einer Ergänzungselektronik und einer Koppel-elektronik. Die Ergänzungselektronik dient der Anpassung des Q301 an die elektrischen und logischen Bedingungen des System-busses K 1520. Sie wird bei den Typen K 2521 und K 2522 mit dem Q302 gemeinsam genutzt und besteht aus Datenverstärkern mit Richtungssteuerlogik, Adressenentschlüsselung zur Bildung der CS-Signale und des RDY-Signals, der Auswahl des IBI-Signals mit einer Look-Ahead-Carry-Schaltung sowie einigen Verstärkern. Der Q301 kann zur Kopplung von bis zu vier K 1520 benutzt werden. Er besitzt dazu eine Koppel-elektronik zur Synchronisierung des Datenaustausches. Diese kann durch Wickelverbindungen vom Q301 getrennt oder für die Verwendung als Master- bzw. Slave-Rechner verdrahtet werden (siehe Abb. VII/2 und Tabelle 1).

Tabelle 1:

Festlegung des Regimes der ZRE durch die Wickelbrücken X12/X13

Regime	X12:1	:2	:3	:4	:5
	X13:1	:2	:3	:4	:5
Einzelrechner					
Mehrrechner Master	x	x	x	x	
Mehrrechner Slave	x	x	x		x

x = Wickelbrücke vorhanden

3.5.2.

Anschlußbedingungen

3.5.2.1.

Systembus

Die elektrischen und logischen Bedingungen der Ein-/Ausgabe entsprechen denen des Systembusses K 1520, lt. TGL 37271.

3.5.2.2.

Koppelbus

- Verwendung zur parallelen Ein- und Ausgabe

Die elektrischen und logischen Bedingungen entsprechen denen des Schaltkreises Q301. Konstruktiv sind Signale wie folgt angeordnet:

<u>Q301-Bezeichnung</u>	<u>Signalname</u>	<u>Klemme der Steckeinheit</u>
A0	PA0	X2:A16
A1	PA1	X2:B16
A2	PA2	X2:A15
A3	PA3	X2:B15
A4	PA4	X2:A14
A5	PA5	X2:B14
A6	PA6	X2:A13
A7	PA7	X2:B13
ARDY	PARDY	X2:B12
/ASTB	/PASTB	X2:B17
B0	PB0	X2:A11
B1	PB1	X2:B11
B2	PB2	X2:A10
B3	PB3	X2:B10
B4	PB4	X2:A09
B5	PB5	X2:B09
B6	PB6	X2:A08
B7	PB7	X2:B08
BRDY	PBRDY	X2:A12
/BSTB	/PBSTB	X2:A17

- Verwendung zur Mehrrechner-Kopplung

Die Mehrrechnerkopplung verwendet einen Koppelbus aus 8 Datenleitungen, 2 Datensynchronisationsleitungen, 7 Leitungen zur Adressierung, Quittierung und Statuskennzeichnung, eine Leitung zur Verbindung der /RESET-Signale und (bei Verwendung eines zentralen Taktgenerators) eine Leitung zur Verteilung des zentralen Taktes. Sie sind logisch und elektrisch aufeinander abgestimmt und werden über alle vier Rechner durchgehend verdrahtet. Konstruktiv sind die Signale wie folgt angeordnet:

<u>Signalname</u>	<u>Klemme der Steckeinheit</u>	
PA0	X2:A16	} - Datenleitungen
PA1	X2:B16	
PA2	X2:A15	
PA3	X2:B15	
PA4	X2:A14	
PA5	X2:B14	
PA6	X2:A13	
PA7	X2:B13	
/PRDY	X2:B06	} - Datensynchronisations- leitungen
/PSTB	X2:A06	
PB0	X2:A11	Statuskennzeichnung
PB2	X2:A10	} Leitungen zur - Adressierung und Quittierung
PB3	X2:B10	
PB4	X2:A09	
PB5	X2:B09	
PB6	X2:A08	
PB7	X2:B08	
/RESET	X2:B05	Rücksetzen des Mehr- rechnersystems
TAKTO	X2:B04	Zentraler Takt des Mehrrechnersystems (falls verwendet)

3.5.3.

Funktion

3.5.3.1.

Verwendung zur Ein- und Ausgabe

Hierbei sind vom Anwender alle Möglichkeiten des Schaltkreises Q301 nutzbar. Das peripherieseitige Interface wird unbeschaltet zur Verfügung gestellt.

Der Schaltkreis wird vom Systembus über die Ergänzungselektronik angesteuert, falls auf dem Adreßbus AB7 bis ABO die Adressen 84_H bis 87_H liegen. /M1, /IODI high und /IORQ low sind. Durch disjunktive Verknüpfung von M1 mit RESET wird das Zurücksetzen des Q301 ermöglicht. Die Verbindung von ABO mit B/A-SEL und AB1 mit C/D-SEL realisiert die folgende Bedeutung der Adressen:

<u>AB7:0</u>	<u>Bedeutung des Bytes auf DBO:7</u>
84_H	Daten von/zu Port A
85_H	Daten von/zu Port B
86_H	Steuerwort zum Port A
87_H	Steuerwort zum Port B

Durch Verbindung des Signals IEI des Q301 mit IEO des Q302 wird beim K 2521 und K 2522 die Interruptpriorität nach dem Q302 eingeordnet. Der Datenbusverstärker ist bidirektional und wird in Richtung Systembus gesteuert, wenn der Q301 ausgewählt wird und dabei /RD = low ist (Lesezugriff) oder /IORQ und /M1 low sind und IEI und /IEO high sind (Unterbrechungsquittung).

Bei Ein- und Ausgabezugriff sowie Interruptanerkennung wird jeweils /RDY auf low gezogen.

IEI der Steckeinheit kann vom Anwender durch Wickelbrücken auf drei Arten erzeugt werden:

1. Auswahl von /IODI durch Verbindung X14:1 - X15:1 (Normalfall; ZRE hat höchste Priorität)

2. Auswahl von /IEI des Systembus durch Verbindung X 14:2 - X15:2 (ZRE wird innerhalb der Prioritätskette eingereicht).
3. Auswahl von UM durch Verbindung X14:3 - X15:3 (für spezielle Kopplung mit dem Entwicklungssystem MRES 20 über BVE K 4120).

3.5.3.2.

Verwendung zur Mehrrechnerkopplung

Durch eine zusätzliche Koppel elektronik und spezielle Verdrahtung des Koppelbusses ist hier der Q301 nur noch eingeschränkt nutzbar. Die Verbindung mit dem Systembus entspricht der Verwendung als Parallel-E/A-Interface. Durch die Koppelverdrahtung entsteht ein Mehrrechnersystem aus einem Master (gekennzeichnet durch das Masterregime der Koppel elektronik) und bis zu drei Slaves (gekennzeichnet durch das Slaveregime der Koppel elektronik). Der Datenaustausch kann nur zwischen Master und jeweils einem aktiven Slave erfolgen.

Die Funktionen des Kopplungsinterface werden vom Schaltkreis Q301 wie folgt realisiert.

Port B arbeitet im Modus 3. Bit B \emptyset des Masters realisiert das Statuskennzeichen PB \emptyset , welches die Übertragungsrichtung kennzeichnen kann. In den Slaves wird PBO als Bit 0 des Ports B empfangen. Das Bit B1 des Q301 eines jeden Rechners stellt im High-Zustand die Funktionsfähigkeit der Koppel elektronik her, d.h. die Bereitschaft zur Datentübertragung über die Datenleitungen. Die Datenleitungen PA0:7 des Koppelbusses werden direkt von den Datenleitungen A/:7 des Ports A des Q301 gebildet, welches je nach Übertragungsrichtung im Modus 0 (Ausgabe) oder 1 (Eingabe) arbeiten muß.

Im Slave werden das eigene ARDY und B1 des Q301 und PRDY (welches ARDY und B1 des Masters entspricht) konjunktiv verknüpft und ein etwa 1 μ s langer Strobe-Impuls erzeugt, der den Datenaustausch im Slave und Master (dort als PSTB) quittiert. Während der Einleitung des Datenaustausches vom Master

wird der jeweilige Slave durch die Bits PB2 bis PB4 (d.h. B2 bis B4 von Port B des Q301) adressiert. Leitet ein Slave die Übertragung ein, so erfolgt die Adressierung durch die Bits PB5:7 (d.h. B5:7 des Q301). Durch die Adressierung wird im jeweiligen Partner eine Unterbrechung ausgelöst, die nach Vorbereitung des Datenaustausches zur Quittierung über die jeweiligen Adreßleitungen (PB2:4 zum Slave, PB5:7 zum Master) führt.

Von diesen Funktionen ausgehend muß während der Initialisierungsphase folgende Programmierung des Q301 erfolgen:

Betriebssteuerwort Port A	Master	0F _H	(Mode 0)
	Slave	4F _H	(Mode 1)
Betriebssteuerwort Port B		CF _H	(Mode 3)
Bit-E/A-Steuerwort Port B	Master	EO _H	
	Slave 1	DD _H	
	Slave 2	BD _H	
	Slave 3	7D _H	

Interruptvektor (niederer Adressenteil der Interrupt-Tabellenzeile; programmspezifisch festgelegt).

Interruptsteuerwort Port A		87 _H
Interruptsteuerwort Port B		B7 _H
Interruptmaskenwort Port B	Master	1F _H
	Slave 1	FB _H
	Slave 2	F7 _H
	Slave 3	EF _H

Vor dem Setzen des Interruptsteuerwortes und der Interruptmaske in irgend einem Rechner muß programmäßig gewährleistet werden, daß die Ausgabebits von Port B in allen Rechnern auf low gesetzt sind.

Entsteht in einem Rechner eine Bedingung zum Datenaustausch, so wird durch Adressierung des Partners der Verbindungsaufbau eingeleitet. Nach dem Setzen des Status PBO vom Master und dem Aktivieren der Koppелеlektronik durch die jeweiligen Bit 1 des Port B wird das Quittierungssignal zurückgeschickt. Beide Rechner verzweigen in die Datenaustauschroutine, die den üblichen Datenaustausch über die Ports A abwickeln. Danach erfolgt der Abbau der Verbindungen durch Rücksetzen der Adreß- und Quittungsleitungen.