

robotron

**Betriebsdokumentation
Mikrorechnersystem K 1520**

Technische Beschreibung

OPS K 3520

PFS K 3820

OFS K 3620

Heft 2

Heft 2: Technische Beschreibung

OPS K 3520 PFS K 3820 OPS K 3620

Inhaltsverzeichnis Heft 2

	<u>Seite</u>
<u>1. Allgemeine Beschreibung</u>	3
1.1. Allgemeine technische Daten	3
1.2. Speicherorganisation	3
1.3. Anschlußbedingungen der Speichermoduln	4
<u>2. Operativspeicher OPS K 3520</u>	8
2.1. Kurzcharakteristik	8
2.2. Spezifische technische Daten	8
2.3. Programmierung der Steckeinheit	9
2.3.1. Programmierfelder der Steckeinheit	9
2.3.2. Adressenzuordnung	9
2.3.3. Auswahl des Speichersperresignals MEMDI	10
2.3.4. "WAIT"-Generierung	11
2.3.5. Betriebsspannungszuführung 5 FG	11
2.4. Funktionsbeschreibung	11
2.4.1. Verwendungszweck	12
2.4.2. Funktion	12
<u>3. Programmierbarer Festwertspeicher</u>	16
<u>PFS K 3820</u>	
3.1. Kurzcharakteristik	16
3.2. Spezifische technische Daten	16
3.3. Programmierung der Steckeinheit	17
3.3.1. Programmierfelder der Steckeinheit	17
3.3.2. Adressenzuordnung	18
3.3.3. Platzierung der FCW-Elemente auf der Steckeinheit	19
3.3.4. Auswahl des Speichersperresignals MEMDI	19
3.3.5. "WAIT"-Generierung	20
3.4. Funktionsbeschreibung	20
3.4.1. Verwendungszweck	20
3.4.2. Funktion	20

Heft 2: Technische Beschreibung

OPS K 3520

PFS K 3820

OPS K 3620

<u>Inhaltsverzeichnis Heft 2</u>		Seite
<u>1.</u>	<u>Allgemeine Beschreibung</u>	3
1.1.	Allgemeine technische Daten	3
1.2.	Speicherorganisation	3
1.3.	Anschlußbedingungen der Speichermoduln	4
<u>2.</u>	<u>Operativspeicher OPS K 3520</u>	8
2.1.	Kurzcharakteristik	8
2.2.	Spezifische technische Daten	8
2.3.	Programmierung der Steckeinheit	9
2.3.1.	Programmierfelder der Steckeinheit	9
2.3.2.	Adressenzuordnung	9
2.3.3.	Auswahl des Speichersperrsignals MEMDI	10
2.3.4.	"WAIT"-Generierung	11
2.3.5.	Betriebsspannungszuführung 5 PG	11
2.4.	Funktionsbeschreibung	11
2.4.1.	Verwendungszweck	12
2.4.2.	Funktion	12
<u>3.</u>	<u>Programmierbarer Festwertspeicher</u>	16
	PFS K 3820	
3.1.	Kurzcharakteristik	16
3.2.	Spezifische technische Daten	16
3.3.	Programmierung der Steckeinheit	17
3.3.1.	Programmierfelder der Steckeinheit	17
3.3.2.	Adressenzuordnung	13
3.3.3.	Plazierung der ROM-Elemente auf der Steckeinheit	19
3.3.4.	Auswahl des Speichersperrsignals MEMDI	19
3.3.5.	"WAIT"-Generierung	20
3.4.	Funktionsbeschreibung	20
3.4.1.	Verwendungszweck	20
3.4.2.	Funktion	20

4.	Operativ-/Testwertspeicher OPS K 3620	24
4.1.	Kurzcharakteristik	24
4.2.	Spezifische technische Daten	24
4.3.	Programmierung der Steckeinheit	25
4.3.1.	Programmierfelder der Steckeinheit	25
4.3.2.	Adressenzuordnung	25
4.3.3.	Vertauschung der RAM/ROM-Bereiche	26
4.3.4.	Platzierung der ROM-Elemente auf der Steckeinheit	26
4.3.5.	Auswahl des Speichersperrsignals MEMDI	29
4.3.6.	"Welt"-Generierung	30
4.3.7.	Betriebsspannungszuführung 5Pc	30
4.4.	Funktionsbeschreibung	31
4.4.1.	Verwendungszweck	31
4.4.2.	Funktion	31

Weitere Teile der Betriebsdokumentation Mikrorechnersystem K 1520
erscheinen in folgenden Einzelausgaben:

Heft 1:	Allgemeine Unterlagen
Heft 3:	Technische Beschreibung OPS K 3525, OPS K 3521, OPS K 3621
Heft 4:	Technische Beschreibung ADA K 6022
Heft 5:	Technische Beschreibung ASV K 8021
Heft 6:	Technische Beschreibung AFS K 5121
Heft 7:	Technische Beschreibung BDE K 7622, ABD K 7022
Heft 8:	Technische Beschreibung PPE K 0420, PLG K 0421, PAE K 0422
Heft 9:	Technische Beschreibung AKB K 5020
Heft 10:	Technische Beschreibung ABS K 7023, K 7023.01, K 7024.20, K 7025
Heft 11:	Technische Beschreibung ALB K 6025
Heft 12:	Technische Beschreibung ATD K 7026
Heft 13:	Technische Beschreibung ATS K 7028.10/20
Heft 14:	Technische Beschreibung AMB K 5025
Heft 15:	Technische Beschreibung ABS K 7029

1. Allgemeine Beschreibung

1.1.

Allgemeine technische Daten

Steckeinheitenebemessungen: 215 mm x 170 mm
Steckraster: 20 mm
Steckverbinder: 2 x 56polig, indirekt, Bauf. 304-58
TGL 29331/03 bzw.

2 x 56polig, direkt
TGL 29331/01
Einsatzklasse: 5/60/30/95/10-1₃
Betriebsspannung: 5P Δ 5 V
5N Δ - 5 V
5 PG Δ 5 V
12 P Δ 12 V

Siehe dazu spezifische technische
Daten des jeweiligen Speicher-
moduls.

1.2.

Speicherorganisation

Für die Adressierung des Speichers des Mikrorechners K 1520 stehen 16 Adreßbits zur Verfügung. Das erlaubt, max. 64K Byte Speicherzellen wahlfrei zu adressieren.

Durch Schaltmaßnahmen außerhalb der Modula des K 1520 kann unter Benutzung der Signalleitungen MEMDI1 und MEMDI2 auf dem Koppelbus die Speicherkapazität erweitert werden. Die Aufrufbreite beträgt 8 Bit. Die Speicherkapazität kann je nach Erfordernis des Gesamtgerätes durch den wahlweisen Einsatz von Restwert- und Schreib-Lese-Speichern realisiert werden. Es steht ein Sortiment von Speichermodula zur Verfügung, aus dem der Speicher bis zur adressierbaren Kapazitätsgrenze in beliebiger Kombination aufgebaut werden kann. Allen Speicher-

modula können entsprechend des Speichervolumens über Programm-
 märeinrichtungen auf den Steckeinheiten (Wickelbrücken oder
 Schalter) zusammenhängende Adressbereiche zugeordnet werden,
 wobei die Speicheranfangesadressen ganzzahlige Vielfache von
 4K bilden. Damit ist es möglich, geschlossene Speicherfelder
 zu erzielen und sie den Erfordernissen der Programmsysteme
 anzupassen. Adressen dürfen dabei nicht mehrfach belegt werden.
 Das ist im Adressbereich von 0000 bis 0FFF besonders zu beach-
 ten. Denn sind diese Adressen auf den ZRF-Steckeinheiten
 K 2521 ... K 2524 einem 4K-Speicher fest zugeordnet.

Die Speichersteckeinheiten werden ein- und ausgangseitig auf
 dem BUS parallel geschaltet. Damit ergibt sich ein steckplatz-
 unabhängiger Einsatz der Speichersteckeinheiten.

Alle die Speicher betreffenden Adreß-, Daten- und Steuerlei-
 tungen des Busses sind durch Pufferschaltkreise mit Low-Power-
 Schottky-Eingängen von den Steuer- und Speicherschaltkreisen
 entkoppelt. Die Pufferschaltkreise der Datenleitungen arbeiten
 bidirektional und besitzen einen "Tri-state"-Zustand. Die auf
 den Speichersteckeinheiten erzeugten Steuer-signale werden über
 Open-Kollektor-Baustufen ausgesendet.

Zur Geschwindigkeitssynchronisierung zwischen Prozessor und
 Speicher sind die Speichersteckeinheiten mit einer "WAITM
 Steuerung" ausgerüstet.

Ein Quittierungssignal "RDY" wird ausgesendet, wenn eine aus-
 gewählte Steckeinheit einen gültigen Lese- oder Schreibauftrag
 erhält und ein Datenaustausch vorgenommen wird.

1.3.

Anschlußbedingungen der Speichermoduln

- Signalpegel:	Low-Potential:	Eingänge - 1,0 ... +0,85 V
		Ausgänge 0 ... +0,45 V
	High-Potential:	Eingänge + 2,0 ... + 5,5 V
		Ausgänge + 2,4 ... + 5,5 V

- Signalbelastung:

Alle von den Speichersteckeinheiten empfangenen Signale
 (Adreß- und Steuerbits, Dateneingang) werden mit
 max. 0,25 mA belastet.
 Der Dateneingang ist mit 15 TTL-Lasteinheiten (24 mA) be-
 lastbar.

Die Open-Kollektor-Ausgänge der Steckeinheiten treiben max.
 10 TTL-Lasteinheiten (16 mA), wobei sich im Lastkreis außer-
 halb der Steckeinheit jeweils mindestens ein Lastwiderstand
 befinden muß.

- Von Speichermoduln empfangene Signale:

Adresse - 16 Bit, ABO ... AB15

Die niederwertigen Bits ab ABO dienen der inter-
 nen Adreßentschlüsselung in den Speicherchips,
 nachfolgende Bits entschließen Adreßgruppen
 auf den Steckeinheiten und die höchwertigen
 Bits wählen die gewünschte Steckeinheit aus.

Daten - 8 Bit, DBO ... DB7

Einschreibende Daten bei "RD" und "WR" auf
 bidirektionalem Datenbus.

MREQ

- Speicheranforderungssignal, wirkt funktionell
 als Taktsignal für Speicher.
 Aktiviert zeitbestimmend, OE-Eingänge der Spei-
 cherchips.

WR

- Befehlssignal "Speicher schreiben"
 steuert die Arbeitsweise "Lesen" oder "Schrei-
 ben" der Speicherchips über deren Eingang WS.

RD

- Befehlssignal "Speicher lesen"
 Bestimmt die Wirkungsrichtung der bidirektiona-
 len Datenpuffer.

MEMDI,
 MEMDI1,
 MEMDI2

- Speichersperresignal
 Es ist über Wickelbrücken oder Schalter wahl-
 weise vom Systembus X1:BO9 oder Koppelbus
 X2:A21 (MEMDI1) bzw. X2:B21 (MEMDI2) zu empfangen.

Bedeutung der diesbezüglichen Wickelbrücken bzw. Schalter in der Reihenfolge:

- 1 geschlossen - MEMDI über X1:B09 empfangen
 - 2 geschlossen - MEMDI1 über X2:A21 empfangen
 - 3 geschlossen - MEMDI2 über X2:B21 empfangen
- Das Sperrsignal behaltet die Ausgangspuffer zum Datenbus in den "Tri-state"-Zustand und sperrt die OE-Eingänge der Speicher, Dadurch können externe Geräte auf dem Bus verkehren, ohne die Speicher zu beeinflussen. Darüber hinaus wird eine zusätzliche Steuerung der Speicher in Abhängigkeit von Adreßbereichen bzw. zusätzlichen Adreßbits möglich.

Betriebsarten:

- Normalkonfiguration bei max. Speicherkapazität bis 64K Byte:
Brücke MEMDI geschlossen, MEMDI1 und MEMDI2 offen
- Adreßerweiterung unter Benutzung des Sperrsignals:
Brücke MEMDI offen, MEMDI1 oder MEMDI2 je nach gewünschter Programmierung der STE geschlossen.
- Zusatzverdrahtung auf Koppelbus und Zusatz-elektronik erforderlich.

RFSH - Steuersignal für das Auffrischen dyn. RAM-Speicher

TAKT, M1 - Systemtakt und Kennzeichen "Befehlslesezyklus":
Zur Auslösung eines "WAIT"-Zyklus während des Befehlslesezyklus (M1-Zyklus) erforderlich.

- Von Speichermoduln generierte Signale:

Daten - 8 Bit, DBO ... DB7
Aus Speicher gelesene Daten bei RD und WR auf bidirektionalem Datenbus.

WAIT

- Signal löst "WAIT"-Zyklus im Prozessor aus. Dies wird erforderlich, wenn die Zykluszeit des Speichers größer als die Zeitdauer des Befehlslesezyklus ist.

- "WAIT"-Zyklus wird unterdrückt, wenn diesbezügliche Auswahlrichtung .. auf der BLP geblickt ist. Ein "WAIT"-Zyklus kann in Abhängigkeit von einer weiteren Auswahlrichtung auf der BLP wahlweise während eines Befehlslesezyklus durch das Signal M 1 oder während eines jeden Speicherzyklus durch das Signal MREQ (OPS K 3520, OPS K 3620) oder nur während eines Befehlslesezyklus (PPS K 3820) aktiviert werden. Quittierungssignal. Wird ausgesendet, wenn auf betreffender Speichersteckeinheit eine adressierte Speicherzelle hardwaremäßig vorhanden ist und zum Datenaustausch zur Verfügung steht.

RDY

- Ansteuerbedingungen:

Die dyn. Kennwerte der Speichermoduln sind auf das Signalspiel des gemeinsamen Bussystems des MR K 1520 abgestimmt. Folgende allgemeine Bedingungen sind zu gewährleisten:
Die Adresse muß mindestens 530 ns am Bus stabil anliegen. MREQ erscheint 140 bis 240 ns nach Anlegen der gültigen Adresse und bleibt bis Adreßwechsel aktiv. Es muß dabei mindestens 300 ns vor Schreibimpulsende WR gültig sein und bis zu dessen Ende anliegen, wenn der Speicher beschrieben wird.

Der Schreibimpuls WR selbst muß spätestens 300 ns vor dem folgenden Adreßwechsel anliegen und bis zum Adreßwechsel gültig sein. Beim Lesen erscheint RD spätestens 170 ns nach Adreßwechsel und bleibt mindestens bis Ende MREQ aktiv. M1 wird wie die Adresse geschaltet.

Zu schreibende Daten müssen mindestens 300 ns vor Abschalten von WR bis zum Abschalten von WR anliegen.

Gelesene Daten sind spätestens 450 ns nach Adreßwechsel gültig. Die Übernahme in Nachfolgerregister erfolgt kurz vor der Abschaltflanke von MREQ.

2.
Operativspeicher OPS K 3520

2.1.
Kurzcharakteristk

Der Schreib-Lese-Speicher (Operativspeicher) OPS K 3520 dient zur Speicherung aller variablen Daten während des Programmablaufs im Mikrorechner K 3520.

Er wird durch den Steckentyp 012-7011 mit indirektem bzw. 012-7016 mit direktem Steckverbinder realisiert und beinhaltet einen 4K Byte Großen statischen Halbleiterspeicher (nMOS-RAM) mit den zur Entkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen.

2.2.
Spezifische technische Daten

Speicherkapazität: 4K Byte

(Anordnung von 4 x 8 Speicherchips)

Speicherschaltkreistyp: Q240

1K x 1 Bit, nMOS

≤ 530 ns

Zugriffzeit:

"Lesen" oder "Schreiben" als abgeschlossene Zyklen in beliebiger Reihenfolge

Betriebsarten:

Information geht bei Abschaltung der Betriebsspannung verloren.

Ein Detenerhalt ist möglich, wenn im Ruhezustand des Speichers eine Spannung (Schliefspannung) von

außen über Klemme 5PG zugeführt wird. Diese Spannung muß 2 V sein.

5P = 5 V ± 5 %, typisch 0,6 A

für Steuer Elektronik und Puffer-

schaltkreise

Stromversorgung:

5PG = 5 V ± 5 %, typisch 1,1 A
(bei 2 V Schliefspannung etwa 0,6 A) für Speicherschaltkreise

2.3.
Programmierung der Steckeinheit

2.3.1.
Programmierfelder der Steckeinheit

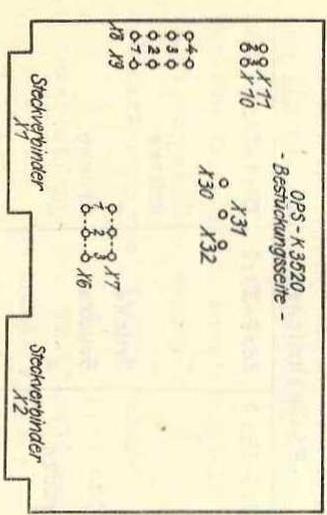


Abb. 1

Die Programmierfelder bestehen aus Wickelstiftpaaren oder Mikroschaltern. Im ersteren Fall erfolgt die Programmierung, indem Wickelstiftpaare in Wickeltechnik miteinander verbunden werden.

2.3.2.
Adressenzuordnung

Die 16 Adresssignale werden im Speichermodul wie folgt bewertet:
AB0 ... AB9 - interne Chipadressierung
AB10, AB11 - Auswahl einer der 4 1K-Blöcke auf der STB

AB12 ... AB15 - Auswahl der Steckeinheit in Abhängigkeit von der Adressenzuordnung der Steckeinheit

Zuordnung des Adressbereiches der Steckeinheit:

Über 4 Wickelbrücken bzw. 4 Schalter X8:1 ... 4, X9:1 ... 4 wird dem Speichermodul ein wählbarer zusammenhängender Adressbereich von 4K Adressen zugeordnet.

Das Programmierfeld erhält in binärer Verschlüsselung die Anfangsadresse des gewünschten Adressbereiches. Die Adresse ist ein ganzzahliges Vielfaches von 4K.

Kodertabelle:

Wickelbrücken

Adressbereich	X8:4-X9:4	X8:3-X9:3	X8:2-X9:2	X8:1-X9:1
0000-0FFF	-	-	-	-
1000-1FFF	-	-	-	Brücke
2000-2FFF	-	-	Brücke	-
3000-3FFF	-	-	Brücke	Brücke
4000-4FFF	-	Brücke	-	-
.
.
.
F000-FFFF	Brücke	Brücke	Brücke	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

2.3.3.

Auswahl des Speicherperisignals MEMDI

Wickelbrücken

Im Speichermodul	X6:1-X7:1	X6:2-X7:2	X6:3-X7:3
wirksame Signale	Brücke	-	-
MEMDI (X1:B09)	-	Brücke	-
MEMDI1 (X2:A21)	-	-	Brücke
MEMDI2 (X2:B21)	-	-	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

2.3.4.

"WAIT"-Generierung

Von den dynamischen Daten der aufgerufenen Speicherschaltkreise hängt es ab, ob während eines Befehlszyklus oder während eines jeden Speicherzyklus (Befehlszyklus sowie Schreib-Lese-Zyklus) im K 1520 über "WAIT" eine Zeitverlängerung vorgenommen werden muß, oder ob prinzipiell kein "WAIT"-Zyklus erforderlich ist. Durch die konkrete Bestückung der BLP ist schon vorgegeben, wie die Einstellung erfolgen muß.

Für den allgemeinen Anwendungsfall kann die Einstellung wie folgt vorgenommen werden:

Generierung von "WAIT": Brücke

X10:3 - X11:3 offen

Unterdrückung der "WAIT"-Bildung:

Brücke X10:3 -

X11:3 geschlossen

"WAIT"-Generierung erfolgt nur während eines Befehlszyklus (M1):

Brücke X31:X32

geschlossen

"WAIT"-Generierung erfolgt während eines jeden Speicherzyklus:

Brücke X30:X31

geschlossen

2.3.5.

Betriebsspannungszuführung 5PG

Normalerweise werden die RAM-Speicherbausteine über den Betriebsspannungsanschluß 5PG versorgt. In Sonderfällen, wo die Anschlüsse 5PG auf dem Bus nicht belegt sind, kann 5PG steckeinheitseitig durch die Brückung der Wickelstifte X10:2-X11:2 mit 5PG verbunden werden.

Funktionsbeschreibung

2.4.1.

Verwendungszweck

Der OPS K 3520 wird im Mikrorechner K 1520 als Operativspeicher (statischer Schreib-Lese-Speicher) eingesetzt.

2.4.2.

Funktion

Die Steckeinheit beinhaltet die Funktionsgruppen Speicher-Matrix, Ein- und Ausgabepuffer und Auswahl- und Steuer Elektronik. Die Wirkungsweise der Schaltung ist im Blockschaltbild Abb. IX/2 dargestellt.

Die Speichermatrix besteht aus 4 Gruppen zu je 8 Speicherchips Q240. Jedes Chip enthält 1K Bit, Eine Gruppe von 8 Chips bildet einen Speicherbereich von 1K Byte. Jede der 4 vorhandenen Chipgruppen wird durch ein gesondertes CE-Signal aktiviert.

Alle 10 gleichnamigen Adreßeingänge und der Steuereingang WE (Schreib-Lese-Steuerung) der Speicherchips sind miteinander verbunden und werden von den entsprechenden Tussignalen über Schottky-TTL-Pufferschaltkreise SE12 gespeist.

Bei den Datenein- und Ausgangsleitungen sind jeweils die Gleichen Bits der 4 Chipgruppen parallelgeschaltet und mit bidirektional arbeitenden Datenpufferschaltkreisen SE16 verbunden, die die Verbindung mit dem Systembus herstellen. Befindet sich die Steckeinheit im Ruhezustand, sind die Datenpuffer hochohmig und beeinflussen das Interface-Spiel auf dem Systembus nicht.

Die ebenfalls über SE12 verstärkten Adreßsignale AB10 und AB11 werden im 1 aus 8-Dekoder-Baustein SW05 umkodiert und aktivieren eins der 4 Speicheransteuersignale CE, wenn gleichzeitig das Anforderungssignal MREQ anliegt, das Speichersparersignal MEMDI nicht aktiv ist (MEMDI), kein Refresh-Zyklus vorliegt (FRSH) und die Steckeinheit durch die gepulverten Adreßsignale

AB12 bis AB15 entsprechend der Adressenordnung ausgewählt wurde.

Der Exklusiv-Oder-Baustein PS86 übernimmt die Adressenumschlüsselung in Abhängigkeit vom Programmierfeld X8-X9. Ein geschlossener Schalter bzw. gebücktes Wickelstiftpaar ergibt ein Nullsignal am zugehörigen Exklusiv-Oder-Eingang. Diese Null bewirkt eine ungenierete Weiterleitung des zugeordneten Adreßbits zur Auswerteschaltung. Bei High-Signal erfolgt eine Negation des Adreßbitpotentials. Nur bei einer bestimmten Wertigkeit der Adreßbits AB12 bis AB15 bezüglich der Belegung der Wickelbrücken wird die Steckeinheit angesprochen. In diesem Falle sind alle 4 Eingänge der Auswerteschaltung auf "High"-Potential.

Wird ein CE-Signal freigegeben, werden ebenfalls die Datenpuffer zum Datenaustausch aktiviert, wobei RD die Wirkungsrichtung vorgibt, wird das Kernungssignal RDY erzeugt und die Blockierung des "WAIT"-Bildungs-Netzwerks aufgehoben, sofern die Auswahlbrücke X10:3-X11:3 nicht gesetzt ist. So kann ein "WAIT"-Zyklus eingeschoben werden.

WAIT wird von einer Schleife aus 2 D-Flip-Flops abgeleitet, die mit dem BUS-Signal M1 oder MRE Q und dem Systemtakt TAKT gesteuert wird. Durch Einsatz von Open-Kollektor-Baustufen für QAIF und RDY wird durch ausgangsseitiges Zusammenschalten auf dem Systembus eine "Oder"-Funktion realisiert.

Zur Durchschaltung der Prioritätenkette auf dem Bus des K 1520 werden die Klemmen IB1, IB0, IBT1, IBO1 und BAI, BA0 auf der Steckeinheit jeweils miteinander gebückt.

Um bei allgemeiner Netzausschaltung am Mikrorechner K 1520 einen Datenerhalt der Speicherschaltkreise durch externe Stützung der Betriebsspannung zu ermöglichen, ist die Stromversorgung der Steckeinheit in zwei Kreise aufgeteilt. Über Klammern 5PG werden die Speicherchips gespeist. Ein Datenerhalt ist gesichert, wenn die Spannung 5PG im Ruhezustand des Spielers auf eine Schlafspannung von minimal 2 V abgesenkt wird.

Dabei kann die 5P für die Puffer-, Auswahl- und Steuerschaltkreise abgeschaltet werden. Damit im Zu- und Abschaltvorgang der Spannung 5P keine undefinierten Ansteuerbedingungen am Speicher wirksam werden können, die zum Datenverlust führen, werden CG-Signale konjunktiv mit einem internen Speichersperrsignal verknüpft. Dieses Sperrsignal, gebildet in einer Komparatorschaltung, wird Null, sobald die Betriebsspannung 5P die untere Toleranzgrenze unterschreitet. Damit ist sichergestellt, daß der Treiber PS26 in diesem Fall kein aktivierendes Ansteuersignal für die Speicher aussenden kann.

Über den mit der Spannung 5PFI verbundenen Arbeitswiderständen der Open-Kollektor-Treiberbaustufen wird auch im Schlafzustand der erforderliche "High"-Pegel am CG-Eingang der Speicherchips aufrechterhalten.

Zur Abblockung von kurz- und langzeitigen Störungen auf den Betriebsspannungen 5P und 5PG sind (in der Leitungsführung verteilt) Stütz- und Sieb-Kondensatoren angeordnet.

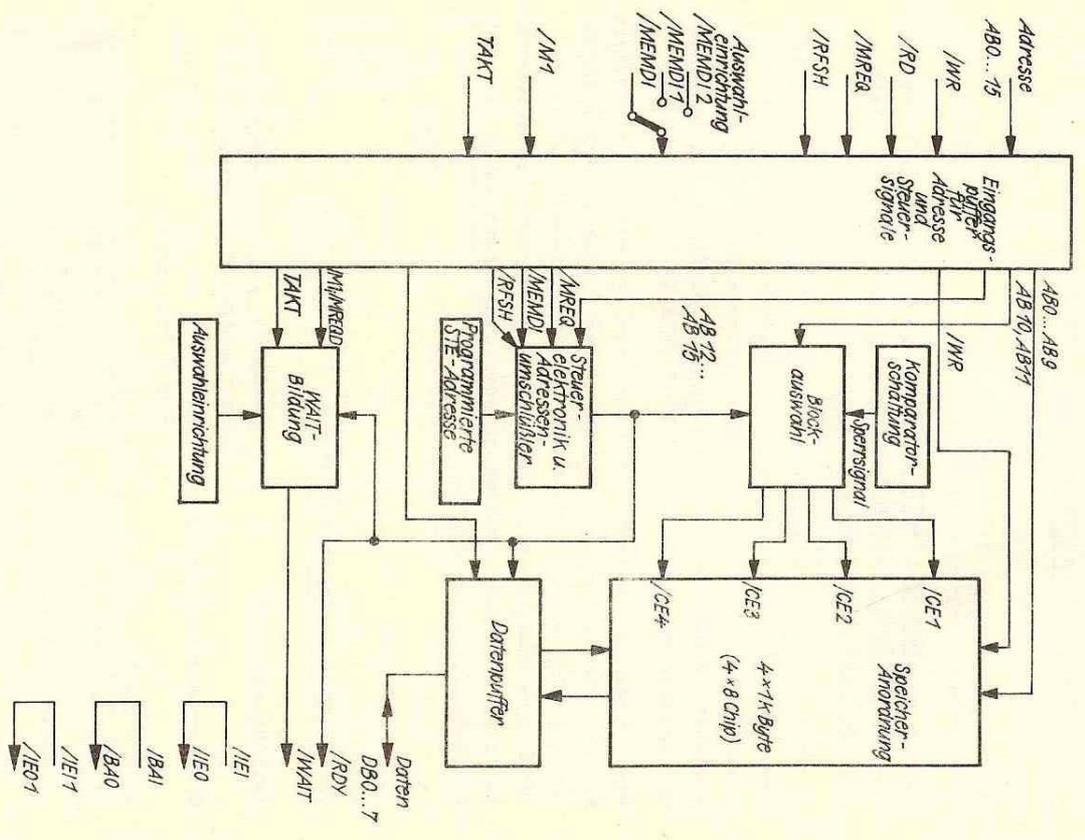


Abb. 2 Blockschaltbild K 3520

3.
Programmierbarer Festwertspeicher PPS K 3820

3.1.
Kurzcharakteristikk

Der programmierbare Festwertspeicher dient der Speicherung von Festdaten für nichtvariable Programme u.ä. Innerhalb des Halbleiterspeichers K 1520.

Er wird durch den Steckeinheitentyp 012-7041 mit indirektem bzw. 012-7046 mit direktem Steckverbinder realisiert und beinhaltet einen 16K Byte großen programmierbaren Festwertspeicher (EPROM-Speicher) mit dem zur Entkopplung, Auswahl und Ansteuerung erforderlichen höheren Schaltungen.

Die EPROM-Schaltschaltung sind über 24polige DIL-Steckfassungen auf der Steckeinheit kontaktiert. Das Besondere der EPROM-Schaltschaltung erfolgt außerhalb der Steckeinheit auf einem EPROM-Programmiergerät. Eine Änderung der ROM-Adresseinformation ist jederzeit durch Austausch oder Umprogrammierung der EPROM-Schaltschaltung möglich.

3.2.
Spezifische technische Daten

- Speicherkapazität: 16K Byte (Anordnung von 16 Speicherwörtern)
- Speicherschaltkreistyp: Q260 1K x 8 Bit NMOS
- Zugriffszeit: ≤ 530 ns
- Betriebsarten: "lesen" als abgeschlossener Zyklus (Programmieren oder Löschen der Speicherbausteine ist nur extern mit Programmiergerät möglich).
- Detenerhalt: Energieunabhängige Speicherung von Festdaten

Stromversorgung:

- 5P = 5 V \pm 5 %, typ. 0,9 A
 - 5N = -5 V \pm 5 %, typ. 0,5 A
 - 12P = 12 V \pm 5 %, typ. 0,9 A
- Es ist dafür zu sorgen, daß die Spannung 5N nicht später als 10 ms nach Zuschaltung von 5P bzw. 12P ihren Nennwert erreicht und höchstens 10 ms vor Wegfall der 5P bzw. 12P abgeschaltet.

3.3.
Programmierung der Steckeinheit

3.3.1.
Programmierfelder der Steckeinheit

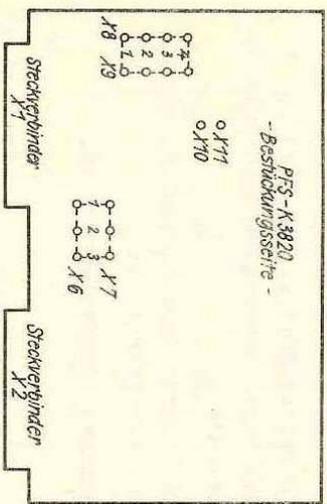


Abb. 3

Die Programmierfelder bestehen aus Wickelstiftpaaren oder Mikroschaltern. Im ersten Fall erfolgt die Programmierung, indem Wickelstiftpaare nach der Wickeltechnik miteinander verbunden werden.

3.3.2.
Adressenzuordnung

Die 16 Adresssignale werden im Speichermodul wie folgt bewertet:

- AB0 ... AB9 - Interne Chipadressierung
- AB12 ... AB15 - Umkodierung in Abhängigkeit von der im Programmierfeld X8-X9 fixierten Adresse.
- Die im Speicher wirksame Adresse AB12K ... AB15K ergibt sich aus der stellenrichtigen Subtraktion der in X8-X9 eingegebenen Steck-einheitensadresse von der angelegten Adresse AB12 ... AB15.
- Auswahl einer der 16 1K Byte-Blöcke der STB (Chipauswahl)
- AB14K, AB15K - Auswahl der Steckeinheit, wenn beide Signale Nullpotential besitzen.

Zuordnung des Adressbereichs der Steckeinheit:

Über 4 Wickelbrücken bzw. 4 Schalter X8:1 ... 4, X9:1 ... 4 wird dem Speichermodul ein wählbarer zusammenhängender Adressbereich von 16K Adressen zugeordnet.

Das Programmierfeld erhält in hinfürer Verschlüsselung die Anfangsadresse des gewünschten Adressbereichs.

Diese Adresse ist ein ganzzahliges Vielfaches von 4K.

Kodetabelle:

Adressbereich	Wickelbrücken		
	X8:4-X9:4	X8:3-X9:3	X8:2-X9:2
0000-3FFF	-	-	-
1000-4FFF	-	-	Brücke
2000-5FFF	-	-	Brücke
3000-6FFF	-	Brücke	Brücke
1000-7FFF	-	Brücke	-
• • •	• • •	• • •	• • •
• • •	• • •	• • •	• • •
0000-FFFF	Brücke	Brücke	-

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

3.3.3.
Platzierung der ROM-Elemente auf der Steckeinheit

Die programmierten ROM-Elemente werden über DIL-Steckfassungen auf der Steckeinheit kontaktiert.

Die einzelnen Steckplätze repräsentieren die im folgenden Schema dargestellten relativen Adressbereich der Steckeinheit (bezogen auf die programmierte Steckeinheiten-Anfangsadresse).

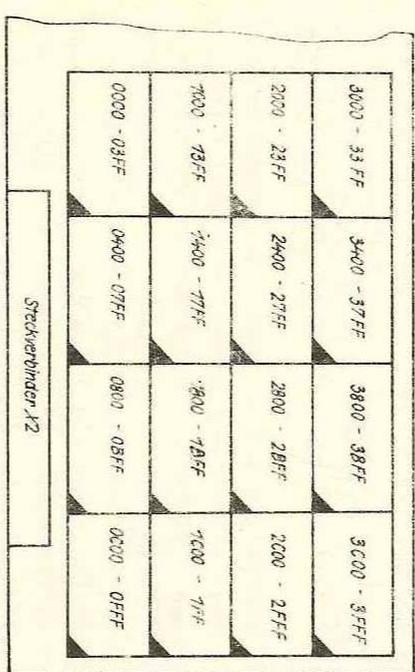


Abb. 4

3.3.4.
Auswahl des Speichersperresignals MEMDI

Im Speichermodul wirkt seines Sperrsignal

	Wickelbrücken		
	X6:1-X7:1	X6:2-X7:2	X6:3-X7:3
MEMDI (X1:B09)	Brücke	-	-
MEMDI1 (X2:A21)	-	Brücke	-
MEMDI2 (X2:B21)	-	-	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

3.3.5.

"WAIT"-Generierung

Von den dynamischen Daten der aufgerufenen Speicherschaltkreise hängt es ab, ob während des Befehlszyklus im K 1520 eine Zeitverlängerung über "WAIT" vorgenommen werden muß.

Durch die konkrete Bestückung der Steckeinheit ist bereits vorgegeben, wie die Einstellung erfolgen muß.

Für den allgemeinen Anwendungsfall kann die Einstellung wie folgt vorgenommen werden:

Generierung von "WAIT" im M1-Zyklus: Brücke X10-X11 offen
Unterdrückung der "WAIT"-Bildung: Brücke X10-X11 geschlossen.

3.4.

Funktionsbeschreibung

3.4.1.

Verwendungszweck

Der PPS K 3820 wird im Mikrorechner K 1520 als programmierbarer Festwertspeicher (Nur-Lese-Speicher) eingesetzt und erhält fixe Daten oder Programme.

3.4.2.

Funktion

Die Steckeinheit beinhaltet die Funktionsgruppen Speicher-
metris. Ein- und Ausgabepuffer und Auswahl- und Steuer-elektro-
nik.

Die Wirkungsweise der Schaltung ist im Blockschaltbild
Abb. 5 dargestellt.

Die Speichermatrix besteht aus 16 Speicherbausteinen Q260 zu je 1K Byte à 8 Bit Speicherkapazität. Diese Bausteine sind auswechselbar auf DIL-Steckfassungen gesetzt.

Alle 10 gleichnamigen Adreßeingänge der Speicherchips sind miteinander verbunden und werden von den entsprechenden Bus-signalen über Schottky-TTL-Pufferschaltkreise SE12 gespeist. Die gleichnamigen Datenausgänge sind ebenfalls parallelgeschaltet und mit den Datenspufferschaltkreisen SE16 verbunden, die die Lesedaten mit "Tri-State"-Ausgang an den Systembus abgeben.

Auswahl und Aufruf der 1K-Speicherbereiche, die durch separate Speicherbausteine realisiert werden, erfolgt über 16 \overline{CS} -Signale, die zur "High"-Pegel-Erhöhung mit je einem Zielwiderstand versehen sind.

Liegt ein Speicheraufruf vor, wird über ein Netzwerk aus zwei "1" aus 8"-Dekoderbausteinen SE05 eines der \overline{CS} -Signale durch Nullsatzen aktiv. Ein Speicherplatz entsprechend angelegter Adresse wird gelesen.

Die Umkodierung der über den Bus angelegten vier höchsten Adressbits wird durch einen Adressbaustein PSE3 vorgenommen. Die Subtraktion: Angelegte Adresse AB12 ... AB15 minus in Programmierfeld eingegebene SUE-Anfangsadresse (geschlossener Schalter = logisch "High"-Potential) wird technisch realisiert, indem das Zweererkomplement der Anfangsadresse im Baustein addiert wird. Als Ergebnis der Operation entsteht die echte interne Speicherhaltenadresse. Die Adressbits AB10, AB11 und die unkodierten Bits AB12K und AB13K werden zur Speicherchip-Auswahl im Dekoder SE05 verwendet, während die unkodierten Bits AB14K und AB15K, wenn sie Nullpotential besitzen, zusammen mit \overline{MREQ} , \overline{RFSH} und \overline{MEMDI} die Dekoder SE05 freigegeben und damit die Steckeinheit auswählen und aktivieren. Bei programmierter Leseoperation werden unter gleichen Bedingungen auch die Datenspuffer aktiviert, vorausgesetzt, ein "RDY"-Signal wurde auf Grund gültiger Leseinformation gebildet. Außerdem wird das "WAIT"-Bildungs-Netzwerk freigegeben. Ist die Brücke

X10-X11 nicht gesetzt, wird aus der mit "M1" und "Takt" angesteuerten Schiebekette aus 2 D-FP das "WAIT"-Signal abgeleitet und disjunktiv auf den Bus geschaltet.

Die Bildung des "RDY"-Signals wird bei den ROM-Speichern vom Datenausgang der Speicherchips abgeleitet. Das hat den Vorteil, daß das "RDY"-Signal neben der Aufrufbestätigung der Steckeinheit eine Aussage über das hardwaremäßige Vorhandensein des angesprochenen ROM-Speicherchips mit beinhaltet. Angewertet wird, ob die Datenleitungen einen gültigen Logikpegel besitzen oder ob der hochohmige "Tri-state"-Zustand vorliegt. Dazu reicht es aus, wenn ein Datenbit durch die Auswerterschaltung mit dem Komparatorbaustein AS10 bewertet wird.

Liegt der hochohmige Zustand vor, werden die Spannungsspiegel an den zwei Eingängen des Komparators durch die zwei Spannungsteiler so eingestellt, daß am Komparatorausgang, und damit für RDY, ein Nullsignal entsteht. Bei "Low"- oder "High"-Potential auf der Datenleitung werden die Potentiale an den Spannungsteilern über die zwei Eingangsdioden so verändert, daß der nichtnegierende Eingang des Komparators gegenüber dem negierenden eine positive Spannung annimmt. Der Bausteinausgang schaltet dabei auf "High"-Potential. Dieses Signal wird disjunktiv als RDY auf den Bus gelegt.

Eine in die Schaltung einbezogene gesteuerte Open-Kollektor-Baustufe beschleunigt beim Übergang der Datenleitung in den hochohmigen Zustand die Umladung der Kapazitäten und verbessert somit das dynamische Verhalten des Signals RDY.

Zur Durchschaltung der Prioritätsketten auf dem Bus des K1520 werden die Klemmen TE1, TE0, TE11, TE01 und BAT, BA0 auf der Steckeinheit jeweils miteinander gebrückt.

Zur Abblockung von kurz- und langzeitigen Störungen auf den Betriebsspannungen 5P, 5N und 12P sind (in der Leitungsführung verteilt) Stütz- und Sieb-Kondensatoren angeordnet.

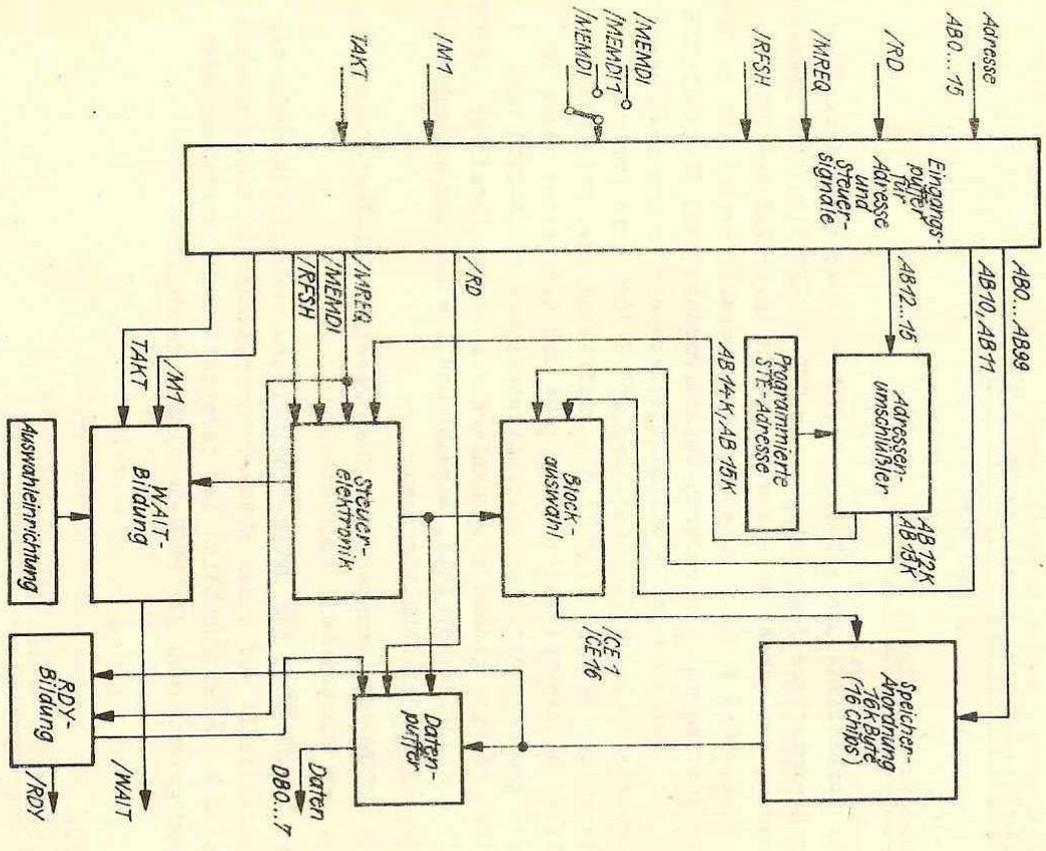


Abb. 5 Blockschaltbild K 3820

4. Operativ-/Festwert Speicher OPS K 3620

4.1.

Kurzcharakteristik

Der kombinierte Schreib-Lese-Speicher (Operativspeicher) und programmierbare Festwertspeicher OPS K 3620 dient der Speicherung von Variablen sowie Festdaten innerhalb des Halbleiterspeichers K 152 O. Dieser Speichermodul ermöglicht in der Kombination mit den anderen Speichermodulen eine Flexibilität in der Zusammensetzung der Halbleiterspeicher und realisiert ökonomisch kleine Speicher. Der OPS K 3620 wird durch den Steckentyp 012-7031 mit indirektem bzw. 012-7036 mit direktem Steckverbinder realisiert und beinhaltet einen 2K Byte großen statischen Halbleiterspeicher (nMOS-RAM) und einen 6K Byte großen programmierbaren Festwertspeicher (EPROM) mit den zur Datkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen.

Die EPROM-Schaltkreise sind über 24polige DIL-Steckfassungen auf der Steckinheit kontaktiert.

Das Beschreiben der EPROM-Schaltkreise erfolgt außerhalb der Steckinheit auf einem EPROM-Programmiergerät. Eine Änderung der ROM-Leseinformation ist jederzeit durch Austausch oder Umprogrammierung der PROM-Schaltkreise möglich.

4.2.

Spezifische technische Daten

Speicherkapazität 2KByte statischer RAM
 (Anordnung von 2x8 Speicherchips)
 6K Byte; EPROM
 (Anordnung von 6 Speicherchips)
Speicherschaltkreistypen: Q240
 1K x 1 Bit; nMOS
 Q260
 4K x 8 Bit; nMOS

24 1.12.517011.0/61

Zugriffszeit:
Betriebsarten:

≤ 530 ns
Abgeschlossene Zyklen "Lesen" oder "Schreiben" in beliebiger Reihenfolge beim RAM und "Lesen" beim EPROM.

(Programmlernen oder Löschen der EPROM ist nur extern mit Programmiergerät möglich).
Energieunabhängige Datenspeicherung bei ROM-Speicher.

RAM-Information geht bei Abschaltung der Betriebsspannung verloren. Ein Detenerhalt ist möglich, wenn im Ruhezustand des Speichers eine Spannung (Schlafspannung) von außen über Klemme 5P zugeführt wird. Die Spannung muß ≥ 2 V sein.
5P = 5 V \pm 5 %, typ. 0,7 A für ROM-Speicher, Steuer Elektronik und Pufferschaltkreise
5P6 = 5 V \pm 5 %, typ. 0,5 A (bei 2 V Schlafspannung etwa 0,3 A)

für RAM-Speicherschaltkreise
5N = - 5 V \pm 5 %, typ. 0,2 A
12P = 12 V \pm 5 %, typ. 0,3 A
Es ist dafür zu sorgen, daß die Spannung 5N nicht später als 10 ms nach Zuschaltung von 5P bzw. 12P ihren Kennwert erreicht und höchstens 10 ms vor Wegfall der 5P bzw. 12P abschaltet.

25 1.12.517011.0/61

4.3.
Programmierung der Steckeinheit

4.3.1.
Programmierfelder der Steckeinheit

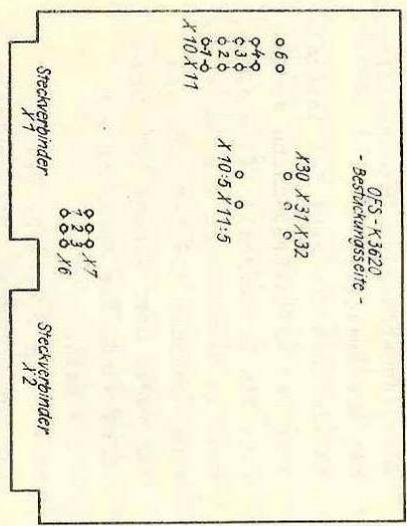


Abb. 6

Die Programmierfelder bestehen aus Wickelstiftpaaren oder Mikroschaltern. Im ersteren Fall erfolgt die Programmierung, indem Wickelstiftpaare nach der Wickeltechnik miteinander verbunden werden.

4.3.2.
Adressenanzuordnung

Die 16 Adresssignale werden im Speicher wie folgt bewertet:
 ABO ... AB9 - Interne Chipadressierung
 AB12 ... AB15 - Umkodierung in Abhängigkeit von der im Programmierfeld K10:1 ... 4 - X11:1 ... 4 fixierten Adresse. Die im Speicher wirksame Adresse AB12K ... AB15K ergibt sich

aus der stollenrichtigen Subtraktion der eingegebenen Steckeinheitendresse von der angelegten Adresse AB12 ... AB15. (Chipauswahl)
 AB13K ... AB15K - Auswahl der Steckeinheit, wenn alle 3 Signale Nullpotential besitzen.

Zuordnung des Adressbereichs der Steckeinheit:

Über 4 Wickelbrücken bzw. 4 Schalter X10:1 ... 4, X11:1 ... 4 wird dem Speichermodul ein wählbarer zusammenhängender Adressbereich von 8K Adressen zugeordnet.

Das Programmierfeld erhält in binärer Verschlüsselung die Anfangsadresse des gewünschten Adressbereiches. Diese Adresse ist ein geradzahliges Vielfaches von 4K.

Kodetabelle:

Adressbereich	Wickelbrücken			
	X10:4-X11:4	X10:3-X11:3	X10:2-X11:2	X10:1-X11:1
0000-1FFF	-	-	-	-
1000-2FFF	-	-	-	Brücke
2000-3FFF	-	-	Brücke	-
3000-4FFF	-	-	Brücke	Brücke
4000-5FFF	-	Brücke	-	-
.
.
E000-FFFF	Brücke	Brücke	Brücke	-

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

4.3.3.

Verteuschung der RAM/ROM-Bereiche

Um eine gute Flexibilität in der Gestaltung der RAM- und ROM-Bereiche im Gesamtspeicher K 1520 zu gewährleisten, können die RAM/ROM-Bereiche des Speichermoduls adressenmäßig gespiegelt werden. Die Speicherfolge wird mit Kodierbrücke X10:6-X11:6 festgelegt.

X10:6-X11:6	adressenmäßige Speicherfolge
-	2 K RAM, 6K ROM
Brücke	6K ROM, 2K RAM

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

Es ist die unterschiedliche relative Adresse der ROM-Elemente zu beachten.

4.3.4.

Plazierung der ROM-Elemente auf der Steckeinheit

Die programmierten ROM-Elemente werden über DII-Steckfassungen auf der Steckeinheit kontaktiert.

Die einzelnen Steckplätze repräsentieren die im folgenden Schema dargestellten relativen Adressbereiche der Steckeinheit (bezogen auf die programmierte Steckeinheiten-Anfangsadresse). Die Adressbereiche unterscheiden sich in Abhängigkeit von der Belegung der Wickelbrücke X10:6-X11:6 (Reihenfolge der RAM/ROM-Speicher).

Die in Klammern dargestellten Adressen gelten für die Speicherfolge 6K ROM, 2K RAM (X10:6-X11:6 Gebückt).

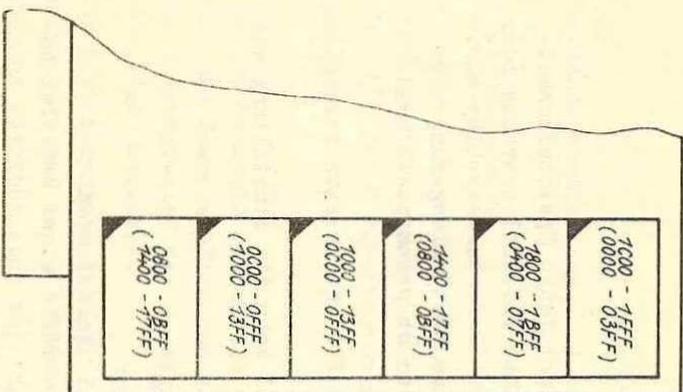


Abb. 7

4.3.5.

Auswahl des Speichersperresignals MEMDI

Im Speichermodul wirksame Sperrsignale	X6:1-X7:1	Wickelbrücken X6:2-X7:3	X6:3-X7:3
MEMDI (X1:B09)	Brücke	-	-
MEMDI1 (X2:A21)	-	Brücke	-
MEMDI2 (X2:B21)	-	-	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

4.3.6.

"WAIT"-Generierung

Von den dynamischen Daten der aufgerufenen Speicherschaltkreise hängt es ab, ob während eines Befehlslesezyklus oder während eines jeden Speicherzyklus (Befehlslesezyklus sowie Schreib-Lese-Zyklus) im K 1520 eine Zeitverlängerung über "WAIT" vorgenommen werden muß, oder ob prinzipiell kein "WAIT"-Zyklus erforderlich ist.

Durch die konkrete Bestückung der BLP ist bereits vorgegeben, wie die Einstellung erfolgen muß.

Für den allgemeinen Anwendungsfall kann die Einstellung wie folgt vorgenommen werden:

Generierung von "WAIT": Brücke

X10:5 - X11:5 offen

Unterdrückung der "WAIT"-Bildung:

Brücke X10:5 - X11:5 geschlossen

"WAIT"-Generierung erfolgt nur während eines Befehlslesezyklus (M1):

Brücke X31 - X32 geschlossen

"WAIT"-Generierung erfolgt während eines jeden Speicherzyklus:

Brücke X30:X31 geschlossen

4.3.7.

Betriebsspannungszuführung 5PG

Normalerweise werden die RAM-Speicherbausteine über den Betriebsspannungsanschluss 5PG versorgt. In Sonderfällen, wo die Anschlüsse 5PG auf dem Bus nicht belegt sind, kann 5PG steckerinhaltenseltig durch Brückung der Wickelstifte X12-X13 mit 5P verbunden werden.

4.4.

Funktionsbeschreibung

4.4.1.

Verwendungszweck

Der OFS K 3620 wird im Mikrorechner K 1520 als kombinierter Operativspeicher (statischer Schreib-Lese-Speicher) und programmierbarer Festwertspeicher (Nur-Lese-Speicher) eingesetzt.

4.4.2.

Funktion

Die Steckeinheit beinhaltet die Funktionsgruppen Speichermatrix, Ein- und Ausgabepuffer und Auswahl- und Steuer Elektronik. Die Wirkungsweise der Schaltung ist im Blockschaltbild Abb. IX/8 dargestellt.

Die Speichermatrix besteht aus 2 Gruppen zu je 8 RAM-Speicherchips Q240 und aus 6 EPROM-Speicherchips Q260. Die ROM-Bausteine sind einwechselbar auf DIL-Steckfassungen gesetzt.

Da der Speichermodul K 3620 eine Kombination der Speicherbausteine des Moduls K 3520 und K 3620 darstellt, sind auch die Schaltungsdetails praktisch identisch, so daß auf die Beschreibungen der beiden Module 2.4.2. und 3.4.2. verwiesen werden kann.

Eine modulspezifische Lösung stellt die Adressumschlüsselung und die RDY-Bildung dar.

Zur Adressenumschlüsselung wird wie beim K 3820 ein Adressbaustein PS83 in dort beschriebener Art und Weise eingesetzt. Entsprechend der vorliegenden Speichergröße werden hier 3 ungeschlüsselte Adreßbits AB13K ... AB15K zur Blockeinheitenauswahl herangezogen. Um eine wohlweise Adressenspiegelung vornehmen zu können, werden die Adreßbits AB10, AB11 und das umgeschlüsselte Adreßbit AB12K dem 1 aus 8-Dekoder-Baustein S805 zur Bildung der OE-Signale über Exklusiv-Oder-Baustufen (PS86) zugeführt. Diese Baustufen negieren die Adreßbits, wenn die Wickelbrücke X10:6-X11:6 geschlossen ist. Diese Negation bewirkt, daß bei aufwärtszählender Adresse die OE-Signale in ebfellender Nummernfolge aktiviert werden. Bei offener Brücke ist diese Nummernfolge steigend.

Diese Schaltungsmaßnahme ergibt eine wahlweise Vertauschbarkeit der RAM/ROM-Bereiche des Speichermoduls.

Das RDY-Signal wird für die RAM- und ROM-Speicher unterschiedlich gebildet. Beim RAM-Speicher wird das Signal von den CE-Signalen für die zwei 1K-RAM-Speicherblöcke abgeleitet, während für den ROM-Speicher wie beim K 3820 ein Databit des Speicherzugangs ausgewertet wird. Alle Bildungskomponenten des Signals werden disjunktiv zum RDY-Signal verknüpft und auf den Bus geleitet.

Durch die hier gegenüber K 3820 vorgenommene Vertauschung der zwei Eingänge des Komparatorbausteins erreicht man ein negiertes Auswertesignal am Beustehausgang, so daß die disjunktive Verknüpfung leicht vorgenommen werden kann.

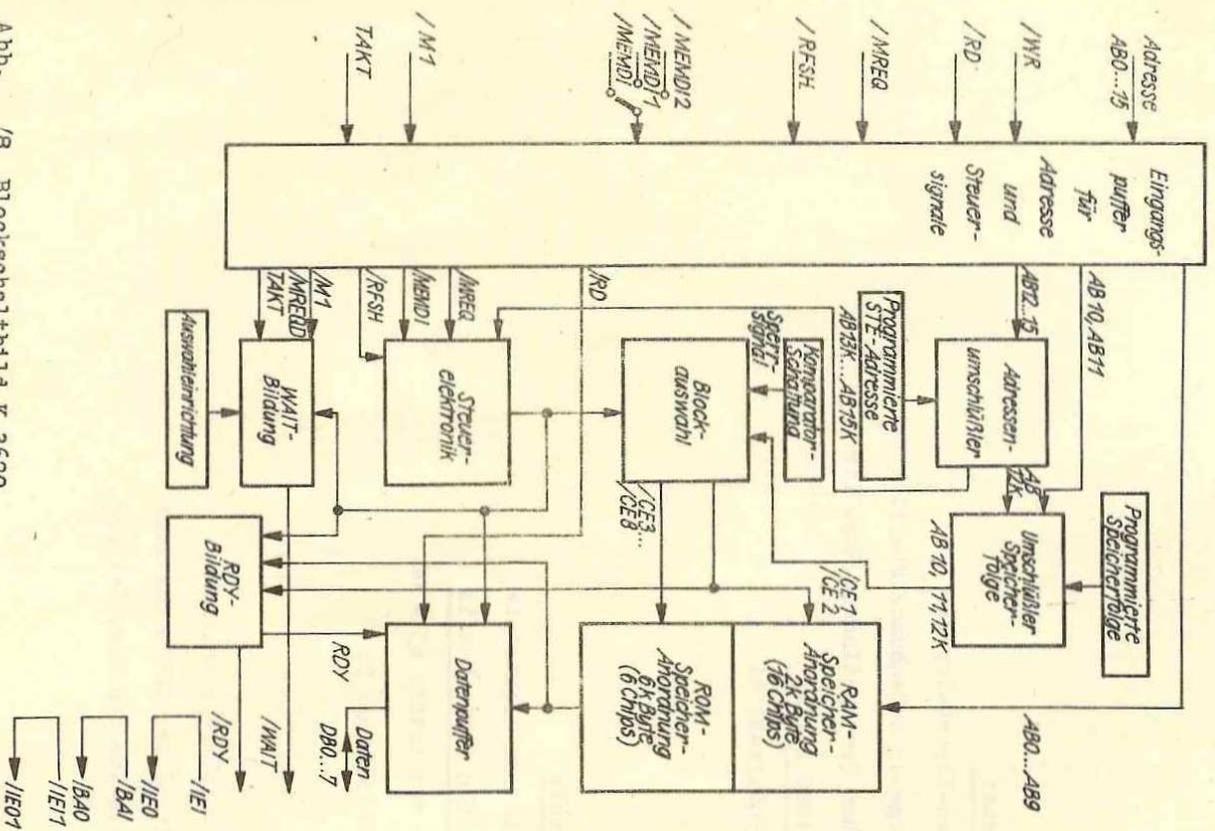


Abb. /8 Blockschaltbild K 3620

Betriebsdokumentation

K 1520

Heft 2

Korrekturblätter

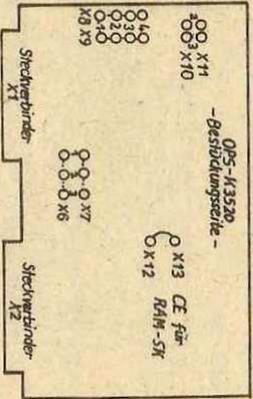
Ausgabe: 1/84

In der Ihnen übergebenen Betriebsdokumentation K 1520, Heft 2 werden folgende Korrekturen wirksam:

Seite Korrekturen

neue Abbildung

10 Pkt. 2.3.1
Abb. 1

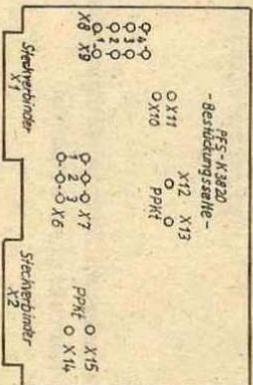


12 Pkt. 2.3.4 folgenden Text streichen:
 Brücke X 31 : X 32 geschlossen
 "WAIT" Generierung erfolgt während eines jeden Speicherzyklus
 Brücke X 30 : X 31 geschlossen

Seite Korrekturen

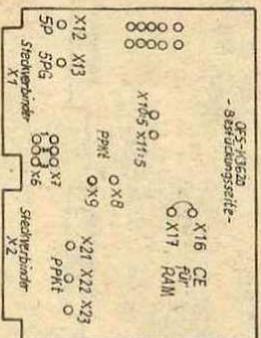
neue Abbildung

18 Pkt. 3.3.1
Abb. 3



neue Abbildung

27 Pkt. 4.3.1
Abb. 6



31 Pkt. 4.3.6 folgenden Text streichen:
 Brücke X 31 - X 32 geschlossen
 "WAIT" Generierung erfolgt während eines jeden Speicherzyklus
 Brücke X 30 : X 31 geschlossen