

robotron

Anschlußsteuerung AMF K 5120

Betriebsdokumentation

Inhaltsverzeichnis

- I. Verwendung und Einordnung**
- II. Funktionsbeschreibung**
- III. Beschreibung spezieller Baugruppen**
- IV. Kurzzeichenübersicht**
- V. Serviceschaltpläne**

I. Verwendung und Einordnung

Die Steckeinheit AMF K 5120 ist Bestandteil des Mikrorechnersystems K 1520. Verwendung findet sie im System der Datenverarbeitung/Datenerfassung der mittleren Datentechnik. Über einen 26-poligen Steckverbinder können 1 bis 4 Laufwerke Mini-folienspeicher K 5600.00 oder 1 bis 4 Laufwerke MF 3200 angeschlossen werden.

II. Funktionsbeschreibung

Inhaltsverzeichnis

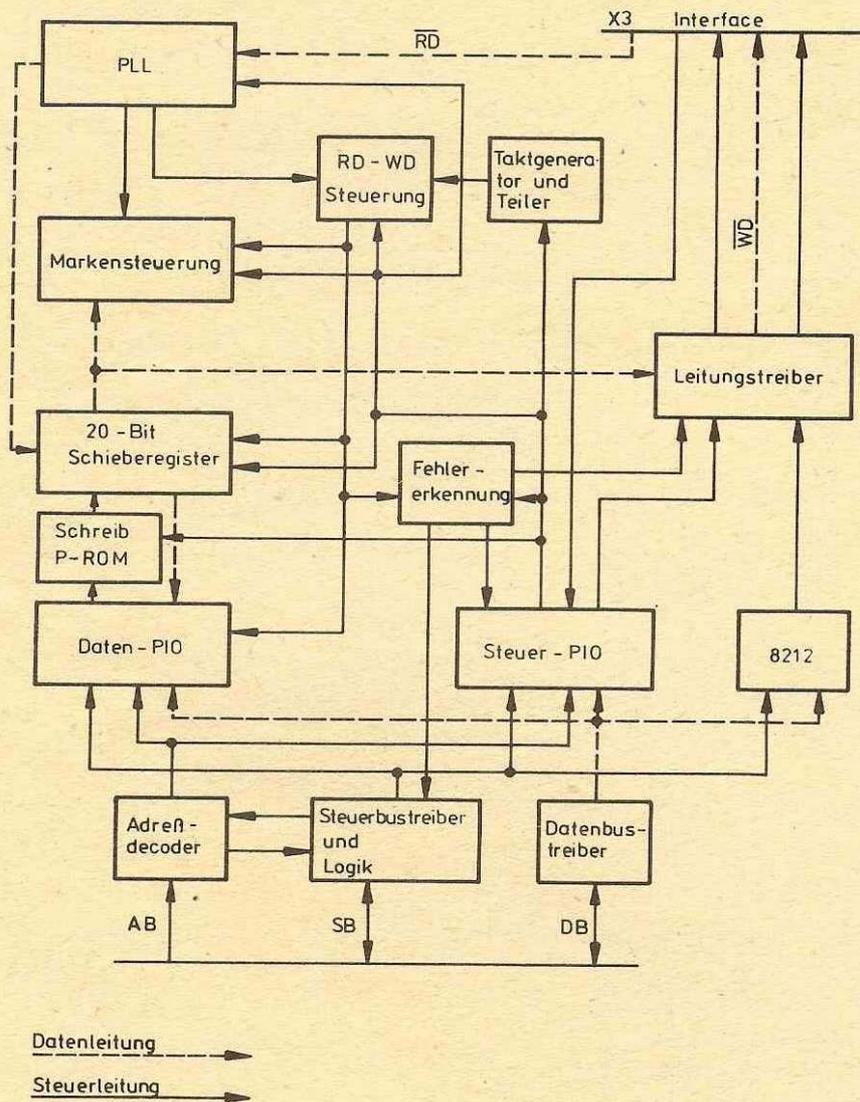
1. Allgemeines
2. Blockschaltbild
3. Schnittstelle zum K 1520-Bus
 - 3.1. Adressierung und Auswahl der Steckeinheit
 - 3.2. Bustreiber und deren Steuerung
4. Steuerung der Anschlußeinheit und der Laufwerke
 - 4.1. Steuer-PIO
 - 4.2. Laufwerksteuerung
 - 4.3. Steuerleitungen für Anschlußeinheit
5. Datenübertragung zwischen Datenspeicher und Folienspeicher
 - 5.1. Daten-PIO
 - 5.2. Parallel-Serien-Wandlung
 - 5.3. Markenerkennung
 - 5.4. Schreibsteuerung
 - 5.5. Lesesteuerung
 - 5.6. Synchronisation der Datenübertragung
 - 5.6.1. Arbeit im DMA-Betrieb
 - 5.6.2. Synchronisation mit WAIT - ohne Simultanarbeit
 - 5.6.3. Brückenbestückung der Synchronisationssteuerung
 - 5.7. Übertragungsfehler

1. Allgemeines

Die Steckeinheit soll der Kopplung flexibler Folienspeicher an die zentralen Recheneinheiten ZRE K 2521 bis 25/27 dienen.

Sie ist unter der Bezeichnung Anschlußsteuerung Folienspeicher AMF K 5120 Bestandteil des Mikrorechnersystems K 1520.

2. Blockschaltbild



3. Schnittstelle zum K 1520-Bus

3.1. Adressierung und Auswahl der Steckeinheit

Die Schnittstelle zwischen ZRE und Anschlußeinheit ist der Rechnerbus K 1520, der durch die Systembusrichtlinie MR K 1520 charakterisiert wird. Die Systembussignale sind dem Steckverbinder X1 und zum Teil dem Steckverbinder X2 zugeordnet. Über den Rechnerbus erfolgt der gesamte Datenaustausch zwischen ZRE und Anschlußeinheit. Er besteht aus Daten-, Adreß-, Steuer- und Koppelbus sowie den Leitungen für die Stromversorgung. Der Datenbus besteht aus 8 Leitungen, die zur byteseriellen Datenübertragung verwendet werden. Von den 16 Adreßleitungen werden die niederen 8 ($AB_0 \dots AB_7$) zur Adressierung der Anschlußeinheit genutzt. Durch ihre Decodierung werden 9 Ein/Ausgabe-Register ausgewählt, die der Steuerung und dem Datenaustausch dienen.

Die Leitungen $AB_0 - AB_1$ werden direkt an die beiden PIO geführt. Sie unterscheiden, ob ein Steuer- oder Datenregister bzw. Tor A oder Tor B eines PIO adressiert werden.

$AB_0 = 1$ Steuerwort $AB_1 = 1$ Tor B
 $AB_0 = 0$ Datenwort $AB_1 = 0$ Tor A

Die Adressen $AB_2 \dots AB_7$ werden durch 2 Schaltkreise 8205 decodiert und bilden die \overline{CS} -Signale für die beiden PIO A8.1, A8.2 und den 8212 A17. Die Adressierung kann unter der Bedingung $AB_4 = 1$ wahlfrei erfolgen. Je nach der festgelegten Adresse werden die beiden 8205 A3.1, A3.2 durch Brücken miteinander verbunden. Zusätzlich wird an den 8205 A3.1 das Signal \overline{IODI} geführt, wodurch die Anschlußeinheit auch bei gültiger Adresse abgeschaltet werden kann. Die \overline{CS} -Signale werden zur Vermeidung von Fehlern beim Interrupt Quittungszyklus während des M1-Signales ($M1 = 0$) gesperrt A2.3/5. Aus dem gleichen Grund wird das \overline{WR} -Signal an den $\overline{CS1}$ -Eingang des 8212 (A17/O1) geführt. Dieser belastet das \overline{WR} -Signal mit $1 \text{ mA} = 4 \text{ K } 1520\text{-Lasteinheiten}$.

In Abstimmung mit der ZRE K 2526/27 wurde für die Steckeinheit K 5120 folgende Adreßbelegung festgelegt:

Adressen								PIO	Tor	Wort	$\overline{CS3}$	
A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0					
0	0	0	1	0	0	0	0	10	S	A	D	1
0	0	0	1	0	0	0	1	11	S	A	C	1
0	0	0	1	0	0	1	0	12	S	B	D	1
0	0	0	1	0	0	1	1	13	S	B	C	1
0	0	0	1	0	1	0	0	14	D	A	D	1
0	0	0	1	0	1	0	1	15	D	A	C	1
0	0	0	1	0	1	1	0	16	D	B	D	1
0	0	0	1	0	1	1	1	17	D	B	C	1
0	0	0	1	1	0	0	0	18	-	-	-	0

Bezeichnung: S = Steuer PIO $\overline{CS1}$
 D = Daten PIO $\overline{CS2}$
 A = Tor A
 B = Tor B
 C = Steuerwort
 D = Datenwort
 $\overline{CS3}$ = Auswahl 8212 mit 0 aktiv

Durch Wickelbrücke sind folg. A-ADR der KBG möglich: W3

*A - 10
 B - 30
 C - 50
 D - 70
 E - 90
 F - B0
 G - D0
 H - F0*

Die NAND-Verknüpfung der \overline{CS} -Signale ergibt die Funktion CE (chip enable) für die gesamte Steckereinheit.

3.2. Bustreiber und deren Steuerung

Um die elektrischen Bedingungen der Systembusrichtlinie einzuhalten, werden die Steuerleitungen $\overline{M1}$, \overline{IORQ} , \overline{RD} und Takt über einen Schaltkreis 8216 geführt. Dadurch verbrauchen diese Leitungen nur eine K 1520-Lasteinheit $I_{IL} = 0,25 \text{ mA}$. Lediglich die Steuerleitung \overline{RESET} verbraucht mit $1,6 \text{ mA} = 6,4 \text{ K 1520-Lasteinheiten}$, da sie über ein NAND A7.2/11 mit $\overline{M1}$ verknüpft wird. Diese Verknüpfung schafft eine Möglichkeit, die beiden PIO in ihren Grundzustand zurückzusetzen.

Die Datenbusleitungen müssen aus Gründen der kapazitiven Belastung ebenfalls über bidirektionale Treiber 8216 A2.1, A2.2 an die PIO herangeführt werden.

Die Umschaltung der bidirektionalen Treiber erfolgt durch das Signal \overline{DIEN} .

\overline{DIEN}	Datenfluß
0	DI \rightarrow DB
1	DO \leftarrow DB

Die Leitungen DB sind direkt mit dem Datenbus verbunden, während die Leitungen DI und DO zunächst miteinander verknüpft werden und danach zu den Datenleitungen der PIO führen.

Die Steuerlogik zur Bildung des \overline{DIEN} -Signales ist so aufgebaut, daß die Treiber ständig auf Eingang geschaltet sind. Nur wenn die ZRE eine Information von der Anschlußsteuerung lesen will oder wenn durch die Anschlußsteuerung ein nicht quittierter Interrupt vorliegt und ein Interruptquittungszyklus ausgeführt wird, schalten sich die Treiber auf den Datenbus auf.

Durch die gleiche Logik erfolgt mit geringem Zusatzaufwand die Bildung des Signales \overline{RDY} Anschlußsteuerung bereit.

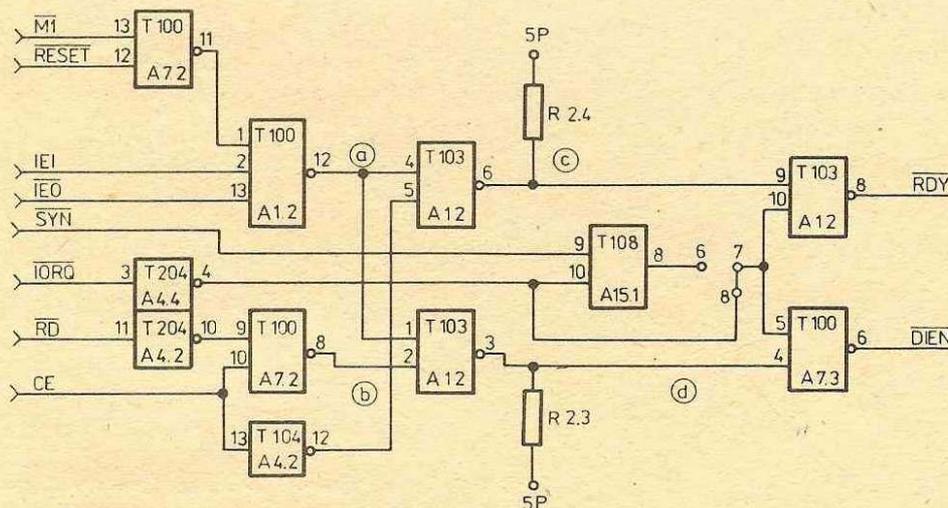


Abb. 1

Steuerung für Bustreiber und \overline{RDY} -Bildung

$$\overline{\text{DIEN}} = \overline{\text{IORQ}} \wedge d$$

$$d = \overline{a \wedge b}$$

$$c = \overline{a \wedge \overline{\text{CE}}}$$

$$\overline{\text{RDY}} = \overline{\text{IORQ}} \wedge c$$

$$a = \overline{\text{M1}} \wedge \overline{\text{IEI}} \wedge \overline{\text{IEO}}$$

$$b = \overline{\text{RD}} \wedge \overline{\text{CE}}$$

Die Schaltung Abb. 1 ergab sich nach Minimierung des Hardwareaufwandes durch Umstellen der Funktionen $\overline{\text{DIEN}}$ und $\overline{\text{RDY}}$.

Die ausführlichen Funktionen lauten:

$$\overline{\text{DIEN}} = (\overline{\text{IEO}} \wedge \overline{\text{M1}} \wedge \overline{\text{IEI}} \wedge \overline{\text{IORQ}}) \vee (\overline{\text{CE}} \wedge \overline{\text{RD}} \wedge \overline{\text{IORQ}})$$

$$\overline{\text{RDY}} = (\overline{\text{IEO}} \wedge \overline{\text{M1}} \wedge \overline{\text{IEI}} \wedge \overline{\text{IORQ}}) \vee (\overline{\text{CE}} \wedge \overline{\text{IORQ}})$$

Bedeutung der Teilfunktionen:

$\overline{\text{IEO}} \wedge \overline{\text{M1}} \wedge \overline{\text{IEI}} \wedge \overline{\text{IORQ}} \hat{=} \text{Interrupt Quittungszyklus}$

$\overline{\text{CE}} \wedge \overline{\text{RD}} \wedge \overline{\text{IORQ}} \hat{=} \text{Lesezyklus}$

$\overline{\text{CE}} \wedge \overline{\text{IORQ}} \hat{=} \text{Ein/Ausgabezyklus}$

Bei der Arbeit mit WAIT entfällt die Brücke 7-8, dafür wird 6-7 verbunden (siehe Punkt 5.6.3.).

Das Signal $\overline{\text{RDY}}$ wird entsprechend den Forderungen der Systembusrichtlinie durch eine Open-Kollektor-Stufe (T103) gebildet.

4. Steuerung der Anschlußeinheit und der Laufwerke

4.1. Steuer-PIO

Die Steuerung der Anschlußeinheit und der Laufwerke erfolgt durch den Steuer-PIO A8.2 sowie den 8212 A17. Der Steuer-PIO sendet und empfängt Steuersignale über seine Ein/Ausgabetore. Er ist in die Interruptkette für zeitkritische Geräte eingeordnet ($\overline{\text{IEI}}-\overline{\text{IEO}}$), wobei das Interrupt zur Auswertung einiger Statussignale verwendet wird. Der Steuer-PIO wird über den Systembus unmittelbar von der ZRE programmierbar gesteuert.

Die beiden Tore arbeiten in den Betriebsarten:

Tor A - OUTPUT MODE (Mode 0)

Tor B - BIT MODE (Mode 3)

und haben folgende Bedeutung:

Tor A	Signalbezeichnung	Kurzzeichen	Ein/Ausgang
A ₀	<u>WRITE ENABLE</u>	WE	Ausgang
A ₁	<u>MARK</u>	MK	Ausgang
A ₂	<u>FAULT RESET</u>	FR	Ausgang
A ₃	<u>START</u>	STR	Ausgang
A ₄	MARK 1	MK 1	Ausgang
A ₅	MARK RESET oder <u>STEP DIRECTION</u>	MR, SD	Ausgang
A ₆	<u>HEAD LOAD</u>	HL	Ausgang
A ₇	<u>STEP</u>	ST	Ausgang
ASTB	<u>INDEX</u>	IX	Eingang

Tor B	Signalbezeichnung	Kurzzeichen	Ein/Ausgang
B ₀	<u>LAUFWERK BEREIT</u>	<u>RDYL</u>	Eingang
B ₁	<u>MARKE ERKANNT</u>	<u>MKE</u>	Eingang
B ₂	<u>SYNCHRON</u>	<u>SYN</u>	Eingang
B ₃	<u>SPUR</u>	<u>Sp</u>	Ausgang
B ₄	<u>FAULT ADAPTER</u>	<u>FA</u>	Eingang
B ₅	<u>WRITE PROTECT</u>	<u>WP</u>	Eingang
B ₆	<u>FAULT</u>	<u>FW</u>	Eingang
B ₇	<u>TRACK 00</u>	<u>T0</u>	Eingang

4.2. Laufwerksteuerung

Die Steuerung der Laufwerke ist im Prinzip eine reine Softwarelösung. Die notwendige Hardware beschränkt sich auf die Register des Steuer-PIO und des 8212 sowie die Leitungstreiber bzw. die Widerstandsbeschaltung an den Empfangsleitungen.

Als Leitungstreiber für die Steuersignale (außer SE und LCK) wurde der Schaltkreis K155 LP7 verwendet, der hinsichtlich Strombedarf und Open-Kollektorstufe den gegebenen Forderungen entspricht. Eine Eingangsstufe eines Laufwerkes verbraucht $I_{Lmax} = 24 \text{ mA}$. Da 4 Laufwerke angeschlossen werden können, muß ein Leitungstreiber mind. $I_{OLmin} = 96 \text{ mA}$ liefern. Deshalb wurde der o. g. Schaltkreis verwendet. Er besitzt $I_{OLmax} = 300 \text{ mA}$. Für die Signale SE und LCK wurde der Schaltkreis SN 7406 eingesetzt. Er besitzt 40 mA . Diese sind ausreichend, da jede dieser Leitungen nur ein Laufwerk ansteuert.

Die Empfangsleitungen sind entsprechend den technischen Forderungen des Laufwerkes mit mit folgenden Widerstandsnetzwerk beschaltet:

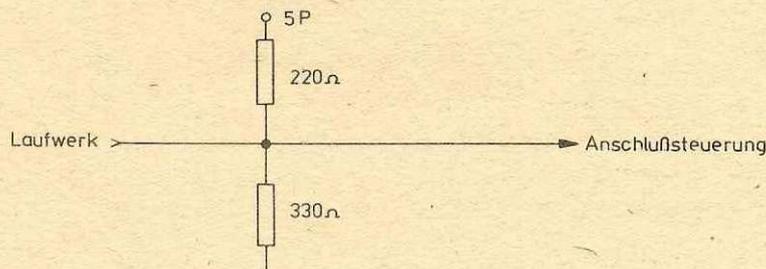


Abb. 2

Eingangsseitige Anpassung

Die Auswahl der einzelnen Laufwerke und die Verriegelung Motor an wird durch die Signale SE0 ... 3 und LCK0 ... 3 realisiert.

SE - SELECT, LCK - LOCK

Die Signale werden von einem 8 Bit E/A-Tor (A17) bereitgestellt. Dieser Schaltkreis wird durch den Adreßbus ausgewählt (CS2).

$$CS2 \wedge IORQ = STB$$

Der folgende OUT spricht dann das Tor an.

Durch das Signal RESET = 1 werden alle Ausgänge auf "1" geschaltet. Damit ist kein Laufwerk ausgewählt oder verriegelt.

Belegung 8212: D01 = $\overline{\text{LCK0}}$
 D02 = $\overline{\text{LCK1}}$
 D03 = $\overline{\text{LCK2}}$
 D04 = $\overline{\text{LCK3}}$
 D05 = $\overline{\text{SE0}}$
 D06 = $\overline{\text{SE1}}$
 D07 = $\overline{\text{SE2}}$
 D08 = $\overline{\text{SE3}}$

Die eigentliche Steuerung der Laufwerke erfolgt mit Hilfe von Mikroprogrammen über die Leitungen $\overline{\text{SD}}$, $\overline{\text{HL}}$, $\overline{\text{RDYL}}$, $\overline{\text{ST}}$, $\overline{\text{WE}}$, $\overline{\text{FR}}$, $\overline{\text{TO}}$, $\overline{\text{IX}}$, $\overline{\text{SE}}$, $\overline{\text{LCK}}$, $\overline{\text{WP}}$.

Vom übergeordneten System können die Quittungssignale $\overline{\text{TO}}$, $\overline{\text{FW}}$, $\overline{\text{IX}}$, $\overline{\text{WP}}$, $\overline{\text{RDYL}}$ durch Abfrage oder Interrupt behandelt werden.

4.3. Steuerleitungen für Anschlußeinheit

Für die Modulation, Demodulation und Übertragung der Daten werden folgende Steuer- und Quittungssignale verwendet:

$\overline{\text{FR}}$, $\overline{\text{STR}}$, $\overline{\text{MK}}$, $\overline{\text{MK1}}$, $\overline{\text{MR}}$, $\overline{\text{FA}}$, $\overline{\text{SYN}}$, $\overline{\text{MKE}}$, Sp

Diese Signale haben für die Anschlußsteuerung folgende Bedeutung:

logisch high = 1 = 5 P

logisch low = 0 = 0 V

$\overline{\text{WE}}$ = 1 Schreiben gesperrt

$\overline{\text{WE}}$ = 0 Schreiben - Freigabe der Schreibsteuerung einschließlich Takterzeugung

$\overline{\text{STR}}$ = 1 Anschluß inaktiv

$\overline{\text{STR}}$ = 0 Bildung vom $\overline{\text{BUSRQ}}$ und $\overline{\text{SYN}}$ möglich

$\overline{\text{MKT}}$: Dieses Signal hat bei Schreiben und Lesen unterschiedliche Bedeutung.

Lesen: $\overline{\text{MKT1}}$ = 1 Information einlesen

(Eingang A9.3/02) $\overline{\text{MKT1}}$ = 0 ständig 1 einlesen

Schreiben: $\overline{\text{MKT1}}$ = 0 Schreiben MFM (für MFS) bzw.

(Eingang A13.2/20) Schreiben FM-Marken (für MF 3200)

$\overline{\text{MKT1}}$ = 1 Dateninformation Schreiben (für MF 3200)

$\overline{\text{MK}}$: Dieses Signal wird ebenfalls doppelt genutzt.

Lesen: $\overline{\text{MK}}$ = 0 Markenerkennung FM (für MF 3200)

(Eingang A13.1/23) $\overline{\text{MK}}$ = 1 Erkennung A1 MFM (für MFS)

Schreiben: $\overline{\text{MK}}$ = 0 Markenschreiben FM (für MF 3200) bzw.
 A1 MFM (für MFS)

(Eingang A13.2/22) $\overline{\text{MK}}$ = 1 1 Schreiben Taktinformation MFM (für MFS)

$\overline{\text{MR}}$: Dieses Signal wird zum Rücksetzen des Marken-FF A9.2/10 benutzt. Das Marken-FF speichert die Information, daß eine Marke gültig erkannt wurde.

$\overline{\text{MR}}$ = 0 Signal inaktiv

$\overline{\text{MR}}$ = 1 FF wird statisch zurückgesetzt

FA: Quittungssignal für ordnungsgemäßen zeitlichen Ablauf der Datenübertragung zwischen Speicher und Anschlußeinheit bzw. Fehlermeldung bei Verletzung der Zeitkriterien während der Datenübertragung.

FA = 0 Fehler
FA = 1 kein Fehler

Das Fehlersignal wird in einem Selbsthaltekreis gespeichert und kann nur durch das Signal STR = 1 zurückgesetzt werden.

SYN: Mit Hilfe dieses Signales erfolgt die Synchronisation der byteweisen Datenübertragung bei der Zusammenarbeit der Anschlußeinheit mit einer CPU ohne programmierbaren DMA-Kanal.

SYN = 0 aktiv

Sp: Mit Hilfe dieses Signales wird die Präcompensationsschaltung für die Schreibimpulse eingeschaltet.

Sp = 0 Schreiben ohne Präcompensation
Sp = 1 Schreiben mit Präcompensation

Bei Aufzeichnungen FM mit dem MF 3200 muß Sp ständig 0 sein.

MKE: Bei Synchronisation der Datenübertragung mit WAIT erfolgt eine Auswertung des Signales MKE.

MKE = 0 Marke erkannt
MKE = 1 keine Marke

5. Datenübertragung zwischen Datenspeicher und Folienspeicher

5.1. Daten-PIO

Für die Zwischenspeicherung eines Datenbytes auf der Anschlußsteuerung wird ein PIO AB.1 mit zwei E/A-Toren verwendet. Der PIO stellt die Schnittstelle zum Datenbus des übergeordneten Systems dar. Dabei dient Tor A als Ausgabator und Tor B als Eingabator für jeweils ein Byte, bzw. als Ausgabator für das Signal Sp.

5.2. Parallel-Serien-Wandlung

Da die zu schreibenden Daten seriell auf den Datenträger aufgezeichnet werden, muß eine Parallel-Serien-Wandlung durchgeführt werden. Das geschieht durch ein 20-bit-Schieberegister.

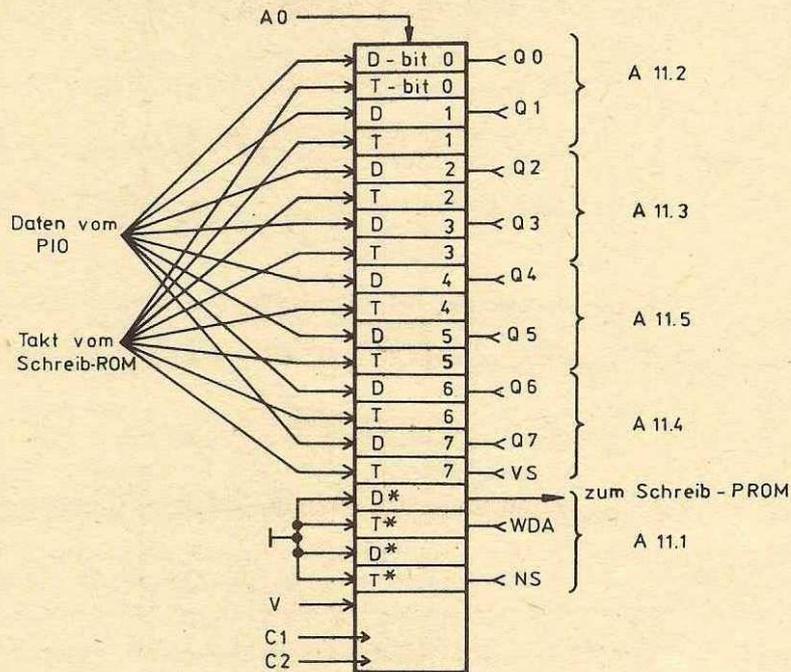


Abb. 3

Für die eigentliche Parallel-Serien-Wandlung werden 16 bit benötigt. Diese ergeben sich aus dem Aufzeichnungsverfahren des Folienspeichers. Bit 16 bis 19 werden benötigt für die Schreibpräcompensation bzw. Auswahl der Taktinformation beim MFM-Aufzeichnungsverfahren bis Bytewechsel (A0 ... A7).

Die Parallel-Serien-Wandlung vollzieht sich folgendermaßen:

Der Daten-PIO stellt ein Byte zur Übernahme ins Schieberegister bereit. Diese Dateninformation liegt ebenfalls am Schreib-PROM A13.2 an. Entsprechend dieser Information stellt der PROM an seinen Ausgängen die dazugehörige Taktinformation zur Übernahme ins Schieberegister bereit.

Für den Anwendungsfall MF 3200 sind die Ausgänge des PROM in Three state-Zustand und ins Schieberegister werden entsprechend des FM-Aufzeichnungsverfahren Einsen übernommen. Der PROM enthält ebenfalls die Taktkombination für die Markenbytes und das Synchronisationsbyte.

Beim Lesevorgang wird der Eingang A0 als serieller Eingang verwendet und die Information vom Folienspeicher seriell ins Schieberegister eingeschoben. Die Ausgänge Q0 ... Q7 sind mit den PIO-Eingängen B0 ... B7 verbunden und dienen der Byteübertragung zum PIO. Der Ausgang WDA dient als serieller Ausgang des Schieberegisters bei Parallel-Serien-Wandlung. Die Steuerung der einzelnen Funktionen geschieht mit Hilfe der Signale V, C1 und C2.

V = 0	serieller Betrieb	C1 \neg	Schiebetakt (Bedingung V = 0)
V = 1	paralleler Betrieb	C2 \neg	Parallelübernahmetakt (Bedingung V = 1)

5.3. Markenerkennung

Die Notwendigkeit einer Markenerkennung ergibt sich aus der Verwendung des Aufzeichnungsformates ISO/TC97/SC11 Nr. 149 und KROS 5110 bei der Sektorierung einer Spur durch aufgezeichnete Adreßmarken, die außerdem zur Synchronisation der Datenübertragung genutzt werden. Eine Adreßmarke bzw. Synchronisationsbyte A1 setzt sich aus zwei Informationen zusammen, der Dateninformation und der zwischengeschalteten Taktinformation (Abb. 4).

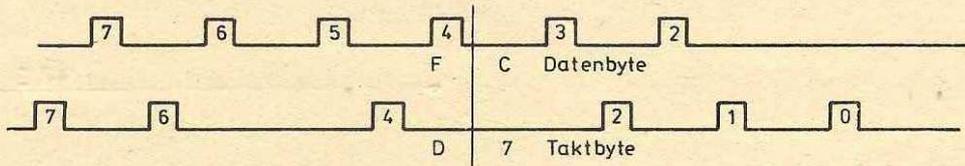
Um die Adreßmarken bzw. das Synchronisationsbyte (MFM-MFS) erkennen zu können, müssen beide Informationen decodiert werden. Das erfolgt mit Hilfe eines rückgekoppelten Festwertspeichers A13.1. Der EPROM (oder ROM) hat eine Kapazität von 1 kByte. An die Adreßleitungen A0 ... A7 werden die Schieberegistereingänge Q0 ... Q7 angeschlossen. Die Information, die an den Schieberegisterausgängen anliegt, wertet der EPROM ständig als Adresse und legt den Inhalt der adressierten Speicherzelle an seine Ausgänge O1 ... O8. Der Ausgang O7 gibt das Signal Adreßmarke (AM = 1) ab, wenn diese gültig erkannt wurde. Dazu ist allerdings die Decodierung von Takt- und Datenbyte notwendig. In der Schaltung mit dem rückgekoppelten EPROM wird dabei ausgenutzt, daß die geschachtelte Takt- und Dateninformation um jeweils ein bit verschoben ist. Das Taktbyte liegt dabei zuerst an den Eingängen des Festwertspeichers. Die Speicherzelle, die durch dieses Bitmuster adressiert wird, schaltet den Ausgang O8 auf 1.

Dieses Signal wird als Rückkoppelsignal RK bezeichnet und an den D-Eingang eines FF A9.2/12 geführt. Mit dem nächsten Schiebetakt wird das Datenbyte der Adreßmarke an die Eingänge des PROM gelegt. Gleichzeitig erfolgt die Durchschaltung der RK-Information an den Ausgang des FF A 9.2/9 =RKQ und dieser liegt als weiterer Eingang A9 an dem PROM. Wenn beide Bedingungen erfüllt sind, wird die Speicherzelle angesprochen, deren Inhalt das Signal AM = 1 (O7) ausgibt. Dieses Signal wird anschließend noch mit dem Zwischentakt ZT verknüpft. Der entstandene Impuls setzt das Marken-FF auf Q = 1 und dieses Signal ist

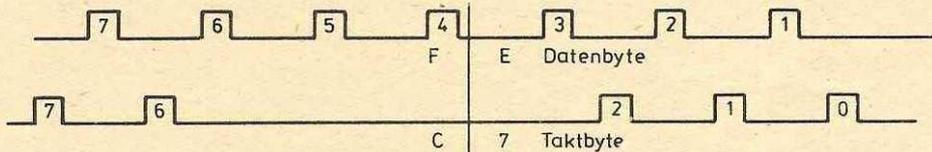
die Quittung dafür, daß eine Marke erkannt wurde. Die Verknüpfung mit dem Zwischentakt ist notwendig, um Verzögerungszeiten und Einschwingvorgänge an den Speicher-Ausgängen ausschließen zu können.

Mit Hilfe des Signales \overline{MK} wird entschieden, ob die Marken des FM-Aufzeichnungsformates (MF 3200) oder des Synchronisationsbytes A1 des MFM-Aufzeichnungsformates (MFS) erkannt werden sollen. Die Entscheidung, welche Marke speziell erkannt wurde, muß durch Auswertung des Datenbytes der Marke erfolgen, welches als erstes Byte zur CPU übertragen wird. Die Rückführung des Signales AME an den Rücksetzeingang des Rückkoppel-FF A9.2/13 bewertet, daß keine weitere Adreßmarke erkannt werden kann, wenn AME = 1 ist.

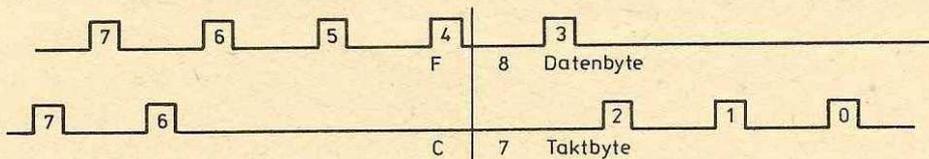
Indexadreßmarke FM



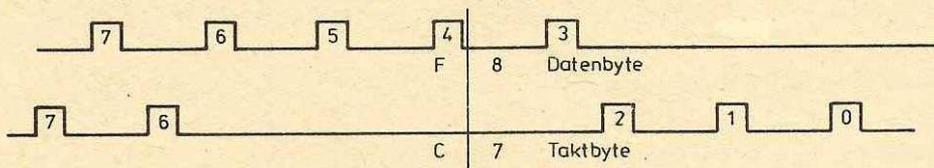
ID-Adreßmarke FM



Datenadreßmarke FB



gestrichene Datenmarke FM



Synchronisationsbyte A1 MFM

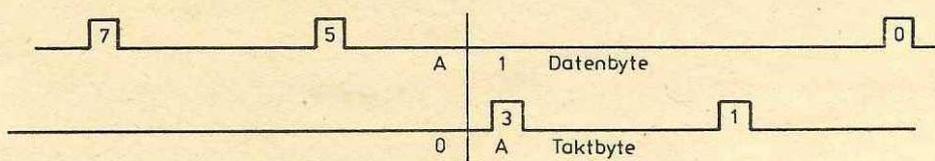
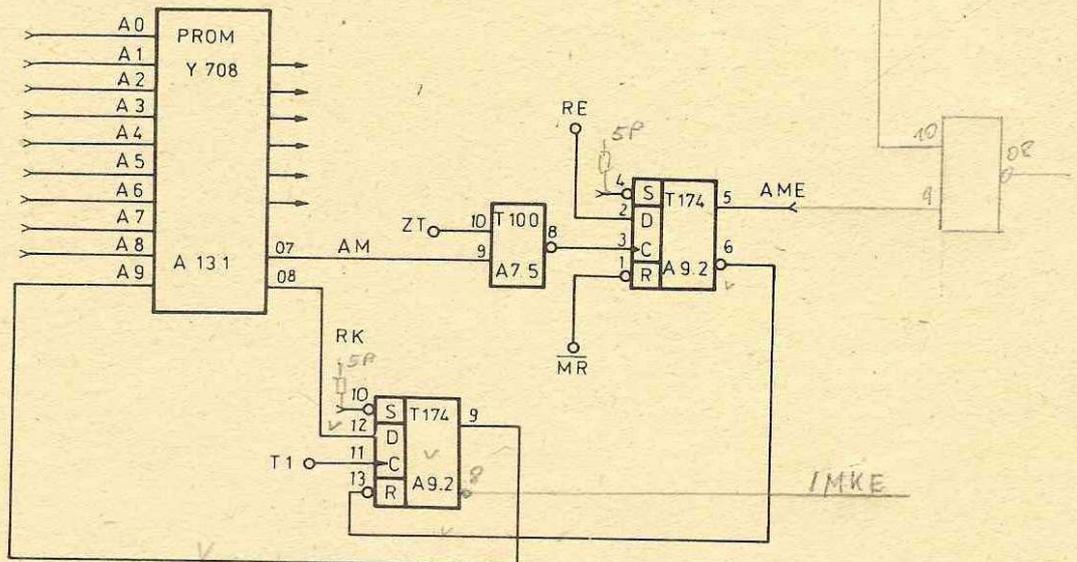


Abb. 4

Darstellung der Adreßmarken und des Synchronisationsbytes



RK	AM	
0	0	vor der Marke
1	0	Taktbyte
0	1	Datenbyte
0	0	nach der Marke

Abb. 5

Markenerkennung am Beispiel der ID-Marke FM

Für den 1 kByte PROM ergeben sich somit folgende Speichercodierungen:

	Adresse	Speicherinhalt
Gruppe 0	C7	80
	D7	80
Gruppe 1	0A	80
Gruppe 2	F8	40
	FB	40
	FC	40
	FE	40
Gruppe 3	A1	40

5.4. Schreibsteuerung

Die Schreibsteuerung besteht im wesentlichen aus einem quarzgesteuerten Taktgenerator mit einer nachfolgenden Anordnung von Teiler, Zähler und der Präcompensationsschaltung. Die erforderliche Frequenz für die Aufzeichnung beträgt 500 kHz mit einer Toleranz von $\pm 0,1\%$ über den Spannungsbereich von 4,75 V ... 5,25 V und bei den möglichen Temperaturabweichungen von 0 °C ... 70 °C. Die geforderten Toleranzen werden durch die Eigenschaften des Quarzes und dessen Beschaltung gewährleistet. Die Grundfrequenz des Quarzes beträgt 10000 kHz.

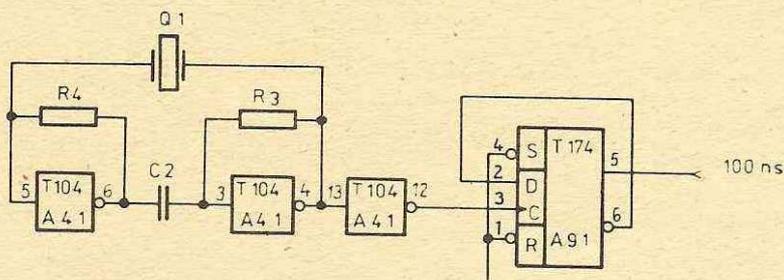


Abb. 6
Taktgenerator

Sie wird durch A9.1 noch einmal halbiert. Ein Dezimalzähler A5 teilt diese Frequenz auf $1/10$ (Ausgang P1) herunter. Bei Aufzeichnung von Informationen auf Datenträgern mit erhöhter Aufzeichnungsdichte entsteht der Effekt der Spitzenverschiebung, der zu Fehlern bei der Wiedergabe der Daten führt.

Aus diesen Gründen wird beim Aufzeichnungsverfahren MFM (für MFS) eine Verschiebung (Präcompensation) der Schreibimpulse durchgeführt, um die Spitzenverschiebung in gewissen Grenzen auszugleichen. Die im Adapter AMF K 5120 eingesetzte Präcompensationsschaltung führt eine Verschiebung an den kritischen Stellen, d. h. an den Übergängen von max. Bitdichte auf größere Bitabstände (6 und 8 μ s) und umgekehrt durch, um 400 ns (siehe Abb. 7).

Die Decodierung der Schreibdaten für die Präcompensation erfolgt durch 2 Gatter des A1.1. Mit Hilfe dieser beiden Gatter wird die Richtung der Verschiebung festgelegt. Durch das Signal Sp kann die Präcompensationsschaltung durch das Mikroprogramm ab einer beliebigen Stelle eingeschaltet werden. Es hat sich als günstig erwiesen, die Präcompensation ab Spur 25 einzuschalten. Zur Bildung der Schreibimpulse wird ein M121 (A6) eingesetzt. Durch Veränderung der R-C-Beschaltung können die Impulsbreiten geändert werden. In der AMF wurden sie für 200 ns ausgelegt. Durch A9.1 wird verhindert, daß ein Schreibimpuls zum falschen Zeitpunkt gebildet wird. Durch P1 des A5 wird die Sperre aufgehoben und die Präcompensationsschaltung zur Bildung des nächsten Schreibimpulses vorbereitet.

Impulsdiagramm (siehe Abb. 7)

Mit der Vorderflanke des A6/01 wird ein 16-stelliger Binärzähler A14 gesteuert, dessen Ausgang $\overline{P1} = 0$ die Signale $\overline{ASTB} = 0$ und $V = 1$ erzeugt (siehe Abb. 9).

V und $C2 = P1.A5$ realisieren die Parallelübernahme eines neuen Bytes von Daten-PIO in das Schieberegister. Dieser Vorgang muß zwischen zwei C1-Takten abgeschlossen sein, da dieser jeweils ein bit aus dem Schieberegisterausgang WDA A11.1/2 herausschiebt. Diese Bitinformation wird mit dem Taktimpuls A6/06 verknüpft. Die Ergebnisfunktion ist $\overline{WD} A7.5/03$. Dieses Signal wird durch den Leitungstreiber A18.1/10 verstärkt und zum Steckverbinder X3 geführt.

5.5. Lesesteuerung

Der Grundbestandteil der Lesesteuerung ist eine PLL-Schaltung (phase lock loop - Phasenregelschleife), die mit einem 16-stelligen Binärzähler A14 gekoppelt wird.

Die PLL hat die Aufgabe, die Lesedaten (RD) zu synchronisieren, d. h. die Langzeitschwankungen der Bitabstände infolge Gleichlaufschwankungen des Antriebssystems der Diskette auszugleichen. Die PLL besteht aus Vergleichler, Ansteuerung (D/A-Wandler), VCO und Teiler.

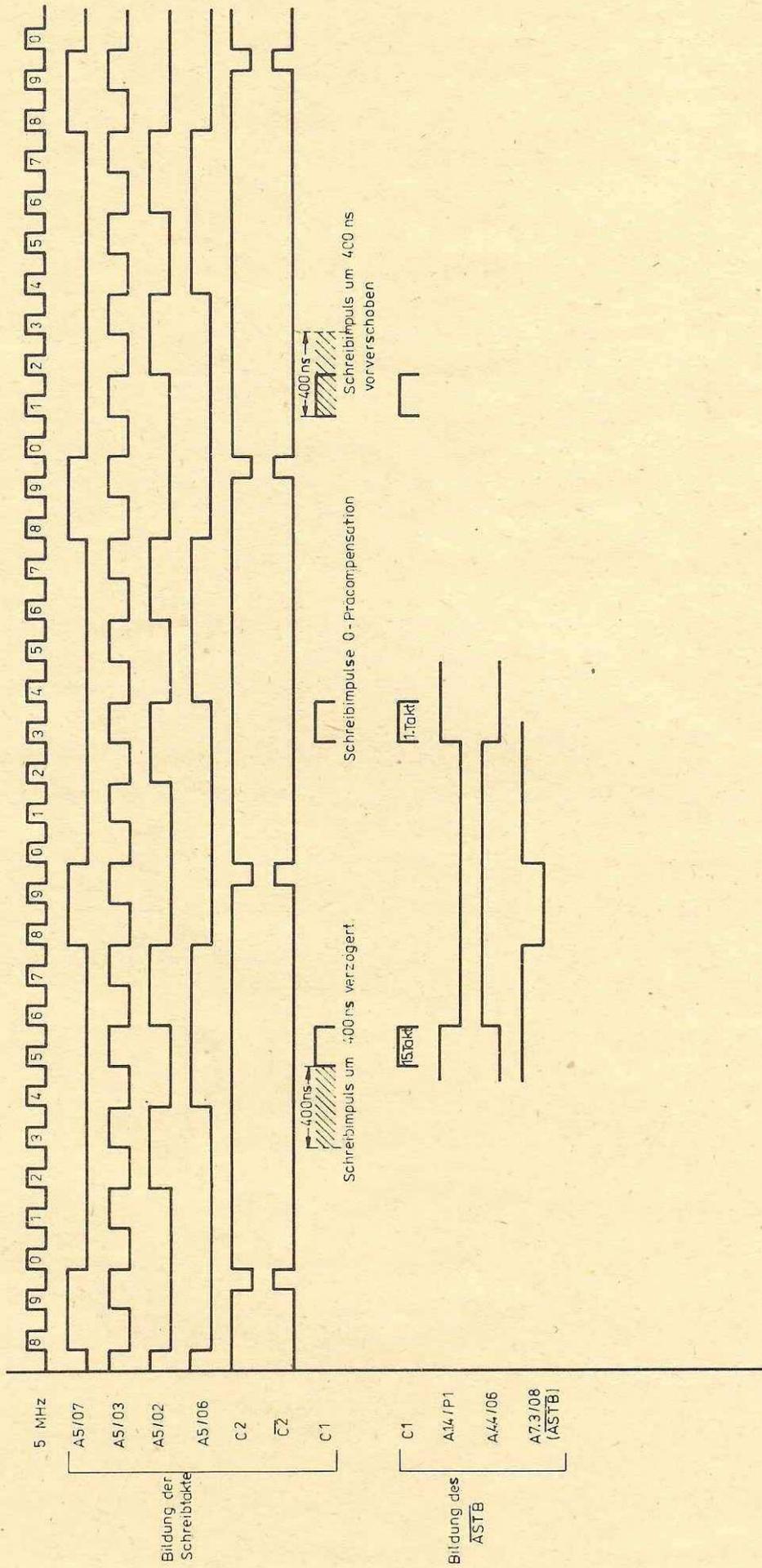


Abb. 7

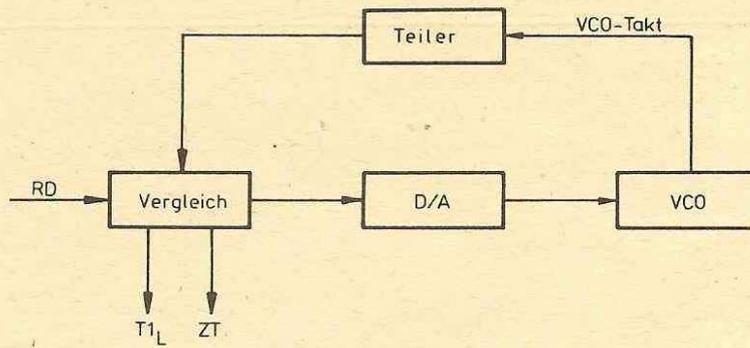


Abb. 8
Blockschaltbild PLL-Schaltung

Der VCO (voltage controlled oscillator - spannungsgesteuerter Oszillator) schwingt auf der durch R22 einzustellenden Grundfrequenz von 1 MHz. Diese Frequenz ändert sich je nach Ergebnis des Vergleiches des Takt-Daten-Gemisches \overline{RD} mit der halben VCO Frequenz. Somit liegen die Takte $T1_L$ Lesetakt und ZT Zwischentakt ständig synchron zu den Lese-daten.

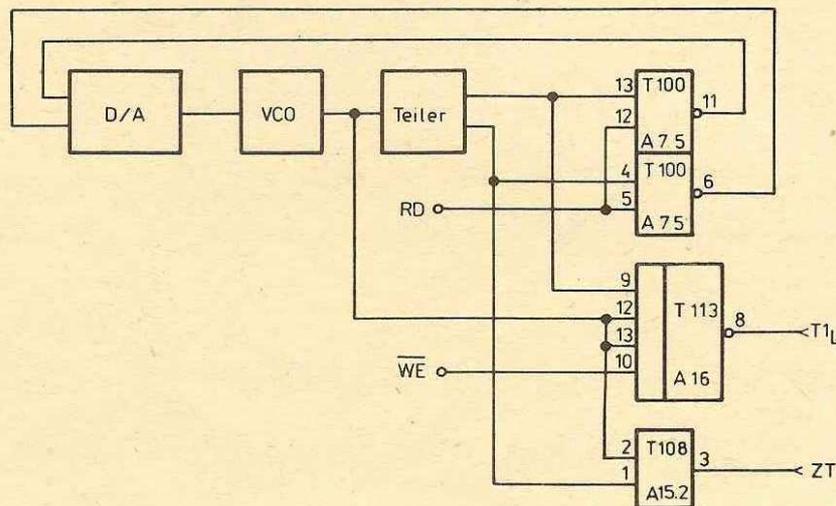


Abb. 9
Taktbildung Lesen

Eine ausführliche Beschreibung der PLL-Schaltung wird im Punkt "Beschreibung spezieller Baugruppen" vorgenommen.

- $T1_L$ - schaltet Zähler A14 mit dessen Signal P1 \overline{BSTB} des Daten-PIO gebildet wird
- ZT - Rückflanke kippt bei AM = 1 das Marken-FF A9.2

Die gelesene Takt-Dateninformation wird in einer Sonderbaustufe verkürzt und an den Eingang A0 (serieller Dateneingang) des Schieberegisters gelegt, in das sie mit C1 (= $T1_L$) eingeschoben wird. Die Verkürzung des RD-Signales wurde vorgenommen, weil durch ein breites RD-Signal (> 700 ns) und großen Kurzzeitschwankungen der Takt-Dateninforma-

tion (bis 25 %) Lesefehler auftreten können.

Mit einer "Impulsverzögerungsstufe für beide Flanken" wird ein entsprechender Impuls erzeugt, der das FF (A9.3) bei Vorhandensein eines Takt- oder Datenbits setzt. Mit dem nächsten T_{1L} -Takt wird das FF zurückgekippt.

Der D-Eingang des FF ist mit MK1 beschalten, so daß unabhängig von RD "log 1" in das Schieberegister eingelesen werden kann. Damit können die Störflecke vor und nach dem Datenfeld mikroprogrammgesteuert überlesen werden.

Schaltung und Diagramm sind in Abb. 10 dargestellt.

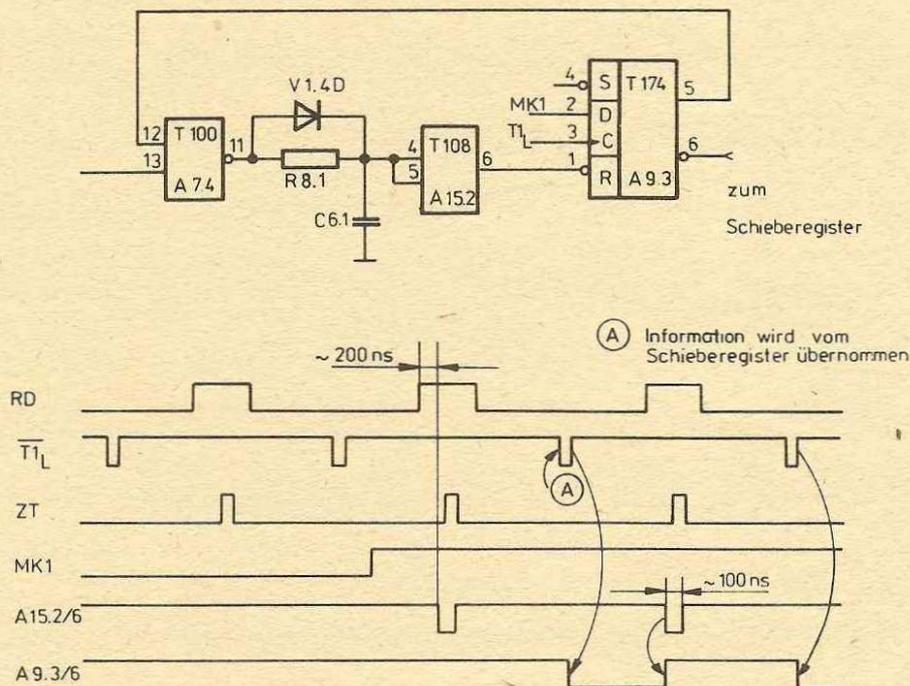


Abb. 10
Impulsverzögerungsstufe

Der Ablauf des Lesens ist folgendermaßen organisiert:

Die Anschlußsteuerung wird durch den Steuer-PIO auf das Erkennen einer Marke programmiert (siehe Punkt 5.2.).

Nach der Auswertung des Datenbytes der Marke wird bei positiven Ausgang (Marke erkannt) das Signal AM mit dem Zwischentakt verknüpft. Das entstandene Signal setzt einmal das Marken-FF (AME = 1) und zum anderen den Zähler (A14). Mit dem nächsten T_{1L} -Taktimpuls wird der P1-Ausgang des Zählers "0". Am Ausgang A7.1/08 entsteht \overline{BSTB} , das die Übernahme des Datenbytes der Marke in den Daten-PIO veranlaßt. Der Zähler und das Schieberegister werden mit C1 (= T_{1L}) weitergeschaltet. Nach 16 Takten entsteht erneut \overline{BSTB} und das nächste Datenbyte wird übernommen usw.. Die Beendigung der Datenübertragung erfolgt mit dem Rücksetzen des Marken-FF durch MR oder durch Abschalten von STR.

Eine weitere Möglichkeit ist das sofortige Umschalten auf Schreiben durch

- $\overline{WE} = 0$ Abschalten von T_{1L} (A16/08) und
- MR = 0 Sperren von \overline{BSTB} .

5.6. Synchronisation der Datenübertragung

5.6.1. Arbeit im DMA-Betrieb

Die Anschlußeinheit AFS wurde ursprünglich für diese Arbeitsweise konzipiert. Mit ihr ist eine effektive Nutzung des Folienspeichers als externer Datenspeicher möglich.

Die ZRE K 2526 besitzt zwei Mikroprozessoren, wobei der zweite als programmgesteuerter DMA-Kanal arbeitet. Das Abschalten der zentralen CPU und die Umschaltung des Datenbusses auf die 2. CPU erfolgt durch das Signal $\overline{\text{BUSRQ}}$.

$\overline{\text{BUSRQ}}$ wird gebildet, wenn der Daten-PIO zum Datenaustausch mit dem Bus bereit ist. Seine Bereitschaft zeigt er durch RDY an. $\overline{\text{BUSRQ}}$ wird durch $\overline{\text{STR}}$ unterdrückt. In einem 1 aus 8-Decoder (A3.3) werden die Signale $\overline{\text{ARDY}}$, $\overline{\text{BRDY}}$ ausgewertet. Bei entsprechender Codierung entsteht das Signal $\overline{\text{BUSRQ}}$ (A12/11).

Wahrheitstabelle:	Signal	Eingang	Codierung
	$\overline{\text{ARDY}}$	A1	0 1 0
	$\overline{\text{BRDY}}$	A0	1 0 0
		A2	0 0 0
	Ausgang A	12	01 02 00
	$\overline{\text{BUSRQ}}$		0 0 1

Die Ausgänge, bei denen $\overline{\text{BUSRQ}} = 0$ ist, werden für die Auswertung herangezogen.

Ausgang 01: $\overline{\text{ARDY}} = 0$, $\overline{\text{BRDY}} = 1$

Lesen - Ausgabe eines Bytes vom PIO an den BUS

Ausgang 02: $\overline{\text{ARDY}} = 1$, $\overline{\text{BRDY}} = 0$

Schreiben - Übernahme eines Bytes vom BUS an den PIO

5.6.2. Synchronisation mit $\overline{\text{WAIT}}$ - ohne Simultanarbeit

Beim Einsatz des Adapters in zeitunkritischen Geräten besteht die Möglichkeit, die Datenübertragung mit $\overline{\text{WAIT}}$ zu synchronisieren.

Die Bedingungen zur Bildung von $\overline{\text{WAIT}}$ sind am Decoder A3.3 der Wahrheitstabelle dem Punkt 5.6.1. zu entnehmen.

Die erforderliche Brückenbestückung ist im Punkt 5.6.3. ersichtlich.

Bedingungen für $\overline{\text{WAIT}}$ und $\overline{\text{RDY}}$: $\overline{\text{CS}} = 0$ - Auswahl (Daten-PIO = $\overline{\text{RDY}}$)

C/D = 0 - Datenübertragung

STR = 1

5.6.3. Brückenbestückung der Synchronisationssteuerung

Die erforderliche Betriebsart wird durch Einlöten von Brücken eingestellt.

Betriebsart - Brücken zwischen den Lötunkten

$\overline{\text{BUSRQ}}$ ·17-19, ·20-22, ·14-11, ·7-8, ·9-10, ·2-3, ·12-15, A-I

→ $\overline{\text{WAIT}}$ 18-19, 21-22, 16-13, 12-11, 9-8, 27-28, 29-30, 6-7, 1-2, A-I

OEM auf $\overline{\text{WAIT}}$ wieder

5.7. Übertragungsfehler

Mit dem Starten der Datenübertragung erfolgt ständig eine Kontrolle des Informationsaustausches zwischen Daten-PIO und Systembus bzw. Schieberegister.

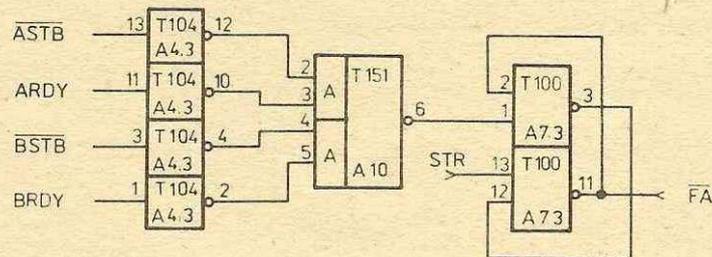


Abb. 11

Bildung des Signales Fehler

Mit STR wird der Grundzustand des Speicherkreises (A7.3) definiert.

STR = 0 \overline{FA} = 1 Speicherkreis gelöscht

STR = 1 Kontrolle auf Übertragungsfehler

Übertragungsfehler beim Lesen:

\overline{FA} = 0 bei \overline{BSTB} = BRDY = 0

Das nächste Byte wird in den Daten-PIO übernommen, bevor die CPU die Daten abgefordert hat und RDY wieder gesetzt ist.

Übertragungsfehler beim Schreiben:

\overline{FA} = 0 bei \overline{ASTB} = ARDY = 0

Das nächste Byte soll in den PIO übernommen werden, obwohl das vorhergehende Byte noch nicht in das Schieberegister übernommen wurde.

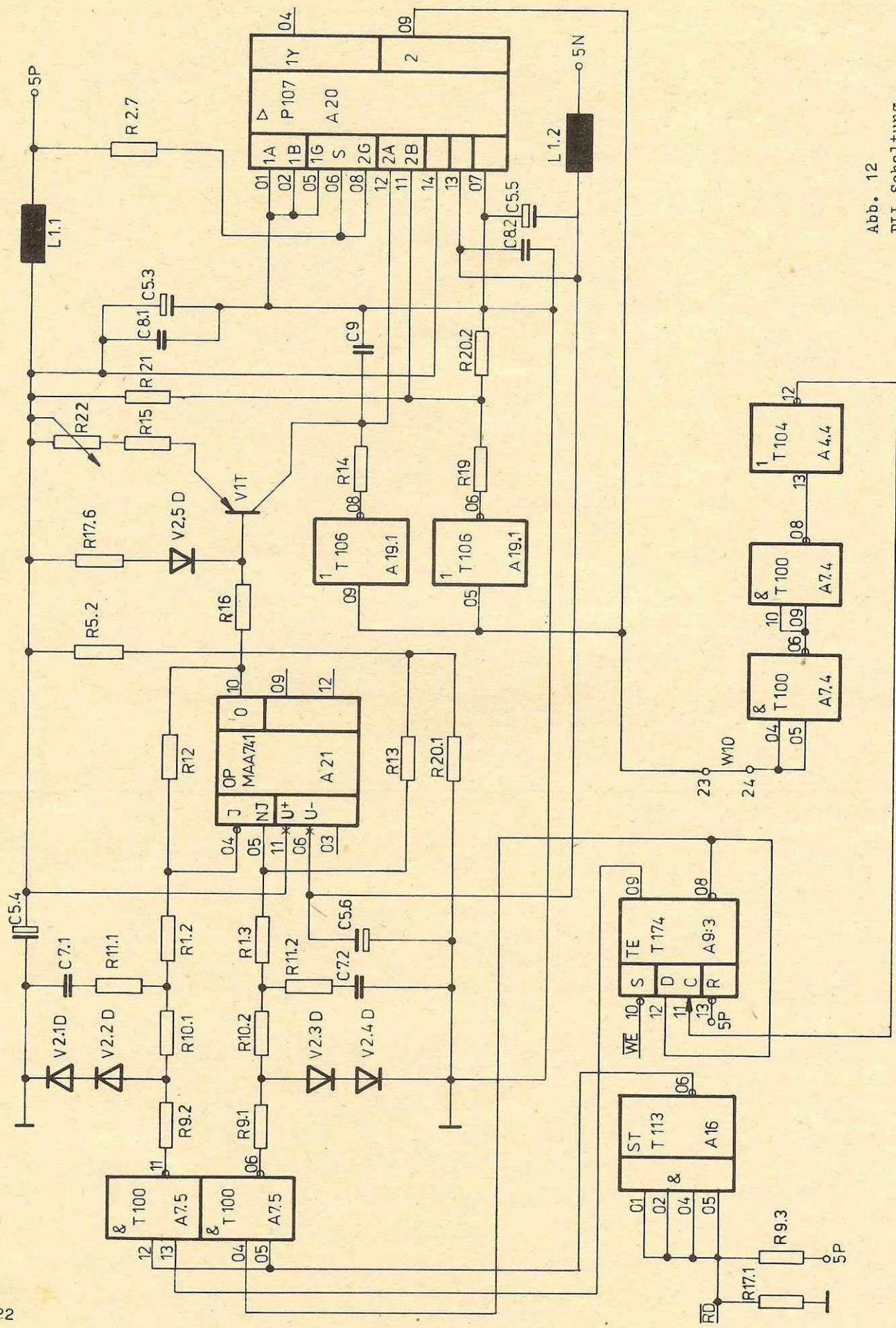


Abb. 12
PLL-Schaltung

III. Beschreibung spezieller Baugruppen

Inhaltsverzeichnis

- 1. Beschreibung der PLL-Schaltung
- 1.1. Prinzip
- 1.2. Schaltungsbeschreibung
- 1.3. Prüfung der PLL-Schaltung
- 1.3.1. Überprüfung der VCO-Frequenz
- 1.3.2. Statische Prüfung

1. Beschreibung der PLL-Schaltung

1.1. Prinzip

Die in der Beschreibung verwendeten Abkürzungen haben folgende Bedeutung:

PLL - phase lock loop, Phasenregelkreis, Phasenregelschleife

VCO - voltage controlled oscillator, spannungsgesteuerter Oszillator

PC - phase comparator, Phasenvergleichler

Die PLL ist ein Regelsystem, dessen Aufgabe darin besteht, einen Oszillator in Frequenz und Phase mit einem Eingangssignal zu synchronisieren. Sie erzeugt also Taktimpulse, die in fester Relation zum Eingangssignal stehen.

Die PLL besteht aus vier Funktionsblöcken. Diese sind der PC, Tiefpaß, VCO und Teiler. In der Abbildung 1 ist das Blockschaltbild eines PLL-Systems dargestellt.

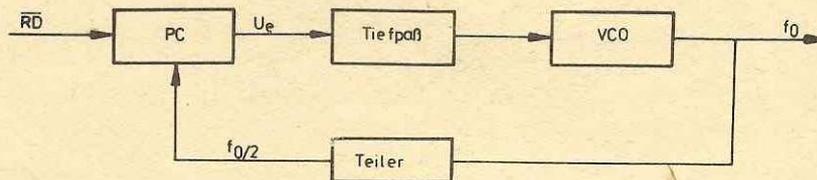


Abb. 1
Blockschaltbild

Liegen keine Eingangsdaten an (\overline{RD}), schwingt der Oszillator auf seiner Grundfrequenz f_0 . Mit dem Anlegen des Eingangssignales vergleicht der PC Phase und Frequenz des Eingangssignales mit der geteilten VCO-Frequenz und ermittelt daraus eine Fehlerspannung U_e . Sie ist das Verhältnis von Phase und Frequenzdifferenz zweier Signale. Der Tiefpaß wandelt das digitale Fehlersignal in eine Gleichspannungsdifferenz um, die durch einen Operationsverstärker verstärkt und an den Steuereingang des VCO geführt wird. Die verstärkte Fehlerspannung verändert die VCO-Frequenz solange, bis diese mit der Frequenz der Eingangsinformation identisch ist. Die PLL ist damit "eingerastet".

Eine Phasendifferenz zur Erzeugung der Fehlerspannung bleibt bestehen. Damit wird garantiert, daß die PLL eingerastet bleibt und Schwankungen des Eingangssignales folgen kann. Für die PLL sind folgende statische und dynamische Stabilitätsgrenzen definiert:

- Haltebereich - hold-in-range
- Fangbereich - lock-in-range oder capture-range
- Ziehbereich - pull-in-range
- Ausrastbereich - pull-out-range

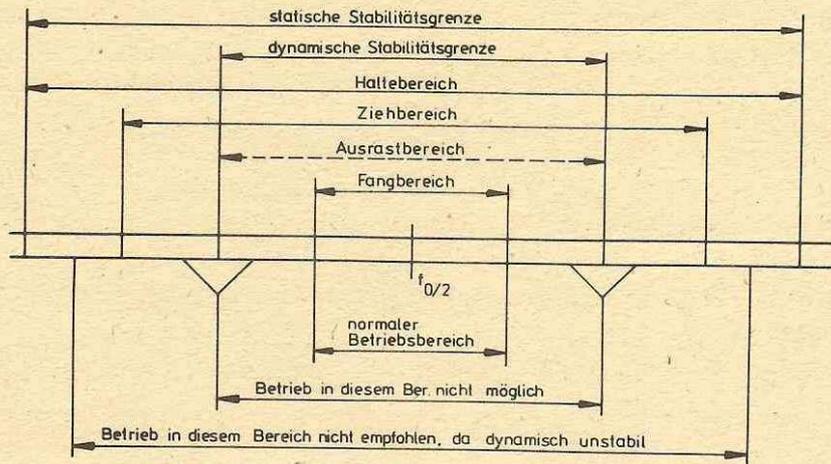


Abb. 2
Statische und dynamische Stabilitätsgrenzen

Der Haltebereich ist der Bereich, in dem die PLL statisch stabil arbeiten kann. In der Praxis wird der Haltebereich durch denjenigen Frequenzbereich definiert, der durch VCO angesteuert werden kann.

Der normale Betriebsbereich sollte der Fangbereich sein. In ihm erfolgt das Einrasten innerhalb einer Schwebung zwischen Eingangs- und Ausgangssignal.

Innerhalb des Ziehbereiches ist das Einrasten der PLL nach einer endlich langen Zeit gewährleistet. Die VCO-Frequenz "schaukelt" sich in einer gewissen Zeit (pull-in-time) auf den Wert der Eingangsfrequenz auf.

Der Ausrastbereich ist der maximale Frequenzsprung, der am Eingang angelegt werden kann, ohne daß das System ausrastet. Rastet die PLL infolge eines Störimpulses einmal aus, so würde das System mit einem Ziehvorgang wieder einrasten. Da dies unter Umständen sehr lange dauert, beschränkt man in den meisten Fällen den Arbeitsbereich auf den Fangbereich.

1.2. Schaltungsbeschreibung

In der Abbildung 12 ist die PLL-Schaltung dargestellt. Das \overline{RD} -Signal gelangt über die Widerstandskombination (R17.1, R9.3) an den Eingang des Schmitt-Triggers (A16), der die Aufgabe hat, das Signal zu negieren und Störspitzen zu unterdrücken. Der Ausgang des Schmitt-Triggers (A16/06) ist an den Phasenkomparator geführt, der aus zwei NAND-Gattern (A7.5/06, A7.5/11) besteht. Der PC vergleicht die Eingangsdaten (RD) mit dem durch das FF (A9.3) geteilten VCO-Takt. Die Ausgänge des PC - Phase A und Phase B (A7.5/06, A7.5/11) gehen zu zwei symmetrisch aufgebauten Tiefpaß-Filtern, die aus den Widerständen R10.1, R11.1 sowie dem Kondensator C7.1 auf der einen Seite und R10.2, R11.2 und C7.2 auf der anderen Seite gebildet werden. Die Filterausgänge liegen an den positiven bzw. negativen Eingängen des Operationsverstärkers (A21). Die Verstärkung der Operationsverstärkers wird durch die Widerstände R13, R12 bestimmt. Sie sind so ausgelegt, daß ein maximaler Regelbereich des VCO erreicht wird. Der Regelbereich des VCO bestimmt die Größe des Fang- und Haltebereiches maßgebend. Die Dimensionierung der Konstantstromquelle (V1T, R15, R22, C9) und die Schaltschwelle des Komparators (A20) bestimmen die Grundfrequenz f_0 des VCO. Sie wird mit dem Dickschicht-einstellregler R22 auf $1 \text{ MHz} \pm 10 \text{ Hz}$ eingestellt. ($\overline{RD} = 1$)

Mit R17.6 und V2.5D wird der Transistor V1T auf seinen Arbeitspunkt eingestellt. Über Emitter-Kollektorstrecke fließt ein konstanter Strom, der den Kondensator C9 auflädt. Wird die Schwellenspannung des Komparators erreicht, erscheint an dessen Ausgang log. 1. Dadurch werden das Gatter A19.1 umgeschaltet und der Kondensator C9 über den Widerstand R14 gegen Masse entladen. Gleichzeitig wird durch Veränderung des Spannungsteilers R21/R20.2 - R19 über A19.1/06 parallel zu R20.2 gegen Masse - die Referenzspannung des Komparators (A20/11) herabgesetzt. Unterschreitet die Spannung über C9 den Wert der Referenzspannung, schaltet der Ausgang (A20/09) wieder auf 0 und der Vorgang kann mit einer Kondensatoraufladung von vorn beginnen. Ändert sich nun die Spannung an der Basis des Transistors V1T infolge einer von f_0 abweichenden Eingangsfrequenz, so wird auch der Ladestrom des Kondensators verändert. Das wiederum ruft eine Veränderung der Zeitkonstante und somit der Frequenz des VCO hervor. In den folgenden Impulsdiagrammen sind die eingerasteten PLL-Systeme bei unterschiedlichen Eingangsfrequenzen dargestellt.

Impulsdiagramme:

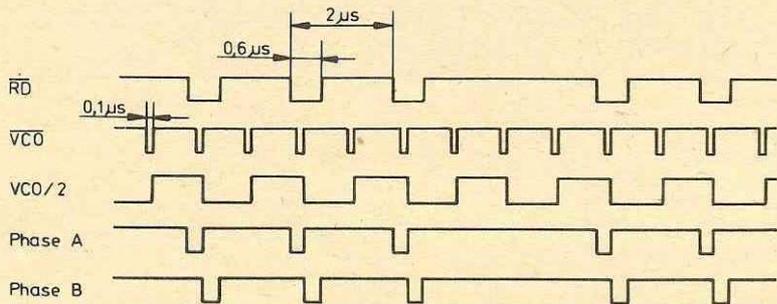


Diagramm 1

VCO = 1 MHz, \overline{RD} = 500 kHz

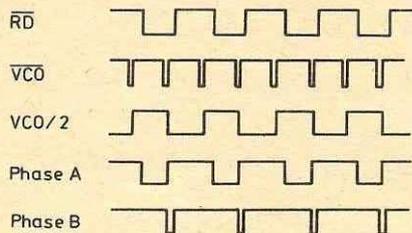


Diagramm 2

VCO = 1,44 MHz, \overline{RD} = 720 kHz

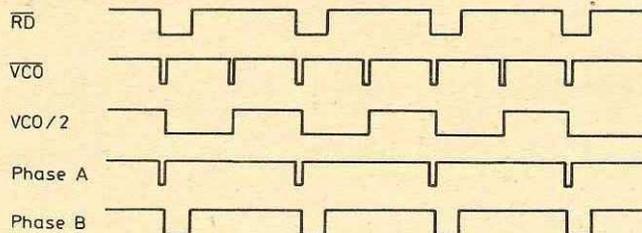


Diagramm 3

VCO = 760 kHz, \overline{RD} = 380 kHz

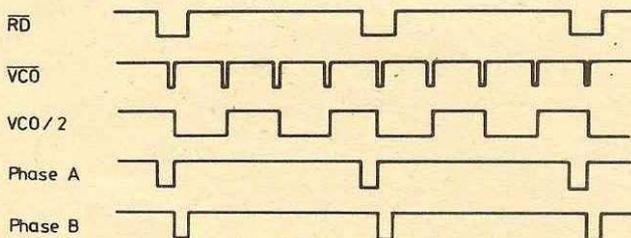


Diagramm 4

VCO = 1 MHz, \overline{RD} = 250 kHz = Dateninformation "0"

1.3. Prüfung der PLL-Schaltung

In der Fertigung erfolgt die Prüfung der PLL-Schaltung mit dem Wobbelgenerator WG 500, der speziell für diesen Anwendungsfall entwickelt wurde.

Steht dieses Gerät nicht zur Verfügung, können einige statische Messungen mit folgenden Meßgeräten durchgeführt werden:

Oszillograph, Zähler, Impulsgenerator

Die Anschlußsteuerung muß mit folgenden Signalen und Spannungen beschalten werden:

Steckverbinder X1 A1/C1 = Masse
 A15 = 5 N
 A28/C28 = 12 P
 A29/C29 = 5 P

Steckverbinder X3 B13 = \overline{RD} Brücke 23-24 einsetzen

1.3.1. Überprüfung VCO-Frequenz ($1 \text{ MHz} \pm 10 \text{ Hz}$)

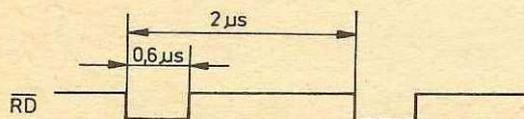
Zähler an Steckverbinder X2 - C10 oder Brücke 23-24 (MP1) anschließen.

Korrektur der VCO-Frequenz mittels R22 bei $\overline{RD} = 1$.

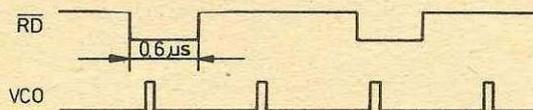
1.3.2. Statische Prüfung

Impulsgenerator an \overline{RD} - X3 - B13 anschließen.

Folgende Impulsform einstellen:



Oszillograph an X2 - C10 (MP1) und X3 - B13 (\overline{RD}) anschließen. Die PLL ist eingerastet, wenn VCO- und RD-Frequenz synchron laufen, d. h. jeder 2. VCO-Taktimpuls muß innerhalb der RD-Information liegen.



Durch Verändern der RD-Frequenz läßt sich der Halte- und Ziehbereich annähernd bestimmen. Eine dynamische Messung, die erst eine Aussage über die volle Funktionsfähigkeit der PLL-Schaltung geben kann, erfolgt mit dem Wobbelgenerator WG 500.

IV. Kurzzeichenübersicht

Kurzzeichen	englisch	deutsch
AM	address marker	Adressenmarke
ARDY	A-ready	Quittungssignal des PIO Tor A
ASTR	A-strobe	Steuersignal des PIO Tor A
BAI	bus acknowledge input	Bus-Bestätigung-Eingabe
BAO	bus acknowledge output	Bus-Bestätigung-Ausgabe
BRDY	B-ready	Quittungssignal des PIO Tor B
BSTB	B-strobe	Steuersignal des PIO Tor B
BUSRQ	bus-request	Busanforderung
C1, C2	clock	Takt
DAM	data address marker	Datenadressenmarke
DB0 ... DB7	bus data	Datenbus
DIEN		Steuerung der Datenflußrichtung
DÜ		Datenübernahme
EDC	error detecting code	Fehlererkennungsschlüssel
FA	fault adapter	Fehler - Adapter
FR	fault reset	Fehler rücksetzen
FW		Fehler - Laufwerk
HL	head load	Kopf laden
ID	identification label	Identifikationsmarke
IEI	interrupt enable input	Unterbrechungsgenehmigung Eingabe
IEO	interrupt enable output	Unterbrechungsgenehmigung Ausgabe
INT	interrupt	Unterbrechung
IODI	input/output disable	Eingabe/Ausgabe abschalten
IORQ	input/output request	Eingabe/Ausgabe anfordern
IX	index	Index
K1 ... K4		Kopfanschluß
KL		Kontrollesen
KM		Kopfmagnet
LCK	lock	Verriegelung
LDIX		Infrarotdiode für Indexlocherkennung
LDTO		Infrarotdiode für Spur 00-Erkennung
LDSE		Infrarotdiode für Laufwerkauswahl
LT		Lesetakt
M1		Maschinenzyklus
MK		Marke
MKE		Marke erkannt
MO		Motor ein
MR		Marke rücksetzen
NS		nachfolgender Bitraum
PH		Phase (Anschluß für Schrittmotor)
PLL	phase lock loop	Phasenverriegelschleife
PT		Prüftakt
RD	read data	Lesedaten
RDY	ready	Bereitschaft

Kurzzeichen	englisch	deutsch
RDYL		Laufwerk bereit
RESET	reset	Rücksetzen
RK		Rückkopplung
SD	step direction	Schrittrichtung
SE	select	Auswahl
SMO		Schalter für Motor ein
SM1 ... SM3		Schrittmotoranschluß
SP		Spur
ST	step	Schritt
STR	start	Start
SYN		Synchronisation
TO	track 00	Spur 00
VM		Verriegelungsmagnet
VS		vorangegangener Bitraum
WD	write data	Schreibdaten
WE	write enable	Schreibgenehmigung
WP	write protect	Schreibschutz
WPS		Schalter für Schreibsperre