

AKADEMIE DER WISSENSCHAFTEN DER DDR
Zentrum fuer wissenschaftlichen Geraetebau
Fachbereich: V

K-1250-RAM-FLOPPY

RAF 512

Beschreibung

1. Ausgabe (27.11.86)
(c) ZWG, Berlin, 1986

Rudower Chausse 6
Berlin
1199
Tel. (002) 674 3291

INHALTSVERZEICHNIS

KURZBESCHREIBUNG	4
Wahl der Versorgungsspannung	4
Stand-By-Bestueckung	4
I/O-Adreszwahl	5
Programmierung	5
Interne Adreszerzeugung	6
Notizen	6
TECHNISCHE DATEN	7
EINLEITUNG	8
SCHALTUNGSBESCHREIBUNG	9
RAM-Matrix	9
Adreszdekoder	9
RAM-Adreszbildung	10
1 Track- und Sektor-Laden	10
2 Datenzugriff	11
Adreszmultiplexer	11
1 Adreszsteuerung bei Datenzugriff	12
2 Adreszsteuerung bei Refresh	12
CAS-Dekoder	13
Datentreiber	13
Refresh-Steuerung	13
Zugriffsschutz	14
Zentrale Steuerung	15
Stand-By-Betrieb	16
.1 Bestueckungsvariante 1	17
.2 Bestueckungsvariante 1a	18
.3 Bestueckungsvariante 2	18
RAF 128	19
PROGRAMMIERUNG	20
Allgemeines	20
1 Control-Adresse	20
2 Data-Adresse	20
RAF als ein CP/M-Laufwerk	21
1 Installation des Laufwerkes	21
2 Testen der Speicherkapazitaet	21
3 Programmbeispiele	22
Soft-Errors und Pruefsummenbildung	22

Anhaenge

A.	ADRESSDECODER	23
A.1	Adreszdekoeder-Zusammenstellung	23
A.2	Errechnen neuer Dekoder	23
B.	BIOS-BEISPIEL-PROGRAMME	26
B.1	Beispiel fuer variable BIOS-Installation	26
B.2	BIOS-Routine fuer ein RAF 512	26
C.	ZEITDIAGRAMME	33
D.	ABKUEERZUNGEN	34
E.	NOTIZEN	34
F.	SACHWORTVERZEICHNIS	35

V E R Z E I C H N I S D E R A B B I L D U N G E N

1-1	RAM-Speisung aus 5P	4
1-2	RAM-Speisung aus 5PG	4
1-3	I/O-Adresz-Wickelfeld	5
1-4	Erzeugung der internen RAF-Adressen	6
A-1	Schema zum Erstellen neuer Dekoder	24
A-2	Beispiel fuer eine Dedokerberechnung	25

V E R Z E I C H N I S D E R T A B E L L E N

4-1	Adreszzuordnung	11
A-1	Adreszdekoeder-Uebersicht	23

1.5 Interne Adreszerzeugung

Die Adresse fuer ein Datum auf einer RAF 512 setzt sich wie folgt zusammen:

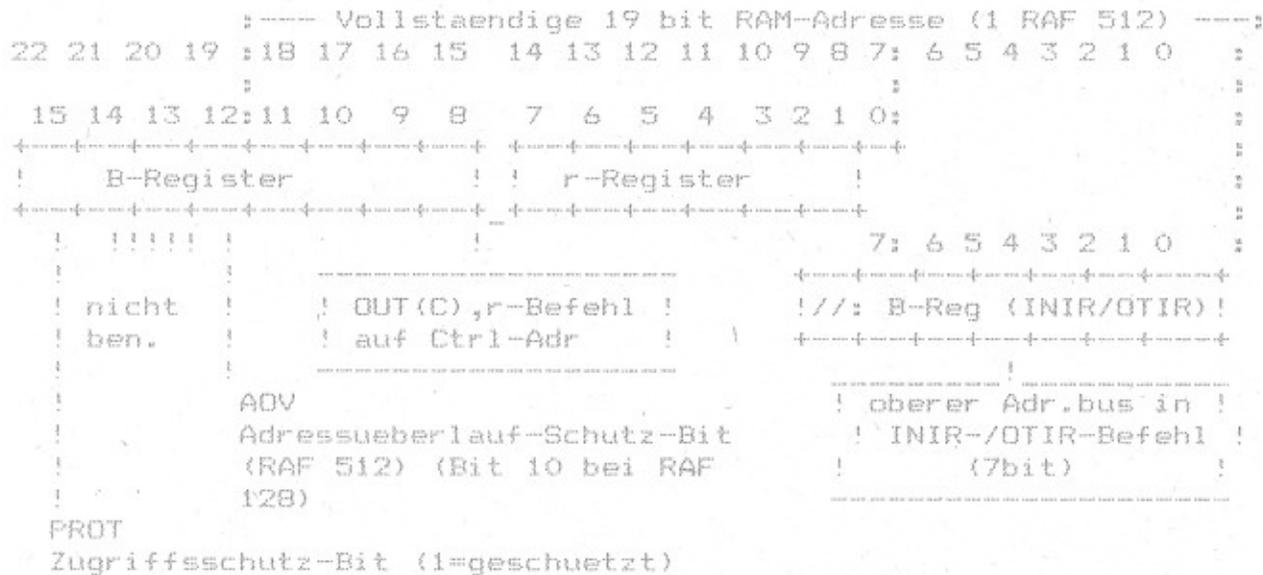


Abbildung 1 - 4: Erzeugung der internen RAF-Adressen

1.6. Notizen

3. EINLEITUNG

Es sind verschiedene Implementierungen von RAM-Floppies bekannt geworden, z.B. Abspaltung von Teilen des Hauptspeichers oder als RAM-Speicher mit Bankumschaltung, jedoch ist der Zugriff auf einen externen, I/O-gekoppelten Speicher am guenstigsten. Die Platine wurde als schnelles RAM-Floppy ("RAF") fuer K-1520-OEM-Mikrorechner entwickelt, speziell unter dem am meisten verbreiteten 8-bit-Betriebssystem CP/M-80. Sie laeszt sich jedoch prinzipiell in fast allen Rechnersystemen mit Z80-CPU (PC 1715, GDS 6000, Sinclair ZX Spectrum,...), sowie an anderen Bussen mit 16-Bit-I/O-Adressen einsetzen (8088, 8086, Z8000). Sie ist nicht nur als RAM-Floppy nutzbar, sondern allgemein als Baustein fuer einen praktisch unbegrenzt groszen schnellen RAM-Speicher (einige 10 MByte), jedoch nicht als Hauptspeicher.

CP/M ist fuer die Verarbeitung von logischen 128-Byte-Sektoren auf Externspeichern konzipiert. Groeszere physische Sektoren erfordern zusaetzlich Verwaltungsarbeit im Betriebssystem (BIOS), sie werden jedoch wegen anderer Vorteile bei Disketten durchgaengig angewandt. Diese Vorteile existieren bei RAM-Floppies nicht. Obwohl die Art der Adreszbereitstellung fuer die RAM's (s. Abb.1-4) auch Sektorlaengen von 256 Byte zuliesze, unterstuetzt die hardwaremaeszige Organisation des RAF eine 128-Byte-Sektorlaenge. Trotz des doppelt so haeufigen Ladens des Track- und Sektor-Registers ist der Zugriff damit am schnellsten.

Der Transfer eines Sektors (1288) erfordert mit Hilfe des Z80-INIR/OTIR-Befehls bei 2,5 MHz eine Zeit von 1,1 ms, die Einstellung des Sektor-Registers einen weiteren OUT-Befehl, so dasz ohne die system-internen Organisationszeiten von BIOS und BDOS eine Uebertragungszeit von etwa 9 ms pro Kilobyte erreicht wird.

Die Platine besteht aus folgenden Funktionsgruppen:
RAM-Matrix, Adresz-Dekoder, Track- und Sektor-Register, Adreszmultiplexer, CAS-Dekoder, Datenbustreiber, Refresh-Zaehler, Refresh-Zeitsteuerung, Zentrale Steuerung (Algorithmische Statusmaschine "ASM") und Stand-By-Steuerung (optional).

Es existieren Leiterplatten fuer 16K-RAM's (RAF 128, 128 KB Kapazitaet) und fuer 64K-RAM's (RAF 512, 512 KB Kapazitaet). Die folgende Beschreibung bezieht sich auf die Version RAF 512. Die Abweichungen der Version RAF 128 werden im Abschnitt 5 behandelt.

Das Schaltungsprinzip laeszt auch den Einsatz von 256K-RAM's zu. Damit besteht die Moeglichkeit, die Kapazitaet einer Platine auf 2MByte zu steigern.

4 . S C H A L T U N G S B E S C H R E I B U N G

4.1 RAM-MATRIX

Der Speicher ist aufgeteilt in 8 "Baenke" zu je 8 Schaltkreisen. Eine Teilbestueckung von weniger Baenken ist ohne weiteres moeglich und sollte dann in aufsteigender Bankfolge vorgenommen werden (Dix...D8x).

Die Bankselektion erfolgt ueber 8 CAS-Signale, die entsprechenden Daten-Pins sind byte-organisiert untereinander verbunden. RAM-Daten-Ein- und Ausgaenge sind zusammengeschaltet. Alle anderen Signale fuehren an alle 64 Schaltkreise.

Wegen der steilen Signalflanken wurden zur Unterdrueckung des Unterschwingens alle Signale ueber Schutzwiderstaende 22 bzw. 33 Ohm zur Matrix gefuehrt (R90...R111, R210...280).

Zur Gewaehrleistung der Betriebsbedingungen ist fuer jeden Schaltkreis Platz fuer einen Stuetzkondensator vorgesehen, die Zufuehrung der Betriebsspannung erfolgt kreuzweise vermascht.

Fuer den Stand-By-Betrieb kann die Speisung der RAMs und der fuer den Refresh notwendigen Bauelemente ueber die Bus-Schiene "SPG" gestuetzt werden (s. 1.1 und 4.10).

4.2. Adreszdekoder

Die Dekodierung der benoetigten zwei I/O-Adressen erfolgt durch einen bipolaren PROM 256*4 oder 512*4 (D310 : MH74S287, MH74S571), der - wenn das Bus-Signal /IORQ aktiv ist - den niederwertigen Adreszbus AB0...A7 dekodiert und bei entsprechender I/O-Adresse einen Ausgang aktiviert (Low). Beim 74S571 koennen mit Hilfe der 4 Ausgaenge und der 9. Prom-Adresse (A8) ueber Wickelbruecken insgesamt 4 Adreszpaare ausgewaehlt werden, beim 74S287-nur 2 Adreszpaare.

Zur Wickelvorschrift siehe 1.3

Als Vorzugsadressen wurden die im K1520-System selten verwendeten Adressen oberhalb der ZRE-PIO und -CTC 89h...8Fh gewaehlt, die erste RAF 512 sollte dann ueber die Adressen 89h (Programmierung des Track- und Sektorregisters) und 88h (eigentlicher Datenzugriff) angesprochen werden.

Die Tabelle A-1 enthaelt die bisher realisierten Dekoder und ihre Adreszkombinationen.

Ein Hilfsmittel zur Erstellung eines anderen Adreszdekoders ist im Abschnitt A.2 angegeben.

Ein Interrupt-Quittierungs-Zyklus der Z80-CPU wird durch die

Adreszdekoder

4.2

Zentrale Steuerung (s. 4.9) erkennt, weil /M1 und /IORQ aktiv sind. Das fuehrt auch bei dekodierter Adresse zu keinem Speicherzugriff.

4.3 RAM-Adreszbildung

Der programmtechnische Zugriff zu den RAM-Daten erfolgt mit 2 I/O-Befehlen auf 2 Adressen: ein Out-Befehl zur Einstellung eines 128-Byte-Sektors, ein weiterer Out/In-Befehl zum Datentransfer. In Analogie zu den empfohlenen Konventionen bei der Z80-PIO wird hier vereinbart:

- Control-Adresse (hoehere, Data+1)
- Data-Adresse (niedere).

Die RAM-Matrix benoetigt 19 Adreszbits A0...18, hoehere Bits dienen zur Steuerung ueber das /CAS-Signal die entsprechende RAM-Bank, die eigentliche RAM-Adresse wird in zwei Teilen zu je 8 Bit (Row- und Column-Adress) den RAMs mit /RAS bzw. /CAS zugefuehrt.

Die 19 Bit werden in 2 Teilen eingeschrieben und setzen sich wie folgt zusammen (s.a. 1.5):

- Track Address (4 Bit)
- Sector Address (8 Bit)
- In-Sector Address (7 Bit).

Die Bezeichnungen Track und Sektor beziehen sich auf den Stromlaufplan und gestatten einfachste Programmierung, haben aber zu der Programmierung des RAM-Floppies keinen zwingenden Zusammenhang.

4.3.1 Track- und Sektor-Laden

Ein Teil der Adresse, die sog. "Track- und Sektor"-Information wird ueber die Control-Adresse an das RAF uebergeben: Sie laedt die oberen Adreszbits A7...A18 der RAM-Matrix. Bei Selektion der Control-Adresse und einem aktiven /WRITE-Signal werden die Strobe-Eingaenge der Track- und Sektor-Register (D301, D300 : 8282) high, mit Beendigung dieses Ausgabezyklus wird Strobe wieder low und die Information wird vom Z80-Bus A8...15 und D0...7 in die Schaltkreise D301 (Sektorregister) und D300 (Trackregister) eingelaeht.

Programmtechnisch erfolgt dies mit einem OUT(C),r - Befehl. Das Register r musz die Matrix-Adressen A7...A14 fuer das Sektorregister (D301 : 8282) enthalten. Das B-Register erscheint bei C-indizierten I/O-Befehlen auf dem Z80-Adreszbus A8...15 und schreibt die RAM-Adressen A15...A18 und Steuerbits in das Track-

Track- und Sektor-Laden 4.3.1.

register (D300 : 8282) ein.

Tab. 4-1 zeigt die Zuordnung der Track- und Sektoradressbits vom K1520-Bus bis zum Adreszmultiplexer.

780		RAF 512				RAF 128			
DB	AB	Track- Reg.	Sect.- Reg.	MUX- Inp.	CAS- Dec.	Track- Reg.	Sect.- Reg.	MUX- Inp.	CAS- Dec.
0			0	RAS7		0		CAS0	
1			1	CAS0		1		" 1	
2			2	" 1		2		" 2	
3			3	" 2		3		" 3	
4			4	" 3		4		" 4	
5			5	" 4		5		" 5	
6			6	" 5		6		" 6	
7			7	" 6		7			0
8	0			CAS7		0			1
9	1				0	1			2
10	2				1	ADV			
11	3				2	/			
12	ADV					/			
13	-					/			
14	-					/			
15	PROT					PROT			

Tabelle 4-1: Adreszzuordnung

4.3.2 Datenzugriff

Die Adressen A0...A6 (= RAS 0...6) werden beim eigentlichen Datenzugriff ueber die Data-Adresse bereitgestellt. Dies erfolgt z.B. mit einem OTIR- bzw. INIR-Befehl ueber das B-Register auf dem oberen Adreszbus, der als RAS-Adressteil direkt am Adreszmultiplexer (D305...D308, 4x74LS253) anliegt.

Ein Einzelbytetransfer ist mit OUT(C)/IN(C) moeglich.

4.4. Adreszmultiplexer

Die Adressen fuer die 2 x (4:1) Adreszmultiplexer (D305...D308 ; 74LS253) werden fuer den Datenzugriff von den Track- und Sektor-Registern, vom oberen Adreszbus AB8...14 und (fuer einen Refresh-Zyklus) vom Refresh-Zaehler (315, D316) zur Verfuegung gestellt.

Adreszmultiplexer 4.4

Die Steuerung der Multiplexer erfolgt mit zwei Signalen:

- REFEN ("Refresh Enable"): selektiert, wenn inaktiv (Low), die Mux-Eingaenge D0 (RAS-Adressen) und D1 (CAS-Adressen) bzw., wenn aktiv (High), die Eingaenge D2 und D3 (Refresh-Adressen).
- AMUX ("Address Multiplex"): schaltet zu den Signalen /RAS (verzoeagertes RASX von D311) und /CAS (vom CAS-Dekoder) die entsprechenden Adressen.

Ueber Schutzwiderstaende (R100...R107) treiben die Adreszmultiplexer direkt die Adreszleitungen der Speichermatrix.

4.4.1 Adreszsteuerung bei Datenzugriff

Das Data-Select-Signal /IOS0 aktiviert die Algorithmische Statusmaschine ('ASM', D311 : 74S571) zu einem Speicherzyklus. Das Refresh-Enable-Signal REFEN wird durch /IOS0 inaktiv und schaltet die Adreszmultiplexer (D305...D308 : 74LS253) von den Refresh-Adressen zu den Daten-RAS-Adressen. Das Signal RASX wird aktiv und startet einen Speicherzyklus. Das erste Verzoeagerungsglied R301, O301 (etwa 190 ns) ermoeoglicht ein Einschwingen der RAS-Adresse, mit /RAS wird die Adresse in die RAM's geschrieben. Der Widerstand R303 dient zur Verbesserung der high-low-Flanke des /RAS-Signals fuer die Speicher.

Nach der RAS-Adressen-Hold-Zeit (R/C302, etwa 80 ns) werden mit dem Signal AMUX die Adreszmultiplexer auf die CAS-Adressen geschaltet. Das RC-Glied R/C303 (etwa 130 ns) verzoeagert das Zuschalten des CAS-Signals ueber /E2 des CAS-Dekoders (D309 : 8205).

4.4.2 Adreszsteuerung bei Refresh

Bei einem Refresh-Zyklus ist das Signal REFEN aktiv, d.h., an den RAMs liegen ueber die Adreszmultiplexer die vom Refresh-Counter (D315, D316) bereitgestellten 8 Adressen. Ein aktives RASX-Signal liefert ein /RAS fuer einen RAS-ONLY-Refresh aller 64 RAMs. Der CAS-Dekoder (D309) ist durch das Signal REFEN gesperrt und erzeugt kein /CAS.

Zum Zyklusabbruch und zur Einhaltung der Precharge-Bedingung siehe 4.7 und 4.9.

4.5 CAS-Dekoder

Der CAS-Dekoder (D309 : 8205) dient zur Auswahl einer der Speicherbaenke ueber die Select-Eingaenge A0...2, zum Zugriffsschutz, zur CAS-Unterdrueckung bei Refresh und zur Verzoeigerung der CAS-Signale gegenueber den CAS-Adressen mit /CASX.

Zum Zugriffsschutz kann der CAS-Dekoder ueber E3 von den Bits 7 (PROT, Protect) und 4 (AOV, Address Overflow) des Track-Registers gesperrt werden. Das Signal REFEN unterdrueckt /CAS ueber /E1 beim Refresh, wobei das RC-Glied R/C307 Spikes unterdrueckt. Zur Erzeugung von REFEN siehe 4.9.

4.6 Datentreiber

Bei einem Datenzugriff auf die Platine (Signal /IOS0 aktiv) wird der bidirektionale invertierende Bustreiber (D317 : 8287) in den aktiven Zustand gesteuert und verbindet den K5120-Datenbus mit den Datenleitungen DI und DO der RAM's. Die Leitungen DI und DO sind miteinander verbunden, da durch die Steuerung sichergestellt ist, dass das Signal /WE vor dem /CAS-Signal an den Speicherschaltkreisen liegt (siehe Timing des Z80).

Die Richtungssteuerung des Treibers erfolgt mit dem negierten (D313) Bussignal /RD.

Die Schuetzwiderstaende (R90...R97) vermindern Unterschwingungen durch Leitungsreflexionen auf den Datenleitungen.

Die Daten werden invertiert in die RAMs geschrieben und invertiert gelesen, so dass die Platine nach auszen ein 'normales' Verhalten zeigt. Nichtinvertierende Treiber (8286) koennten auch bei Verzoeigerung des /OE-Signals (/IOS0) nicht eingesetzt werden, sie erzeugen Busstoerungen (Spikes).

4.7 Refresh-Steuerung

Mit Ablauf des die Refresh-Zeit bestimmenden monostabilen Multivibrators wird das Signal MON6 low. Wenn gerade kein Datenzugriff auf die Platte erfolgt, wird mit inaktivem /M1 das Signal REFEN (refresh enable) aktiv. Diese Verknuepfung mit /M1=High bewirkt, dass nur vollstaendige (nachfolgende) M1-Zyklen ein aktives REFEN vorfinden. REFEN schaltet die Adreszmultiplexer (D305...D308 : 4 x 74LS253) auf die von dem 8bit-Zaehler (D315, D316 : 2 x 74LS193) erzeugte Refresh-Adresse.

Der naechste auf REFEN treffende /M1-Zyklus startet einen RAS-ONLY-Refresh fuer alle RAMs. Der CAS-Dekoder (D309 : 8205) wird deshalb durch das Signal REFEN abgeschaltet. Die Synchronisation

Refresh-Steuerung

4.7

des Refresh mit /M1 statt mit /RFSH entschaeft die Geschwindigkeitsanforderungen an die RAMs.

Der M1-Refresh wird durch den Beginn von /DT2 beendet, die Zeit bis zum Ende von /DT2 sichert die noetige Precharge-Time der RAMs. Sollte durch fehlende M1-Zyklen, z.B. durch Single-Step-Betrieb oder durch fehlende CPU der erwartete M1-Zyklus laenger als 15 ys ausbleiben, wird das Signal MON15 aktiv (D314), und die Zentrale Steuerung ASM (z. 4.9) loest sofort ein Refresh (Not-Refresh) aus, der ebenfalls mit /DT2 endet.

Nur wenn in dieser Not-Refresh-Zeit ein Datenzugriff auf die Platine erfolgt, aktiviert die ASM das WAIT-Signal bis zum Ende des Refresh-Zyklus.

Bei jedem Refresh-Zyklus werden mit dem Signal /RTRG die monostabilen Multivibratoren (D314 : 74LS123) getriggert und die Refresh-Zaehler (D315, D316 : 2 x 74LS193) um eine Adresse weiter gestellt.

Bei Busanalysatorbetrieb kann bei Single-Step-Betrieb /M1 oder /IOS0 staendig aktiv sein. Der Abbruch ueberlanger synchroner Refreshzyklen wurde oben beschrieben. Andauernde /IOS0-Schreibzyklen werden in gleicher Weise abgebrochen. Bei ueberlangen /IOS0-Lesezyklen werden von MON15 regelmaeszige Not-Refresh-Zyklen eingeschoben. Hierbei wird mit etwa 12%iger Wahrscheinlichkeit nicht das gewuenschte Datum, sondern ein zufaelliges "Refresh-Datum" auf den Datenbus gelegt und bei Abbruch des Dauerzyklus in einer solchen Not-Refresh-Periode vom Prozessor gelesen. Beim Single-Step-Betrieb der RAF-Bedienungssoftware (und nur hierbei) treten also systematische Lesefehler auf. Der Inhalt des RAF wird dabei nicht zerstoert.

Der 8bit-Refresh-Zaehler ermoeeglicht auch den Einsatz von 8bit-Refresh-RAM's (TMS4164, P 4164, 41256).

4.8 Zugriffsschutz

Um eine erhoehte Datensicherheit auch bei Systemabstuerzen zu erreichen, wurde das hoechste Bit des Track-Registers (Signal PROT, D300:07) dazu benutzt, den CAS-Dekoder (D309 : 8205) zu sperren (ueber D312 : 74LS02). Dieser Zugriffsschutz ist somit programmierbar und sollte nur waehrend der Zugriffe kurzzeitig aufgehoben werden (z.B.2).

Um die automatische Installation unterschiedlicher, auch teilweise bestueckter Platinen RAF 128 oder RAF 512 zu ermoeeglichen, erzeugt ein Setzen des ersten nicht benutzten Bits (d.h. des

Zugriffsschutz

4.8

ersten Ueberlaufbits) des Track-Registers ebenfalls einen Zugriffsschutz (Signal AOV, Bit 4 des Track-Registers). So werden Adressspiegelungen bei Adressueberlaeuften vermieden und ein - auch datenerhaltender - Test auf Existenz der einzelnen RAFs moeglich. Zur optischen Anzeige eines Daten-Zugriffs auf die Platte (Floppy-"Select") ist eine LED (V01 : VQA14) vorgesehen. Sie sollte - bei entsprechender Programmierung - nur waehrend eines Zugriffs kurz leuchten, eine leuchtende LED nach einem Rechnerabsturz deutet dann auf eine erhoehrte Wahrscheinlichkeit der Veraenderung des RAM-Floppy-Inhaltes durch ungewollte OUT-Befele nicht nur auf die Ctrl-Adresse, sondern evtl. auch auf die Data-Adresse.

4.9 Zentrale Steuerung

(Algorithmische Statusmaschine, ASM)

Der Term ASM ist der englischsprachigen Literatur entnommen; die Bezeichnung Mikroprogrammsteuerung ist nur annaeherd korrekt, zumal keine Speicherung der Zustaeude in Flip-Flops erfolgt. Fuer die internen Zustaeude werden "dynamische Speicher" in Form von RC-Gliedern fuer die Dauern der auftretenden Zyklen verwendet.

Die Funktion der ASM besteht darin, die Datenzugriffe der CPU mit den autonomen Refresh-Zyklen zu koordinieren.

Dazu werden die Signale /M1, /IOS0 (Data-I/O-Select), MON6 und MON15 von der ASM beobachtet und der Refresh des RAF in den /M1-Zyklen der CPU ausgefuehrt, weil in diesen kein I/O-Zugriff auf das RAM-Floppy erfolgt und sie ausreichend lang sind.

Damit ist ein konfliktfreier Betrieb bei laufender CPU gewaehrleistet. Bei dauerndem WAIT oder abgezogener CPU wird ein sog. Not-Refresh ohne externe Taktanbindung erzeugt.

Problematischer ist die Koordinierung der Aktivitaeten im Single-Step-Betrieb der CPU, weil hierbei konkurrierende Anforderungen von der Refresh-Steuerung und der CPU auftreten.

Ein laufender Speicher- oder Refreshzyklus wird von der ASM anhand der von der Laufzeitkette (R/C302...D313...R/C305) zurueckgefuehrten Signale /RAS, DT1 und /DT2 erkannt. Die Art dieses Zyklus (I/O oder RFSH) wird vom Signal REFI entschieden und in jedem Fall bis /DT2 beibehalten. REFI ist der (mit R/C306) von Spikes befreite REFEM-Ausgang (Refresh-Enable) der ASM.

Bei ruhender ASM wird REFEN von MON6 und /M1 erzeugt und zur M1-Refresherzeugung benutzt, wie im Abschnitt 4.7 beschrieben. Bei Not-Refreshs durch MON15 kann eine Data-I/O-Anforderung im Refreshzyklus auftreten. Dieser wird durch WAIT bis zum Ende von /DT2 verzoegert, waehrend der Not-Refresh-Zyklus bei Beginn von /DT2 endet. Somit ist eine stoerungsfreie Abfolge der konkurrierenden Anforderungen unter Wahrung der Precharge-Time gewaehrleistet.

Zentrale Steuerung 4.9

Die im Abschnitt 4.7 beschriebene regelmaessige Unterbrechung anhaltender I/O-Zyklen wird ebenfalls durch das /DT2-Glied (R/C305) mit einer Pause zum Precharge der internen Bitleitungen der dynamischen RAMs ausgefuehrt.

Die Kennzeichnung eines gerade ablaufenden Refresh durch REFI wird dazu benutzt, am Ende von DT1 das /RTRG zu erzeugen, dessen Rueckflanke die Monos MON6 und MON15 retriggert und die Refresh-adresse (D315/316) weiterzaehlt.

Der als ASM eingesetzte TTL-PROM MH74S571 bzw. MH74S287 erzeugt bei bestimmten Adreszwechselln Spikes an den Ausgaengen; es muszten zusaetzliche RC-Glieder fuer saubere RAS-, CAS- und REFEN-Signale eingesetzt werden.

R314 stellt sicher, dass bei fehlender ASM (D311, auf Fassung) /RAS nicht aktiv wird (es ist bisher jedoch keine Schaedigung von RAMs durch 'unendlich' lange RAS-Zyklen bekannt geworden).

Die Zeitangaben sind Richtwerte und beziehen sich auf die Vorderflanken. Die Dimensionierung wurde so vorgenommen, dass bei 2,5 MHz alle gebrauchlichen RAMs und als Adreszmultiplexer der Typ K555KP12 ohne Probleme einsetzbar sein sollten. Bei 4-MHz-Systemtaktfrequenz ist ein Optimieren notwendig.

Maszgebend fuer die Verzoegerungszeiten sind in jedem Fall die in der Pruefanleitung angegebenen Bedingungen (RAM-Betriebswerte).

4.10 Stand-By-Betrieb (Power-Off-Einrichtung)

Ueber das Signal PDFF (D311:14 : 74S571:A8) laeszt sich die ASM sofort in den Stand-By-Modus schalten. Sie beendet dann einen eventuell laufenden Zyklus und geht in den Not-Refresh-Modus.

Dadurch ist es moeglich, die Daten z.B. bei Stoerung der Stromversorgung ueber kurze oder mittlere Zeit zu erhalten. Dazu ist der Leiterplatte ueber die Busleitung SPG (XS1:A/B3) weiterhin Spannung (+5,0 V) zuzufuehren. Auch ein griffseitiger Anschluss einer Leitung ist denkbar.

Die gesamte mittlere Stromaufnahme liegt wegen des optimierten Refreshes bei nur etwa 620 mA. Im Stand-By-Betrieb werden ueber die Leitung SPG etwa 400 mA gebraucht, da alle nicht benoetigten Schaltkreise von 5P (XS1:A/C29) versorgt werden.

Stand-By-Betrieb 4.10

Es sind wahlweise 3 Moeglichkeiten der Power-Off-Erkennung vorgesehen:

- durch einen Komparator auf der Leiterplatte.
(Bestueckungsvariante 1)
- durch einen Komparator auf der Leiterplatte und ueber das Signal /RESET des Busses
(Bestueckungsvariante 1a, Pruefbestueckung)
- ausschliesslich durch das Signal /RESET des Busses ueber eine extern zu realisierende Spannungsueberwachung
(Bestueckungsvariante 2)

Eine Verknuepfung des RESET-Signals mit dem Bus-Zustand, wie bei dynamischen RAMs gefordert, ist bei der RAF 512 wegen der I/O-Kopplung grundsatzlich nicht notwendig.

Wird auf einen Stand-By-Betrieb verzichtet, ist LOW-Pegel an Pin 14 der ASM (D311) zu legen, es kann dann fuer die ASM auch ein PROM 74S287 (256 x 4) benutzt werden.

Das Verhalten des ASM-PROM bei verbotenen logischen Pegeln am Eingang machte ein Toren des /M1-Bus-Signals mit dem Signal POFF notwendig, um ein einwandfreies Arbeiten der Platine auch bei unbestimmten Bus-Signalen zu erreichen, d.h. waehrend des Ein- und Ausschaltens (D312:11,12,13 und D313:4,16).

Das Signal POFF muss aktiv werden, bevor mit unbestimmten Zuständen auf dem Bus gerechnet werden muss, insbesondere muss das /M1-Signal sauber bleiben. Dies ist nach ersten Erfahrungen, bis etwa 4.4 V Bus-(CPU)-Betriebsspannung der Fall.

Das Signal POFF muss mit geringer Verzoegerungszeit (bis der Bus korrekt arbeitet) inaktiv werden.

4.10.1 Bestueckungsvariante 1 (Power Off ueber Komparator N401 : A302)

Hierbei werden N401, N402, VT2, V02 und die zugehoerigen passiven Bauelemente bestueckt.

V02 und R401 bilden zusammen mit dem im A302 (N401) integrierten Spannungsteiler eine Brueckenschaltung, die die Spannung 5P ueberwacht. Sinkt 5P unter 4,6 V (geringfuegig variierbar durch R401 ueber den LED-Strom), werden die Ausgaenge der A302 (N401, N402) low und das Signal POFF aktiv. R402 und R405 begrenzen die Eingangsstroeme in die A302, R403 den Entladestrom von C402.

Beim Wiedereinschalten der Busspannung schaltet N401 etwa bei

RAF-512-BeschreibungSCHALTUNGSBESCHREIBUNG S.17

4,8 V seinen Open-Kollektor-Ausgang ab und C402 laed sich ueber R404 auf. Wurde die Schwellspannung von N402 erreicht, wird P0FF inaktiv und auf die Leiterplatte kann wieder zugegriffen werden.

4.10.2 Bestueckungsvariante 1a

(Power off ueber Komparator und Bus-RESET)

Die Bestueckungsvariante 1a ist die normale Pruefbestueckung, neben den Bauelementen der Variante 1 werden noch VD5 und eine Drahtbruecke eingesetzt. Wird das Bussignal /RESET aktiv (Low), wird ueber VD5 die Schaltschwelle von N401 unterschritten und das Signal P0FF wird aktiv (s.a. Var. 2).

4.10.3 Bestueckungsvariante 2

(Power off ueber Bus-RESE)

Bei Bestueckungsvariante 2 werden VT3 (SS218d), VD (SAY12) und R408 bestueckt. Mit /RESET=low, wird Poff aktiv (High). Im Mikrorechner ist dann dafuer zu sorgen, dasz das Open-Kollektor-Bussignal /RESET rechtzeitig vor dem Zusammenbrechen der 5P-Retriebsspannung der CPU aktiv wird. Das kann z.B. durch eine erweiterte System-RESET-Schaltung (Power-On-Reset) uebernommen werden.

Mehrere RAFs koennen so ueber eine gemeinsame, genaue Spannungsueberwachungsschaltung abgeschaltet werden, ohne es kann der Datenerhalt bei nicht einwandfreien Bussignalen (Platinenwechsel!) mit /RESET (statisch) gesichert werden.

Vor der Variante 1 darf mindestens R406 nicht bestueckt sein.

RAF-512-BeschreibungSCHALTUNGSBESCHREIBUNG S.18

5. R A F 128

Diese Beschreibung gilt auch fuer den Typ RAF 128 mit Ausnahme folgender Punkte:

- Die Bestueckung der RAM-Matrix erfolgt mit 16 KB-Speichern in zwei moeglichen Versionen:
 - 3-Spannungs RAMs (+12/-5/+5 V, 4116, U256, K565RU3)
 - 1-Spannungs-RAMs (+5 V, K565RU6), hierbei werden auf der Leiterplatte zwei Leiterzuege getrennt (-5 V, +12 V) und eine Drahtbruecke aufgelotet (+5P).
- Stand-By-Betrieb ist mit einer aufgesetzten Modulleiterplatte und einigen Aenderungen moeglich (Toren von /M1, Signal POFF an die ASM).
- Fuer das Track-Register (D300) wird ein 74LS295 eingesetzt, die Verteilung der Adressen fuer das CAS - Auswahlsignal, fuer die RAS- und CAS-Adressen und fuer den Zugriffsschutz sind entsprechend geaendert (siehe Tab. 4-1 und Schaltbild). Die RAM-Adresse MA7 entfaellt.
- Als Datenbustreiber werden 8286 eingesetzt (D302, D303), die Richtungssteuerung (/DIEN) erfolgt mit dem Bussignal /RD. Die Dten-Pins DI und DO der RAMs sind getrennt zu den jeweiligen DOi und DIi der Treiber gefuehrt.
- Die Adreszwahl erfolgt ueber einen PROM und evtl. ueber Loetbruecken.

6 . P R O G A M M I E R U N G

6.1 Allgemeines

Der Zugriff zu den Speichern erfolgt ueber die beiden I/O - Adressen: Control - Address und Data-Address.

6.1.1 Control - Adresse

Zuerst muss ein Laden der Track- und Sektor- Register ueber die Control-Adresse mit einem OUT(C),r-Befehl erfolgen. Die Register haben folgenden Inhalt (s.a. Abb. 1-4 und Tab. 4-1):

B-Register : Track

r-Register : Sektor

C-Register : Port (Ctrl - Adr)

Mit gesetztem Bit 7 des Trackregisters ist kein Lesen oder Schreiben ueber die Data-Adresse moeglich (Zugriffsschutz), ebenso mit besetztem Bit 4 (Address Overflow).

6.1.2 Data Adresse

Nach Einstellung des Track-und Sektor-Registers kann ein Daten-Transfer ueber die Data-Adresse erfolgen.

Mit einem OTIR- oder INIR-Befehl koennen maximal 128 Bytes uebertragen werden, mit OUT(C)/IN(C) ist der Zugriff auch auf einzelne Bytes moeglich (s.a. Abb 1-4).

Die Register haben folgenden Inhalt:

B-Register : In-Sektor-Adresse (max. 7 bit , 0..127)

(HL) bzw. r-Register: zu lesendes bzw. zu schreibendes Datum

C-Register : Port (Data-Adr)

Bei Erstellen der Block-Read- und -Write-Routinen ist zu beachten, dass die Befehle OTIR und INIR des Z80 (U880) zueinander unsymmetrisch hinsichtlich des Weiterzaehlens von B sind, d.h. die interne Befehlsabarbeitung ist wie folgt:

```
OTIR:  dec  b
      OUT  (c), (hl)
      inc  hl
      JR  NZ, OTIR      ; NZ von "dec b"
```

```
INIR:  IN   (hl), (c)
      inc  hl
      dec  b
      JR  NZ, INIR     ; NZ von "dec b"
```

Das B-Register dient sowohl zum Zählen der Anzahl der zu uebertragenen Bytes, als auch zur Adressierung des RAF innerhalb eines Sektors ueber den oberen Adreszbus. Durch das Decrementieren des B-Registers beim Zählen entsteht eine fallende Adreszfolge, d.h. die Daten im RAM-Floppy sind sektorweise in umgekehrter Reihenfolge abgespeichert.

6.2 RAF als ein CP/M- Laufwerk

Die folgenden Ausfuehrungen und die Programmbeispiele beziehen sich auf den Hauptanwendungsfall der Platine, auf ein RAM-Floppy in einem CP/M-System.

Das RAM-Floppy kann als ein 'normales' Laufwerk in einem BIOS implementiert sein. Besonders bei der Neukonzeption eines Systems sollte es als Laufwerk A: eingesetzt werden, da dieses in verschiedener Hinsicht bevorzugt ist. Zu beachten ist dann der Kalt- und Warmboot des Systems (von anderem Laufwerk, von EPROM bzw. RAM).

6.2.1 Installation des Laufwerkes

DEM-Systeme koennen guenstig so gestaltet werden, dasz keine feste Konfiguration im BIOS vorgesehen wird, sondern eine Installation, die bei jedem Kaltstart abtestet, wieviel Platinen mit welcher Kapazitaet auf welchen (Vorzugs-) Adressen vorhanden sind. Weiterhin kann festgestellt werden, ob das RAM-Floppy seit der letzten Spannungsabschaltung neu installiert wurde und 'formatisiert' werden muss, oder ob eine Installation bereits stattgefunden hatte und der Inhalt unveraendert bleiben soll (Kaltstart waehrend der Arbeit).

Hierzu wird nach dem Einschalten ein 0 Direktory-Eintrag unter einer nicht benutzbaren USER-Nummer (z.B. 32) angelegt. In diesem Direktory-Eintrag werden auch Angaben zur Groesze des installierten RAM-Floppys hinterlegt, um beim Kaltstart testen zu koennen, ob die Groesze des bereits installierten RAF mit einer eventuell neuen Konfiguration (Entfernen oder Hinzustecken von RAF-Platinen waehrend des Betriebs) hinsichtlich der Disk-Parameter (BIOS Extent Mask usw.) konfliktlos handhabbar ist.

6.2.2 Testen der Speicherkapazitaet

Beim Testen der Speicherkapazitaet der einzelnen Platten zur automatischen Konfigurierung ist zu beachten, dasz ein nichtzerstoerendes Testen eines einzelnen Bytes pro z.B. 16-KB Abschnitt

nicht ausreicht: Der interne Datenbus der Platinen einschliesslich der Schaltkreis-Kapazitäten vermag die Information in der Gröszenordnung von 1 ms zu speichern. Das tritt auf, wenn Adressüberlauf erfolgt bzw. wenn die betreffende RAM-Bank nicht bestueckt ist. Deshalb muss der RAF-interne Datenbus zwischen Testschreiben und -lesen umgeladen werden (z.B. durch passives Abwarten - wenigstens 1 ms - oder aktiv durch Schreiben in den Speicher).

6.2.3 Programmbeispiele

Abschnitt B.1 (nur als File zu erhalten) zeigt als Beispiel ein in einem bestimmten BIOS vorgesehenes Programm, das mehrere auch teilweise bestueckte, RAF-Platinen (RAF 128, RAF 512,....) bei jedem Aufruf als BIOS - Overlay installiert und testet, ob eine "Initialisierung" notwendig ist. Hierzu wird der nach dem Spannungszuschalten zufaellige RAM-Inhalt im Direktory-Bereich CP/M-gerecht geloescht (je Eintrag E5h an 0. Stelle), um ggf. nach Fehlern und einem deshalb unbeabsichtigten 'Initialisieren' einen RECLAIM wichtiger Files zu ermoeeglichen.

Im Abschnitt B.2 sind die Routinen (etwa 50 Byte) und Tabellen (etwa 300 Byte) zur BIOS-Installation eines RAF 512 angegeben, die Initialisierungsroutine benoetigt weitere 50 Byte.

6.3 Soft-Errors und Pruefsummenbildung

Unter Soft-Errors versteht man Speicherfehler (Ladungsverluste), die durch Alpha-Teilchen aus den Schaltkreisgehaeusen hervorgerufen werden. Die betroffene Speicherzelle verliert ihren Inhalt, ist aber - nach erneutem Beschreiben - voll funktionsfaehig. International uebliche Werte sind etwa 1 Fehler je $10E+6$ h bis $10E+7$ h je Chip (Keramikgehaeuse mit Polyimidschicht). Bei einem Speicher von 1MB (zwei RAF 512) ergaebe das 1 Fehler in 1 bis 10 Jahren. Es existieren jedoch auch Angaben zu unbeschichteten Chips, die $10E+3$ mal haeufigere Fehler erwarten lassen.

Aus diesen Grunde besitzen grosse Speicher eine Fehlererkennungsmoeglichkeit. Die Realisierung durch ein 9. (Paritaets-) Bit war wegen der Belegungsdichte der Platte nicht moeglich. Von dritter Seite wurde eine Software-Erkennung mittels Laengspruefsummenbildung und -speicherung durch das Betriebssystem (BIOS) realisiert. Die Aktualisierung muss bei jedem Schreibzugriff erfolgen, aus Zeitgruenden sollte ein Pruefen jedoch nur auf Anforderung (Tastatur oder Programm) durchgefuehrt werden.

A. ADRESZDECODER

A.1 Adreszdekoder-Zusammenstellung

Bisher wurden folgende Adreszdekoder berechnet und programmiert:

Nr.	Typ	Adressen-Paar				Dat/Ctrl	
		1	2	3	4	3	4
1	287						
2	287	20/21	50/51				
3	287	88/89	21/20				
4	287	8A/8B	21/20				
5	287	8C/8D	21/20				
6	287	8E/8F	21/20				
7	287	88/89	20/21				
8	287	8A/8B	20/21				
9	287	88/89	8A/8B				
10	287	8C/8D	8E/8F				
11	571	88/89	8A/8B	20/21	20/21		
12	571	88/89	8A/8B	8C/8D	8E/8F		

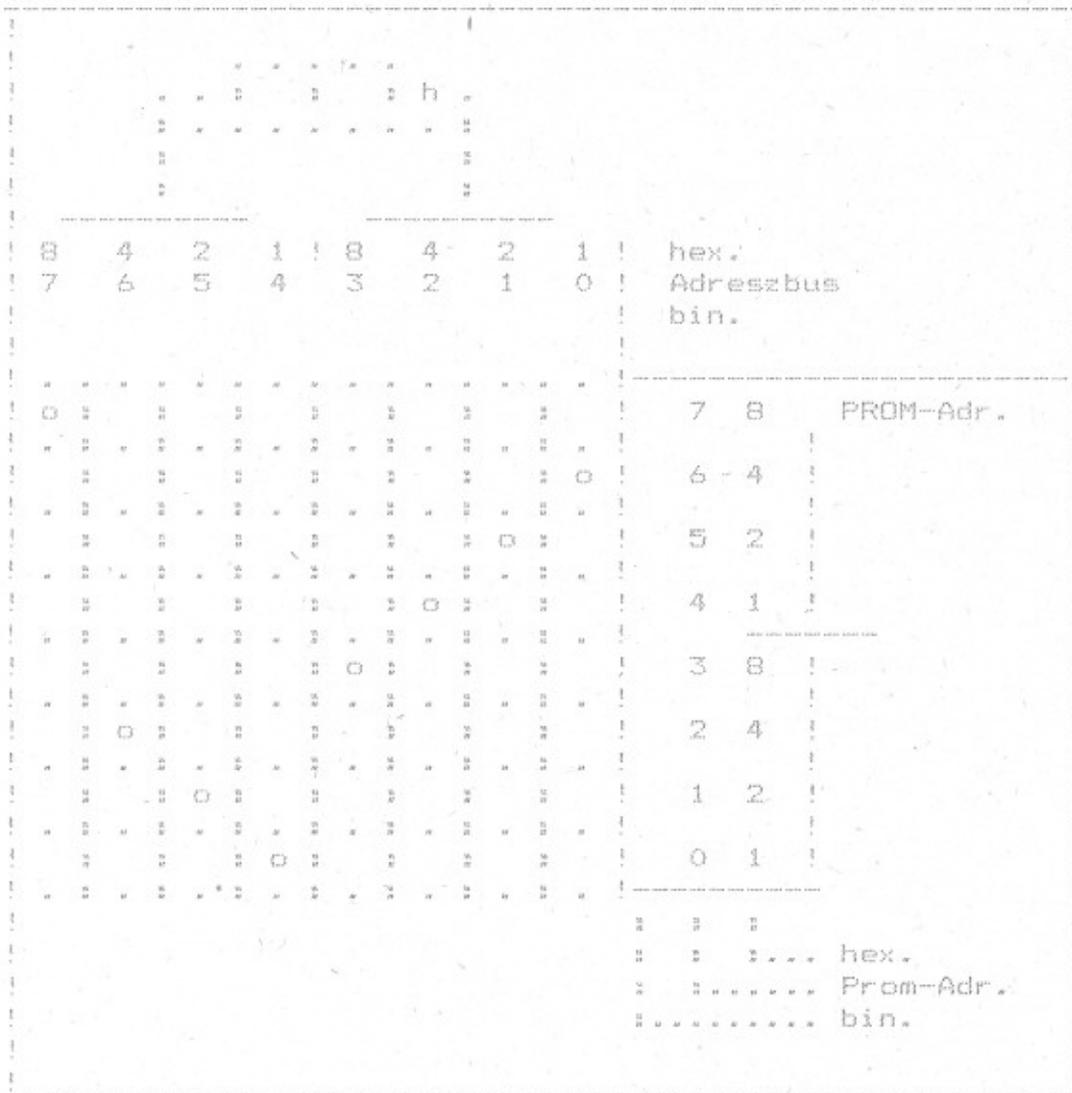
Tabelle A-1: Adreszdekoder- Uebersicht
(Die Adressen 20/21 sind Pruefadressen)

A.2 Errechnung neuer Dekoder

Beim Errechnen neuer Dekoder ist zu beachten, dass die Ausgangssignale low-aktiv sind und die Chip-Adreszbelegung gegenueber dem K1520-Adreszbus vertauscht ist.

Die Abbildung A-1 soll die Berechnung erleichtern, das Beispiel A-2 erlaeutert die Anwendung.

- In das obere 2stellige Feld wird die gewuenschte I/O- Adresse eingetragen (Hex) und binaer zerlegt. Bei Wertigkeit "1" wird im darunterliegenden Feld ("bin") ein "x" eingetragen.
 - Enthaelte eine Spalte der punktierten Matrix oder ein eingetragenes "x", wird auch in dieser Spalte das Feld der Matrix angekreuzt, das ein "o" enthaelt, alle anderen bleiben frei.
 - Dann werden die "x" in der Matrix nach rechts projiziert, indem die Zeile, die ein "x" enthaelt, die Wertigkeit "1" bekommt.
 - Abschliessend wird die (hexadezimale) PROM-Adresse entsprechend der Wertigkeiten der rechten Spalte berechnet.
- Die einzubrennenden Daten sind angegeben.



Die Adressen enthalten folgende Daten (hex):

1. Adreszpaar DAT E
CTRL B
2. Adreszpaar DAT D
CTRL 7
3. Adreszpaar DAT -E Das 3. und 4. Paar erhaelt vor die berech-
CTRL B nete Adresse eine "1" (9. Bit).
4. Adreszpaar DAT D (nur bei 74S571 moeglich)
CTRL 7

Alle anderen Daten sind F.

Abbildung A-1: Schema zum Erstellen neuer Dekoder

Als Beispiel soll die Programmierung eines PROM 74S571 (512*4) fuer die Adressen C6/C7, C0/C1, C2/C3, C4/C5 angenommen werden. In Abbildung A-2 ist die Adresse C3 eingetragen:

B. BIOS - BEISPIEL - PROGRAMME

B.1 Beispiel fuer variable BIOS-Installation

Als Beispiel ist ein Assamblerprogramm (34 KB, 1260 Zeilen, M80-Code) auf Datentraeger zu erhalten. Es wurde waehrend der Entwicklungsphase des RAM-Floppys geschrieben. Es laeuft als COM-File nach einem HARD-RESET und installiert in einem BIOS statt Magnetbandkassetten ein zweites RAM-Floppy, bestehend aus vier RAF 128 oder RAF 512. Die Karten koennen gemischt und teilbestueckt sein, beim erstmaligen Boot wird das Directopy geloescht (nach Spannungszuschalten).

B.2 BIOS-Routine fuer ein RAF 512

Im folgenden Programmbeispiel sind alle Routinen und Konstanten zur festen Installation eines RAF 512 in ein CP/M-80-BIOS angegeben (M80-Code):

- RAFRD : Leseroutine fuer BIOS-Funktion 27h "Lies einen Sektor"
- RAFWR : Schreibrout. " " " 2Ah "Schreib " " "
- RAFDPH: Disk-Parameter Header, Eigenschaften des RAF-Laufwerks
- RAFDPB: Disk-Parameter Block, " " " "
- RAFCLR: Loescht Directory CP/M-gerecht, kein Test, ob bereits Daten vorhanden sind

Ein RAF 128 wird wie ein nur mit 2 Baenken bestuecktes RAF 512 bedient.


```

;-----
;
; S O F T W A R E :
;
; Das folgende Beispiel ist eine einfache Implementierung eines
; RAF 512 in ein CP/M-80 BIOS (M80-Code)

RAF_C equ 89h ;RAF-Ctrl Port. (89h,88h,8Dh,8Fh Vorzugsadr.)
RAF_D equ 88h ;RAF-Data-I/O Port(88h,8Ah,8Ch,8Eh " )

;Einige BIOS-abhaengige Adressen muessen bekannt sein:
ADMA equ 0000 ;Adresse des Pointers auf den DMA-Puffer
TRACK equ 0000 ;Wort-Adr. von Track-Nummer fuer naechsten
;Transfer =0,1,2,...
SECTOR equ 0000 ;Wort-Adr. von Sector-Nummer fuer naechsten
;Transfer =0,1,2,...
DISK equ 0000 ;Byte-Adr. des 'logged disk' "A:"=0, "B:"=1,...
DIRBUF equ 0000 ;Start-Adr. des 128-Byte-"Directory Buffers"
;fuer BDOS (Pointer hierauf im DPH)

NDirEnt equ 128d ;Directorymit 128 Eintraegen fuer 512 KB

; R A F R D / R A F W R CP/M's Lese und Schreibroutine fuer RAF
;
; RAFRD : BIOS Funktion 27h "Read one Sector"
; RAFWR : BIOS Funktion 2Ah "Write one Sector"
;
; RAFTRS initialisiert die Track-und Sektor-Register zum
; Datenzugriff und setzt den Zugriffsschutz zurueck.
; Die Read- und Write-Routinen sind dann einfach Block-I/O-Ueber-
; tragungen, mit anschliessendem Setzen des Zugriffsschutzes.
;
;
; (RAF-Read) 128 Bytes lesen
RAFRD:: CALL RAFTRS ;Track- und Sektor-Register laden
JR NZ, RFI0ER ;Return bei Fehler
;CPU: B=127d,C=RAF_D,HL=DMA-buffer
INIR ;Daten-Input, B war 127 !
INI ;128. Byte lesen
I0DSBL: ld C,RAF_C ;Zugriffsschutz wieder setzen (I/O-Disable)
set 7,B ;=Zugriffsschutz-Bit
OUT (C),A ;ueber Adresz-Bus 15 zum RAF
xor A ;Mit No-Error-Massage zum BIOS
RET ;zum BIOS ;128 Bytes gelesen

RAFWR:: ;128 Bytes gelesen
CALL RAFTRS ;Track- und Sektor-Register laden
JR NZ, RFI0ER ;Fehler in Track oder Sektor !
inc B ;war 127 fuer READ, WRITE braucht 128!
OTIR ;DATA Outp 128 bytes
JR I0DSBL ;weiter wie beim Lesen

```

```

RFIOER:          ;RAF-Fehlerbehandlung
CALL IODSBL      ;Zugriffsschutz EIN
ld  A, 1         ;A=1 ist Fehlermitteilung an das BDOS
or  A            ;NZ Flag dito
RET             ;zum BIOS mit Fehler (A = 1)

;RAFTRS wird von RAFRD / RAFWR gecalled
;errechnet RAF_High-Adresse aus BIOS-Calls "SET-TRACK",
;"SET-SECTOR" und laed Track- und Sector-Register auf dem
;RAF entsprechend HL :=CP/M-DMA-Buffer-Adresse aus BIOS-
;Call "SET-DMA"
;CPU-Register werden fuer OTIR/INIR vorbereitet
;Zugriffsschutz wird rueckgesetzt
;Fuer die Track- und Sektor-Aufteilung wird hier angenommen:
;256 Sektoren pro Track, 16 Tracks (=4096 Sektoren)

;Pruefung von TRACK- und SECTOR-Nummer. Nur in der Testphase
;fuer neuen Disk-Parameter-Block (DPB) noetig. BDOS braucht
;nicht mehr ueberprueft zu werden, wenn DPB stimmt.

RAFTRS: ld  A, (TRACK + 1) ;TRACK hat 2 Bytes
or  A          ;TRACK high = 0 ?
JR  NZ, RAFERR ;Error: TRACK groeszer 255
ld  A, (TRACK) ;TRACK.low kleiner 16 ?
cp  15d +1     ;TRACK = 0..15
JR  NC, RAFERR
ld  B, A       ;TRACK o.k. Error check sector:
ld  HL, (SECTOR) ;CP/M hat 16 bit Sektornummer
dec  HL        ;RAF zaehlt Sektoren 0..255:BIOS1..25
ld  A, H
or  A
JR  NZ, RAFERR ;Error : (Sektor-1) groeszer 255
                ;Sector o.k.
ld  C, RAF_C   ;Control-Port-Adresse
res 7, B       ;Zugriffsschutz AUS = MSB von RAFTRK
OUT  (C), L    ;schreibt RAFSEC, RAFTRK in die RAF-
                ;Register
ld  C, RAF_D   ;Data I/O Port fuer Data-Transfer
ld  HL, (ADMA) ;CP/M's DMA-Adresse fuer Block-I/O
ld  B, 127d   ;fuer 128 Bytes Lesen (INIR+1xINI,
                ;bei OTIR B:=B+1 vor Schreiben
                ;notwendig)
xor  A         ;Z= "No-Error"-Flag zu BIOS-RD/WR
RET           ;von RAFTRS (Vorbereitung von
                ;RAFRD/RAFWR)

;Die Z80-Register sind jetzt bereit fuer INIR/OTIR in RAFRD/RAFWR:
; B = 127 ; = o.k. fuer READ, WRITE braucht 128
; C = RAF_D ; Data-I/O-Port-Adresse
; HL = DMA Buffer Pointer

```

BIOS-Routine fuer ein RAF 512 B.2

```

RAFERR::ld    A, 1      ;BIOS-Error = NZ-Flag
          or    A
          RET          ;mit NZ zu RAFRD/RAFWR, dort RET
                   ;zum BIOS

;Disk Parameter Header ("DPH", Nomenklatur der DIGITAL RESEARCH
;Inc.)
; Jedes Laufwerk benoetigt einen DPH, der im wesentlichen Pointer
; enthaelt
;Disk Parameter Block ("DPB")
; Im DPH zeigt ein Pointer auf den DPB. Laufwerk mit gleichen
; Eigenschaften koennen einen DPB gemeinsam benutzen.
;Allocation Vector ("ALV")
; Bit-Bereich zum Eintragen der belegten Gruppen durch das BDOS
; Ein Bit pro Group + 1 Byte Aufrundung
;
; Die Verbindung zu CP/M ist die BIOS-Funktion "Select Disk"
; ( BIOS + 1Bh ), sie liefert die DPH- Adresse in HL zurueck.
;
;Wenn das gesamte verfuegbare RAF unter einer Laufwerksnummer
;organisiert ist, kann fuer verschiedene Ausbaustufen ein DPH
;und ein DPB eingesetzt werden.
;Nur der DPB und die Laenge von ALV sind an die Groesze des RAF
;anzupassen.
;Die folgenden Beispiele sind nicht getestet.
;(Bei den RAF-I/O-Routinen sind hierzu einige zusaetzliche Tests
;angegeben.

;--Beispiel 512 KBytes 128Directory Entries 2KB je Group
;
ALVLen equ 256d/B+1 ;256 Allocatin Groups
RAFDPB: ;Disk Parameter Block fuer ein RAF 512 voll bestueckt
        dw 256d      ;Sektors pro Track
        db 04        ;Block Shift (2k Groups)
        db 15d      ;Block Mask ( " " )
        db 00        ;Extend Mask 256 Groups (unter 256 Groups
                   ;jede 2KB)
        dw 256d - 1  ;Max Group-Nummer (Zaehlung von 0)
        dw 128d - 1  ;Max Directory-Entry-Nummer(benoetigen 4KB)
        db 0C0h      ;Directory Entry Bit Map (2 Bit=2 Groups)
        db 00        ; " upper byte
        dw 0000      ;Laenge der Check-Area=0 (kein Disk-Wechsel
                   ;zu pruefen)
        dw 0000      ;keine System-Spuren reserviert
RAFDPH: ;Disk Parameter Header fuer RAM Floppy
        dw 0000      ;keinen Versatz = keine Skew Table
        dw 0,0,0     ;CP/M Scratch Area
        dw DIRBUF    ;ein 128 Byte Block im BIOS,fuer alle
                   ;Geraete gleich
        dw RAFDPB    ;Pointer zum Disk Parameter Block
        dw 0000      ;kein Disk-Wechsel moeglich, kein Dir-Check
                   ;noetig
        dw RAFAllocVect ;Pointer zur Allocation Bit Map
RAFAllocVect: ds ALVLen,00 ;(ALVLen am jeweiligen DPB-Beispiel
                   ;gesetzt)

```

.COMMENT \$

;-Beispiel 256 KB, 64 Directory Eintraege, 2KB je Group, 128 ;groups

;ALVLen equ 128d/8+1

RAFDPB: ; fuer ein RAF 512 halb bestueck oder zwei RAF512

```

dw 256d ;SPT
dB 04 ;Block Shift (2K Group)
dB 15d ;Block Mask (" ")
dB 01 ;EXM 128 Groups (max.255 groups, jede 2KB)
dw 128d- 1 ;Max Group
dw 64 - 1 ;Max Directory-Entry-Nummer (zusammen 2KB)
dB 80h ;Directory Entry Bit Map
dB 00 ; " upper byte
dw 0000 ;keine Check-Area
dw 0000 ;keine System-Spuren
    
```

;-Beispiel 128 KB, 64 Directory Eintraege , 1KB je Group

;ALVLen equ 128d/8+1

RAFDPB: ; fuer ein RAF 128 voll bestueckt oder RAF 512

```

;mit 2 Baenken
dw 256d ;SPT
dB 03 ;Block Shift (1K Groups)
dB 07 ;Block mask (" ")
dB 00 ;EXM 128 Groups (max 255 Groups, jede 1KB)
dw 128d- 1 ;Max Group
dw 64 - 1 ;Max Directory-Entry-Nummer (zusammen 2KB)
dB 0C0h ;Directory Entry Bit Map
dB 00 ; " upper byte
dw 0000 ;keine Check-Area
dw 0000 ;keine System-Spuren
    
```

;-Beispiel 64 KB, 32 Directory Eintraege, 1KB je Group

;ALVLen equ 64d/8+1

RAFDPB: ;RAF 128 halb bestueckt, RAF 512, 1Bank

```

dw 256d ;SPT
dB 03 ;Block Shift
dB 07 ;Block Mask
dB 00 ;EXM 64 Groups (max 255 Groups, 1KB)
dw 128d- 1 ;Max Group
dw 32d - 1 ;Max Dir-Entry (zusammen 1KB)
dB 080h ;Dir Entry Map
dB 00 ; " upper byte
dw 0000 ;kein Check
dw 0000 ;kein System
    
```

\$;Ende von COMMENT \$

; Beim Spannungszuschalten ist der RAF-Inhalt zufaellig. Dies sieht
 ; CP/M als ein volles Directory an, das auch mit ERA *.* nicht
 ; loeschbar ist.
 ; Zum Benutzen des RAM-Floppys musz das Directory initialisiert
 ; werden. Das kann durch Fuellen mit E5h geschehen, besser ist es,
 ; so zu loeschen, wie CP/M (d.h. nur 1.Byte im Eintrag = E5h), so
 ; dasz nach einem versehentlichen Loeschen eines initialisierten RAF
 ; ein Zurueckholen der Files moeglich ist (POWER, DISK-DOCTOR,ZAP..)
 ; Die fehlende Routine fuellt E5h in die ersten 4 KB (=Directory)
 ; an die Positionen 00h, 20h, 40h, 60... der Aufruf kann z.B. ueber
 ; eine USER-Funktion von POWER erfolgen ober es kann ein .COM-File
 ; daraus erzeugt werden.

; -----
 ; Die Routine benutzt den Default DMA (0080h) und schreibt direkt
 ; ins RAF, sie benutzt die BIOS-Funktionen SETTRK und SETSEC nicht
 ; um vor der Installation in das CP/M laufen zu koennen. Die Bios-
 ; Variablen TRACK, SECTOR und logged DISK werden veraendert!

```

    DDMA equ 80h ;default DMA Buffer Adresse
    RAFDEF equ C ;=Disk "A:" als RAF
RAFCLR: ld HL, DDMA ;Default DMA Adresse
        ld (ADMA),HL ;in den BIOS-Pointer
        ld HL, 0
        ld (TRACK),HL ;direkt in BIOS-Track-Nummer
        inc HL ;1.Sektor
        ld (SECTOR),HL ;direkt in BIOS-Sektor-Nummer
        ld A, RAFDEF ;die installierte RAF-Laufwerksnummer
        ld (DISK), A ;in BIOS-Disk-Nummer laden
        ld B, NDirEnt/4 ;Anzahl der Dir.-Eintraege/4=Anzahl der
        ;Sekt.
Lopsec: ;Schleife ueber alle Sektoren
        push BC
        CALL RAFRD ;Sektor lesen
        ld HL, DDMA ;default DMA Buffer
        ld B, 4 ;4 Entries in einen Sektor
        ld DE, 32d ;Anzahl der Bytes, die zu ueberspringen
        ;sind
DIRlop: ;Schleife ueber einen Sektor
        ld (HL), 0E5h ;"User"-Nummer =E5=Geloeschter Eintrag
        add HL, DE ;Rest des Dir.-Eintrages ueberspringen
        DJNZ DIRlop
        CALL RAFWR ;Sektor wieder schreiben
        ld HL, (SECTOR)
        inc HL ;naechster Sektor fuer RAFRD, RAFWR
        ld (SECTOR), HL
        pop BC
        DJNZ Lopsec ;im naechsten Sektor wieder 4 Eintraege
        ;loeschen
        RET ;vom Directory-Loeschen (RAFCLR)
  
```

END

D . A B K U E R Z U N G E N

/AMUX	Address Multiplex	(Sign. zum Multiplexen von RAS/CAS-Adr.)
ADV	Address Overflow	(Sign. High bei Adreszueberlauf)
ASM	Algorithmic Status Maschine	(Zentrale Steuerung, TTL-PROM)
/CAS	Column Address Strobe	(Spaltenadressen-Signal)
/CASi	CAS 0...CAS 1	(CAS- und Bankauswahlsig.)
/CASX	CAS-X	(Enable Sign. fuer CAS-Dekoer)
DI	Data In	(RAM-Daten-Eingaenge)
DO	Data Out	(RAM-Daten-Ausgaenge)
DT1	Delay Time 1	(Zeitverschobenes CASX-Sign. fuer ASM)
/DT2	Delay Time 2	(" " DT1 " " ")
MAi	Memory Address 0...7	(gemultipl. Speichermatrix-Adressen)
MDi	Memory Data 0...7	(Speicherdatenleitungen)
MON6	Mono 6 ys	(Refresh ausloesendes Sign.)
MON15	Mono 15 ys	(Not-Refresh ausloesendes Sign.)
/M1P	M1-PROM/POFF	(getortes Bus-/M1-Sign.)
/IOS0	In-/Out-Select0 (Date)	(Sign. akt. bei Datenzugriff)
/IOS1	In-/Out-Select1 (Ctrl)	(Sign. akt. bei Track/Sect. laden)
OEM	Original Equipment Manufacturing	
/PROT	Protect	(Sign. programmierb. Zugriffsschutz)
POFF	Power Off	(Sign. Busbetriebsspannung unter Soll)
RAF	RAM-Floppy	
/RAS	Row Address Strobe	(Zeilenadressen-Sign.)
/RASX	RAS-X	(Sign. von ASM fuer /RAS,...,/DT2)
REFEN	Refresh Enable	(Sign. zum Multipl. Refresh-Adr.,...)
/RTRG	Retrigger	(Sign. zum Triggern MON6/15,...)
/WE	Write Enable	(RAM-Schreiberlaubnis)
WR1	Write-1 (WR und IOS1)	(Sign. zum Track/Sektor-Laden)

`/' vor Signal: negiertes Signal (low = aktiv)

E. N O T I Z E N

F. SACHWORTVERZEICHNIS

1
16K-RAM, 19

2
256K-RAM, 8, 14

4
4-Mhz-Takt, 16

8
8086, 8

B
Beispiel fuer variable
BIOS-Installation, 26
Bestueckungsvariante
1, 17
1a, 18
2, 18
Betriebsspannung
5P, 16
5PB, 16
BIOS, 28
BIOS-Routine fuer ein RAF 512,
26
Blocktransfer, 20

A
Adreszdekoder, 9
 Beispiel fuer Berechnung, 25
 Errechnen neuer, 23
 Zusammenstellung, 23
 Uebersicht, 23
Adreszmultiplexer, 11
Adreszspiegelung, 15
Adreszsteuerung
 bei Datenzugriff, 12
 bei Refresh, 12
Adreszzuordnung, 11
Adreszueberlauf, 6, 15, 21
AMUX, 12
AOV, 13
ASM, 12, 14, 15, 17

C
CAS, 12
CAS-Dekoder, 13
CASX, 13
Control-Adresse, 20, 28
CP/M, 21

D
Data-Adresse, 20, 28
Datentreiber, 13
 invertierend, 13
 Datenzugriff, 11, 13, 15
 Programmierung, 20
Dekoder
 s. Adreszdekoder
Disk Parameter Block, 30
Disk Parameter Header, 30
DPB
 siehe Disk Parameter Block
DPH
 siehe Disk Parameter Header
DT1, 16
DT2, 16

E
 Errechnen neuer Dekoder, 23
 Erzeugung der internen
 RAF-Adressen, 6

I
 I/O-Adresz-Wickelfeld, 5
 I/O-Adreszwahl, 5
 INIR, 20, 27
 Initialisierung, 32
 Installation des Laufwerks,
 21
 Installation
 automatische, 15
 Interne Adreszerzeugung, 6
 Interrupt, 9

K
 Komparator, 17

L
 Laufwerk A:, 21
 LED
 Select-, 15

M
 MON15, 14
 MON6, 13

N
 Not-Refresh, 16

O
 OTIR, 20, 27

P
 PC 1715, 8
 POFF, 16, 17
 Power-Off, 16
 Precharge-Time, 12, 14, 15,
 16
 Programmbeispiele, 22
 Programmierung, 5
 PROT, 13
 Pruefsumme, 22

R
 RAF 128, 8, 11, 19, 26
 RAF als ein CP/M-Laufwerk, 21
 RAM-Adreszbildung, 10
 RAM-Matrix, 9
 RAM-Speisung
 aus 5P, 4
 aus 5PG, 4
 RAS, 12, 13
 REFEN, 12, 13, 15
 REFI, 15, 16
 Refresh, 14
 Not-, 14
 optimierter, 16
 Steuerung, 13, 15
 Register
 Track- und Sektor-, 20
 RESET, 17, 18
 Power-Off-, 18
 RTRG, 14, 16

S
 Schema zum Erstellen neuer
 Dekoder, 24
 Sektor-Register, 20
 Select-LED, 15
 Single-Step, 14, 15
 Soft-Errors und
 Pruefsummenbildung, 22
 Software, 28
 Stand-By-Bestueckung, 4, 16,
 17
 Stand-By-Betrieb, 16

RAF 512 Stueck-/Schaltteilliste, Kurzfassung

D10-17

..... 8 x 8 Schaltkreis U 2164 C 25 TGL 42234
D80-87
D300/301 2 Schaltkreis DS8282 D TGL 42623 E
D305-308 4 Schaltkreis K555 KP 12 (Imp. SU)
D309 1 Schaltkreis DS 8205 D TGL 39866
D310 1 Schaltkreis MH 74 S 571 (Imp. CSSR) (Prog. "ADxx")
D311 1 Schaltkreis MH 74 S 571 (Imp. CSSR) (Prog. "ASMx")
D312 1 Schaltkreis DL 002 D TGL 39865
D313 1 Schaltkreis DS8287 D TGL 42622 (kein Ausw.eins.)
D314 1 Schaltkreis DL 123 D TGL 43203 E
D315/316 2 Schaltkreis DL 193 D TGL 43204 E
D317 1 Schaltkreis DS 8287 TGL 42622

N401/402 2 Schaltkreis A 302 D TGL 32537 E

VD2/3 2 Schaltodiode SAY 12 L 2/13 TGL 25184
VD4 1 " " " " Bestueckungsvar.2
VD5 1 " SAY 12 B Bestueckungsvar.1a

V01 1 LED VQA 14 TGL 39422
V02 1 LED VQA 27 TGL 39723 Bestueckungsvar.1

VT1 1 Transistor SS 218 D TGL 26818
VT2 1 " " " Bestueckungsvar.1
VT3 1 " " " Bestueckungsvar.2

C10-17

..... 8 x 8 Kondensator EDVU - Z - 100 /50-63 TGL 35781

C80-87

C300 1 Elyt-Kondensator 100/16 TGL 38908

C301/307 2 KS-Kondensator A220/2,5/63 TGL 5155
C302 1 KS-Kondensator A47/10/63 TGL 5155
C303 1 KS-Kondensator A220/2,5/63 TGL 5155
C304/305 2 KS-Kondensator A150/2,5/63 TGL 5155
C306 1 KS-Kondensator A47/10/63 TGL 5155
C309/310 2 KS-Kondensator A1000/2,5/63 TGL 5155

C311-318 8 Kondensator EDVU - Z - 33/50-63 TGL 35781
C322 1 T-Kondensator 47/16 TGL38966 E, auch Elyt 47/16

TGL 38928

C401 Best. bei Bedarf
C402 1 T-Kondensator 0.47/35 TGL 38965 E, auch Elyt 0.47/80
TGL 38928

R90-97	8	SWF 22	Ohm 5 % TK 100	23.207	TGL 36521	
R100-107	8	SWF 33	Ohm 5 % TK 100	23.207	TGL 36521	
R110/111	2	SWF 33	Ohm 5 % TK 100	23.207	TGL 36521	
R210/220/230/240/250/260/270/280	8	SWF 22	Ohm 5 % TK 100	23.207	TGL 36521	
R301-305	5	SWF 1K	Ohm 5 % TK 100	23.207	TGL 36521	
R306	1	SWF 470	Ohm 5 % TK 100	23.207	TGL 36521	
R307	1	SWF 1K	Ohm 5 % TK 100	23.207	TGL 36521	
R308	1	SWF 4,7K	Ohm 5 % TK 100	23.207	TGL 36521	
R309	1	SWF 15K	Ohm 5 % TK 100	23.207	TGL 36521	
R310	1	SWF 39K	Ohm 5 % TK 100	23.207	TGL 36521	
R311	1	SWF 2,2K	Ohm 5 % TK 100	23.207	TGL 36521	
R312	1	SWF 1K	Ohm 5 % TK 100	23.207	TGL 36521	
R313	1	SWF 2,2K	Ohm 5 % TK 100	23.207	TGL 36521	
R314	1	SWF 1K	Ohm 5 % TK 100	23.207	TGL 36521	
R315	1	SWF 330	Ohm 5 % TK 100	23.207	TGL 36521	
R401	1	SWF 470	Ohm 5 % TK 100	23.207	TGL 36521	Best.var.1
R402	1	SWF 51K	Ohm 5 % TK 100	23.207	TGL 36521	Best.var.1
R403	1	SWF 82	Ohm 5 % TK 100	23.207	TGL 36521	Best.var.1
R404	1	SWF 510K	Ohm 5 % TK 100	23.207	TGL 36521	Best.var.1
R405	1	SWF 51K	Ohm 5 % TK 100	23.207	TGL 36521	Best.var.1
R406	1	SWF 47K	Ohm 5 % TK 100	23.207	TGL 36521	Best.var.1
R407	1	SWF 5,1K	Ohm 5 % TK 100	23.207	TGL 36521	
R408	1	SWF 47k	Ohm 5 % TK 100	23.207	TGL 36521	Best.var.2

1	1	E1474B-01. . . :01 (4) 1	Leiterplatte	
2	1	E1474B-01. . . :01BUL(4)	Leiterplatte	
5	9	Wickelstift F1 TGL 32587/01 (X0-2, X00-02, X10-12)		
9	7	Loetoese 1G1/10 TGL 0-41496 (X5, X5P, XM0-3)		
14	1	Steckerleiste 304-58 TGL 29331/03XS1		
17	2	IC-Fassung 16-polig (bei D 310/311)		
18	4	Scheibe 2,7 TGL 17774-St		
19	2	Hohlriet A 2,5x0,25x15 TGL 0-7340-St		
20	1	Draht Y 1,0 107 mm lg, Anspitz 2x3		
21	3	Wickeldraht 70 mm		
22	1	Draht Y 0,3 105 mm		Best.var.1a

24	E1474b-01. . . . SL(4) - Leiterplatte best.
25	E1474b-01. . . . SP(2) - Leiterplatte best.

13
13-13-271c
of Group 4, 13-13-271
March 1989

