

**robotron**

**Betriebsdokumentation  
Mikrorechnersystem K 1520**

**Technische Beschreibung**

**OPS K 3520**

**PFS K 3820**

**OFS K 3620**

**Heft 2**

Betriebsdokumentation Mikrorechnersystem K 1520

Heft 2: Technische Beschreibung

OPS K 3520

PFS K 3820

OFS K 3620

**Exporteur:****Robotron-Export-Import****Volkseigener Außenhandelsbetrieb der****Deutschen Demokratischen Republik****DDR - 1080 Berlin****Friedrichstraße 61****Produzent:****VEB Robotron-Elektronik****DDR - 6060 Zella-Mehlis****Straße der Antifa 63 - 66****Postschließfach 96****Verantwortlicher Lektor und Gesamtbearbeitung****im Auftrag der DEWAG Cottbus:****Dr. Lutz-Steffen Tag, Leipzig****Druck: Typodruck Bereich Leisnig****SG 139/45/83 III/8/1 293****Inhaltsverzeichnis Heft 2****Seite**

<b>1. <u>Allgemeine Beschreibung</u></b>	<b>4</b>
1.1. Allgemeine technische Daten	4
1.2. Speicherorganisation	4
1.3. Anschlußbedingungen der Speichermoduln	5
<b>2. <u>Operativspeicher OPS K 3520</u></b>	<b>9</b>
2.1. Kurzcharakteristik	9
2.2. Spezifische technische Daten	9
2.3. Programmierung der Steckeinheit	10
2.3.1. Programmierfelder der Steckeinheit	10
2.3.2. Adressenzuordnung	10
2.3.3. Auswahl des Speichersperrsignals MEMDI	11
2.3.4. "WAIT"-Generierung	12
2.3.5. Betriebsspannungszuführung 5 PG	12
2.4. Funktionsbeschreibung	12
2.4.1. Verwendungszweck	13
2.4.2. Funktion	13
<b>3. <u>Programmierbarer Festwertspeicher</u></b>	<b>17</b>
PFS K 3820	
3.1. Kurzcharakteristik	17
3.2. Spezifische technische Daten	17
3.3. Programmierung der Steckeinheit	18
3.3.1. Programmierfelder der Steckeinheit	18
3.3.2. Adressenzuordnung	19
3.3.3. Platzierung der ROM-Elemente auf der Steckeinheit	20
3.3.4. Auswahl des Speichersperrsignals MEMDI	20
3.3.5. "WAIT"-Generierung	21
3.4. Funktionsbeschreibung	21
3.4.2. Verwendungszweck	21
3.4.2. Funktion	21

	Seite
4. Operativ-/Festwertspeicher OPS K 3620	25
4.1. Kurzcharakteristik	25
4.2. Spezifische technische Daten	25
4.3. Programmierung der Steckeinheit	27
4.3.1. Programmierfelder der Steckeinheit	27
4.3.2. Adressenzuordnung	27
4.3.3. Vertauschung der RAM/ROM-Bereiche	29
4.3.4. Plazierung der ROM-Elemente auf der Steckeinheit	29
4.3.5. Auswahl des Speichersperrsignals MEMDI	30
4.3.6. "Wait"-Generierung	31
4.3.7. Betriebsspannungszuführung 5PG	31
4.4. Funktionsbeschreibung	31
4.4.1. Verwendungszweck	31
4.4.2. Funktion	32

Weitere Teile der Betriebsdokumentation Mikrorechnersystem K 1520 erscheinen in folgenden Einzelausgaben:

- Heft 1: Allgemeine Unterlagen
- Heft 3: Technische Beschreibung OPS K 3525, OPS K 3521,  
OPS K 3621
- Heft 4: Technische Beschreibung ADA K 6022
- Heft 5: Technische Beschreibung ASV K 8021
- Heft 6: Technische Beschreibung AFS K 5121
- Heft 7: Technische Beschreibung BDE K 7622, ABD K 7022
- Heft 8: Technische Beschreibung PPE K 0420, PLG K 0421,  
PAE K 0422
- Heft 9: Technische Beschreibung AKB K 5020
- Heft 10: Technische Beschreibung ABS K 7023, K 7023.01,  
K 7024.30, K 7029
- Heft 11: Technische Beschreibung ALB K 6025
- Heft 12: Technische Beschreibung ATD K 7026
- Heft 13: Technische Beschreibung ATS K 7028.10/20
- Heft 14: Technische Beschreibung AMB K 5025

1.  
Allgemeine Beschreibung

1.1.  
Allgemeine technische Daten

Steckeinheitenabmessungen: 215 mm x 170 mm  
Steckraster: 20 mm  
Steckverbinder: 2 x 58polig, indirekt, Bauf.304-58  
TGL 29331/03 bzw.  
2 x 58polig, direkt  
TGL 29331/01  
Einsatzklasse: 5/60/30/95/10-1<sub>g</sub>  
Betriebsspannung: 5P  $\Delta$  5 V  
5N  $\Delta$  - 5 V  
5 PG  $\Delta$  5 V  
12 P  $\Delta$  12 V

Siehe dazu spezifische technische  
Daten des jeweiligen Speicher-  
moduls.

1.2.  
Speicherorganisation

Für die Adressierung des Speichers des Mikrorechners K 1520 stehen 16 Adreßbits zur Verfügung. Das erlaubt, max. 64K Byte Speicherzellen wahlfrei zu adressieren.

Durch Schaltmaßnahmen außerhalb der Moduln des K 1520 kann unter Benutzung der Signalleitungen /MEMDI1 und /MEMDI2 auf dem Koppelbus die Speicherkapazität erweitert werden. Die Auf-rufbreite beträgt 8 Bit. Die Speicherkapazität kann je nach Erfordernis des Gesamtgerätes durch den wahlweisen Einsatz von Festwert- und Schreib-Lese-Speichern realisiert werden. Es steht ein Sortiment von Speichermoduln zur Verfügung, aus dem der Speicher bis zur adressierbaren Kapazitätsgrenze in beliebiger Kombination aufgebaut werden kann. Allen Speicher-

moduln können entsprechend des Speichervolumens über Programmier-einrichtungen auf den Steckeinheiten (Wickelbrücken oder Schalter) zusammenhängende Adreßbereiche zugeordnet werden, wobei die Speicheranfangsadressen ganzzahlige Vielfache von 4K bilden. Damit ist es möglich, geschlossene Speicherfelder zu erzielen und sie den Erfordernissen der Programmsysteme anzupassen. Adressen dürfen dabei nicht mehrfach belegt werden. Das ist im Adreßbereich von 0000 bis 0FFF besonders zu beachten. Dann sind diese Adressen auf den ZRE-Steckeinheiten K 2521 ... K 2524 einem 4K-Speicher fest zugeordnet.

Die Speichersteckeinheiten werden ein- und ausgangsseitig auf dem BUS parallel geschaltet. Damit ergibt sich ein steckplatz-unabhängiger Einsatz der Speichersteckeinheiten.

Alle die Speicher berührenden Adreß-, Daten- und Steuerleitungen des Busses sind durch Pufferschaltkreise mit Low-Power-Schöttky-Eingängen von den Steuer- und Speicherschaltkreisen entkoppelt. Die Pufferschaltkreise der Datenleitungen arbeiten bidirektional und besitzen einen "Tri-state"-Zustand. Die auf den Speichersteckeinheiten erzeugten Steuersignale werden über Open-Kollektor-Baustufen ausgesendet.

Zur Geschwindigkeitssynchronisierung zwischen Prozessor und Speicher sind die Speichersteckeinheiten mit einer "WAIT" Steuerung" ausgerüstet.

Ein Quittierungssignal "RDY" wird ausgesendet, wenn eine ausgewählte Steckeinheit einen gültigen Lese- oder Schreibaufruf erhält und ein Datenaustausch vorgenommen wird.

1.3.  
Anschlußbedingungen der Speichermoduln

- Signalpegel:	Low-Potential:	Eingänge - 1,0 ...+0,85 V
		Ausgänge 0 ...+0,45 V
	High-Potential:	Eingänge + 2,0 ...+ 5,5 V
		Ausgänge + 2,4 ...+ 5,5 V

- Signalbelastung:

Alle von den Speichersteckeinheiten empfangenen Signale (Adreß- und Steuerbits, Dateneingang) werden mit max. 0,25 mA belastet.

Der Datenausgang ist mit 15 TTL-Lasteinheiten (24 mA) belastbar.

Die Open-Kollektor-Ausgänge der Steckeinheiten treiben max. 10 TTL-Lasteinheiten (16 mA), wobei sich im Lastkreis außerhalb der Steckeinheit jeweils mindestens ein Lastwiderstand befinden muß.

- Von Speichermoduln empfangene Signale:

Adresse - 16 Bit, ABO ... AB15

Die niederwertigen Bits ab ABO dienen der internen Adreßentschlüsselung in den Speicherchips, nachfolgende Bits entschlüsseln Adreßgruppen auf den Steckeinheiten und die höchstwertigen Bits wählen die gewünschte Steckeinheit aus.

Daten - 8 Bit, DBO ... DB7

Einschreibende Daten bei "/RD" und "WR" auf bidirektionalem Datenbus.

MREQ - Speicheranforderungssignal, wirkt funktionell als Taktsignal für Speicher.

Aktiviert zeitbestimmend /CE-Eingänge der Speicherchips.

WR - Befehlssignal "Speicher schreiben"

Steuert die Arbeitsweise "Lesen" oder "Schreiben" der Speicherchips über deren Eingang /WE.

RD - Befehlssignal "Speicher lesen"

Bestimmt die Wirkungsrichtung der bidirektionalen Datenpuffer.

MEMDI, MEMDI1, MEMDI2 - Speichersperrsignal

Es ist über Wickelbrücken oder Schalter wahlweise vom Systembus X1:B09 oder Koppelbus X2:A21 (MEMDI1) bzw. X2:B21 (MEMDI2) zu empfangen.

Bedeutung der diesbezüglichen Wickelbrücken bzw. Schalter in der Reihenfolge:

1 geschlossen - MEMDI über X1:B09 empfangen

2 geschlossen - MEMDI1 über X2:A21 empfangen

3 geschlossen - MEMDI2 über X2:B21 empfangen

Das Sperrsignal schaltet die Ausgangspuffer zum Datenbus in den "Tri-state"-Zustand und sperrt die /CE-Eingänge der Speicher, Dadurch können externe Geräte auf dem Bus verkehren, ohne die Speicher zu beeinflussen. Darüber hinaus wird eine zusätzliche Steuerung der Speicher in Abhängigkeit von Adreßbereichen bzw. zusätzlichen Adreßbits möglich.

Betriebsarten:

- Normalkonfiguration bei max. Speicherkapazität bis 64K Byte:

Brücke MEMDI geschlossen, MEMDI1 und MEMDI2 offen

- Adreßerweiterung unter Benutzung des Sperrsignals:

Brücke MEMDI offen, MEMDI1 oder MEMDI2 je nach gewünschter Programmierung der STE geschlossen.

Zusatzverdrahtung auf Koppelbus und Zusatz-elektronik erforderlich.

RFSH - Steuersignal für das Auffrischen dyn. RAM-Speicher

TAKT, M1 - Systemtakt und Kennzeichen "Befehlslesezyklus": Zur Auslösung eines "WAIT"-Zyklus während des Befehlslesezyklus (M1-Zyklus) erforderlich.

- Von Speichermoduln generierte Signale:

Daten - 8 Bit, DBO ... DB7

Aus Speicher gelesene Daten bei RD und /WR auf bidirektionalem Datenbus.

- WAIT - Signal löst "WAIT"-Zyklus im Prozessor aus.  
Dies wird erforderlich, wenn die Zykluszeit des Speichers größer als die Zeitdauer des Befehlslesezyklus ist.
- "WAIT"-Zyklus wird unterdrückt, wenn diesbezügliche Auswahleinrichtung auf der BLP gebrückt ist. Ein "WAIT"-Zyklus kann in Abhängigkeit von einer weiteren Auswahleinrichtung auf der BLP wahlweise während eines Befehlslesezyklus durch das Signal M 1 oder während eines jeden Speicherzyklus durch das Signal MREQ (OPS K 3520, OFS K 3620) oder nur während eines Befehlslesezyklus (PPS K 3820) aktiviert werden.
- RDY - Quittierungssignal. Wird ausgesendet, wenn auf betreffender Speichersteckeinheit eine adressierte Speicherzelle hardwaremäßig vorhanden ist und zum Datenaustausch zur Verfügung steht.

- Ansteuerbedingungen:

Die dyn. Kennwerte der Speichermoduln sind auf das Signalspiel des gemeinsamen Bussystems des MR K 1520 abgestimmt. Folgende allgemeine Bedingungen sind zu gewährleisten: Die Adresse muß mindestens 530 ns am Bus stabil anliegen. MREQ erscheint 140 bis 240 ns nach Anlegen der gültigen Adresse und bleibt bis Adreßwechsel aktiv. Es muß dabei mindestens 300 ns vor Schreibimpulsende WR gültig sein und bis zu dessen Ende anliegen, wenn der Speicher beschrieben wird.

Der Schreibimpuls WR selbst muß spätestens 300 ns vor dem folgenden Adreßwechsel anliegen und bis zum Adreßwechsel gültig sein. Beim Lesen erscheint RD spätestens 170 ns nach Adreßwechsel und bleibt mindestens bis Ende MREQ aktiv. M1 wird wie die Adresse geschaltet.

Zu schreibende Daten müssen mindestens 300 ns vor Abschalten von WR bis zum Abschalten von WR anliegen.

Gelesene Daten sind spätestens 450 ns nach Adreßwechsel gültig. Die Übernahme in Nachfolgeregister erfolgt kurz vor der Abschaltflanke von MREQ.

2.

Operativspeicher OPS K 3520

2.1.

Kurzcharakteristik

Der Schreib-Lese-Speicher (Operativspeicher) OPS K 3520 dient zur Speicherung aller variablen Daten während des Programmablaufs im Mikrorechner K 3520.

Er wird durch den Steckeinheitentyp 012-7011 mit indirektem bzw. 012-7016 mit direktem Steckverbinder realisiert und beinhaltet einen 4K Byte großen statischen Halbleiterspeicher (nMOS-RAM) mit den zur Entkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen.

2.2.

Spezifische technische Daten

Speicherkapazität:	4K Byte (Anordnung von 4 x 8 Speicherchips)
Speicherschaltkreistyp:	Q240 1K x 1 Bit, nMOS
Zugriffzeit:	≤ 530 ns
Betriebsarten:	"Lesen" oder "Schreiben" als abgeschlossene Zyklen in beliebiger Reihenfolge
Datenerhalt:	Information geht bei Abschaltung der Betriebsspannung verloren. Ein Datenerhalt ist möglich, wenn im Ruhezustand des Speichers eine Spannung (Schlafspannung) von außen über Klemme 5PG zugeführt wird. Diese Spannung muß 2 V sein.
Stromversorgung:	5P = 5 V ± 5 %, typisch 0,6 A für Steuerelektronik und Pufferschaltkreise

5PG = 5 V ± 5%, typisch 1,1 A  
 (bei 2 V Schlafspannung etwa  
 0,6 A) für Speicherschaltkreise

2.3.  
Programmierung der Steckeinheit

2.3.1.  
Programmierfelder der Steckeinheit

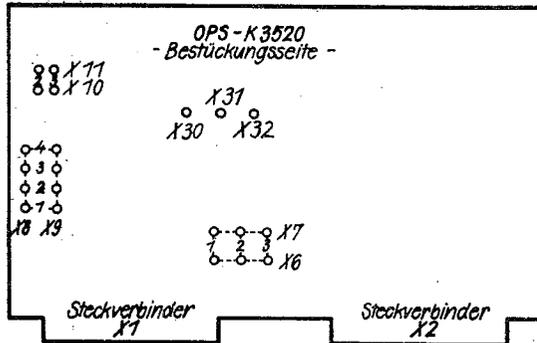


Abb. 1

Die Programmierfelder bestehen aus Wickelstiftpaaren oder Mikroschaltern. Im ersteren Fall erfolgt die Programmierung, indem Wickelstiftpaare in Wickeltechnik miteinander verbunden werden.

2.3.2.  
Adressenzuordnung

Die 16 Adresssignale werden im Speichermodul wie folgt bewertet:

AB0 ... AB9 - interne Chipadressierung  
 AB10, AB11 - Auswahl einer der 4 1K-Blöcke auf der STE

AB12 ... AB15 - Auswahl der Steckeinheit in Abhängigkeit von der Adressenzuordnung der Steckeinheit

Zuordnung des Adreßbereiches der Steckeinheit:

Über 4 Wickelbrücken bzw. 4 Schalter X8:1 ... 4, X9:1 ... 4 wird dem Speichermodul ein wählbarer zusammenhängender Adreßbereich von 4K Adressen zugeordnet.

Das Programmierfeld erhält in binärer Verschlüsselung die Anfangsadresse des gewünschten Adreßbereiches. Die Adresse ist ein ganzzahliges Vielfaches von 4K.

Kodetabelle:

Adreßbereich	Wickelbrücken			
	X8:4-X9:4	X8:3-X9:3	X8:2-X9:2	X8:1-X9:1
0000-0FFF	-	-	-	-
1000-1FFF	-	-	-	Brücke
2000-2FFF	-	-	Brücke	-
3000-3FFF	-	-	Brücke	Brücke
4000-4FFF	-	Brücke	-	-
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
F000-FFFF	Brücke	Brücke	Brücke	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

2.3.3.  
Auswahl des Speichersperrsignals MEMDI

Im Speichermodul wirksame Signale	Wickelbrücken		
	X6:1-X7:1	X6:2-X7:2	X6:3-X7:3
MEMDI (X1:B09)	Brücke	-	-
MEMDI1 (X2:A21)	-	Brücke	-
MEMDI2 (X2:BE1)	-	-	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

#### 2.3.4.

##### "WAIT"-Generierung

Von den dynamischen Daten der aufgerufenen Speicherschaltkreise hängt es ab, ob während eines Befehlslesezyklus oder während eines jeden Speicherzyklus (Befehlszyklus sowie Schreib-Lese-Zyklus) im K 1520 über "WAIT" eine Zeitverlängerung vorgenommen werden muß, oder ob prinzipiell kein "WAIT"-Zyklus erforderlich ist. Durch die konkrete Bestückung der BLP ist schon vorgegeben, wie die Einstellung erfolgen muß.

Für den allgemeinen Anwendungsfall kann die Einstellung wie folgt vorgenommen werden:

Generierung von "WAIT": Brücke

X10:3 - X;;:3 offen

Unterdrückung der "WAIT"-Bildung:

Brücke X10:3 -

X11:3 geschlossen

"WAIT"-Generierung erfolgt nur während eines Befehlszyklus (M1):

Brücke X31:X32

geschlossen

"WAIT"-Generierung erfolgt während eines jeden Speicherzyklus:

Brücke X30:X31

geschlossen

#### 2.3.5.

##### Betriebsspannungszuführung 5PG

Normalerweise werden die RAM-Speicherbausteine über den Betriebsspannungsanschluß 5PG versorgt. In Sonderfällen, wo die Anschlüsse 5PG auf dem Bus nicht belegt sind, kann 5PG steckeinheitenseitig durch die Brückung der Wickelstifte X10:2-X11:2 mit 5PG verbunden werden.

#### 2.4.

##### Funktionsbeschreibung

#### 2.4.1.

##### Verwendungszweck

Der OPS K 3520 wird im Mikrorechner K 1520 als Operativspeicher (statischer Schreib-Lese-Speicher) eingesetzt.

#### 2.4.2.

##### Funktion

Die Steckeinheit beinhaltet die Funktionsgruppen Speicher-Matrix, Ein- und Ausgabepuffer und Auswahl- und Steuerelektronik. Die Wirkungsweise der Schaltung ist im Blockschaltbild Abb. IX/2 dargelegt.

Die Speichermatrix besteht aus 4 Gruppen zu je 8 Speicherchips Q240. Jedes Chip enthält 1K Bit, Eine Gruppe von 8 Chips bildet einen Speicherbereich von 1K Byte. Jede der 4 vorhandenen Chipgruppen wird durch ein gesondertes /CE-Signal aktiviert.

Alle 10 gleichnamigen Adreßeingänge und der Steuereingang /WE (Schreib-Lese-Steuerung) der Speicherchips sind miteinander verbunden und werden von den entsprechenden Bussignalen über Schottky-TTL-Pufferschaltkreise SE12 gespeist.

Bei den Datenein- und Ausgangsleitungen sind jeweils die gleichen Bits der 4 Chipgruppen parallelgeschaltet und mit bidirektional arbeitenden Datenpufferschaltkreisen SE16 verbunden, die die Verbindung mit dem Systembus herstellen. Befindet sich die Steckeinheit im Ruhezustand, sind die Datenpuffer hochohmig und beeinflussen das Interfacespiel auf dem Systembus nicht.

Die ebenfalls über SE12 verstärkten Adreßsignale AB10 und AB11 werden im 1 aus 8-Dekoder-Baustein SE05 umkodiert und aktivieren eins der 4 Speicheraansteuersignale /CE, wenn gleichzeitig das Anforderungssignal MREQ anliegt, das Speichersperrsignal MEMDI nicht aktiv ist (/MEMDI), kein Refresh-Zyklus vorliegt (/RFSH) und die Steckeinheit durch die gepufferten Adreßsignale

AB12 bis AB15 entsprechend der Adressenzuordnung ausgewählt wurde.

Der Exklusiv-Oder-Baustein PS86 übernimmt die Adressenum-schlüsselung in Abhängigkeit vom Programmierfeld X8-X9. Ein geschlossener Schalter bzw. gebrücktes Wickelstiftpaar ergibt ein Nullsignal am zugehörigen Exklusiv-Oder-Eingang. Dieses Null bewirkt eine unnegierte Weiterleitung des zugeordneten Adreßbits zur Auswerteschaltung. Bei High-Signal erfolgt eine Negation des Adreßbitpotentials. Nur bei einer bestimmten Wertigkeit der Adreßbits AB12 bis AB15 bezüglich der Belegung der Wickelbrücken wird die Steckereinheit angesprochen. In diesem Falle sind alle 4 Eingänge der Auswerteschaltung auf "High"-Potential.

Wird ein /CE-Signal freigegeben, werden ebenfalls die Datenpuffer zum Datenaustausch aktiviert, wobei RD die Wirkungsrichtung vorgibt, wird das Kennungssignal RDY erzeugt und die Blockierung des "WAIT"-Bildungs-Netzwerks aufgehoben, sofern die Auswahlbrücke X10:3-X11:3 nicht gesetzt ist. So kann ein "WAIT"-Zyklus eingeschoben werden.

WAIT wird von einer Schiebekette aus 2 D-Flip-Flops abgeleitet, die mit dem BUS-Signal M1 oder MRE Q und dem Systemtakt TAKT gesteuert wird. Durch Einsatz von Open-Kollektor-Baustufen für QAIT und RDY wird durch ausgangsseitiges Zusammenschalten auf dem Systembus eine "Oder"-Funktion realisiert.

Zur Durchschaltung der Prioritätenkette auf dem Bus des K 1520 werden die Klemmen /IEI, /IEO, /IEI1, /IEO1 und /BAI, /BAO auf der Steckereinheit jeweils miteinander gebrückt.

Um bei allgemeiner Netzausschaltung am Mikrorechner K 1520 einen Datenerhalt der Speicherschaltkreise durch externe Stützung der Betriebsspannung zu ermöglichen, ist die Stromversorgung der Steckereinheit in zwei Kreise aufgeteilt. Über Klemme 5PG werden die Speicherchips gespeist. Ein Datenerhalt ist gesichert, wenn die Spannung 5PG im Ruhezustand des Speichers auf eine Schlafspannung von minimal 2 V abgesenkt wird.

Dabei kann die 5P für die Puffer-, Auswahl- und Steuerschaltkreise abgeschaltet werden. Damit im Zu- und Abschaltvorgang der Spannung 5P keine undefinierten Ansteuerbedingungen am Speicher wirksam werden können, die zum Datenverlust führen, werden CE-Signale konjunktiv mit einem internen Speichersperrsignal verknüpft. Dieses Sperrsignal, gebildet in einer Komparatorschaltung, wird Null, sobald die Betriebsspannung 5P die untere Toleranzgrenze unterschreitet. Damit ist sichergestellt, daß der Treiber PS26 in diesem Fall kein aktivierendes Ansteuersignal für die Speicher aussenden kann.

Über den mit der Spannung 5PGI verbundenen Arbeitswiderständen der Open-Kollektor-Treiberbaustufen wird auch im Schlafzustand der erforderliche "High"-Pegel am /CE-Eingang der Speicherchips aufrechterhalten.

Zur Abblockung von kurz- und langzeitigen Störungen auf den Betriebsspannungen 5P und 5PG sind (in der Leitungsführung verteilt) Stütz- und Sieb-Kondensatoren angeordnet.

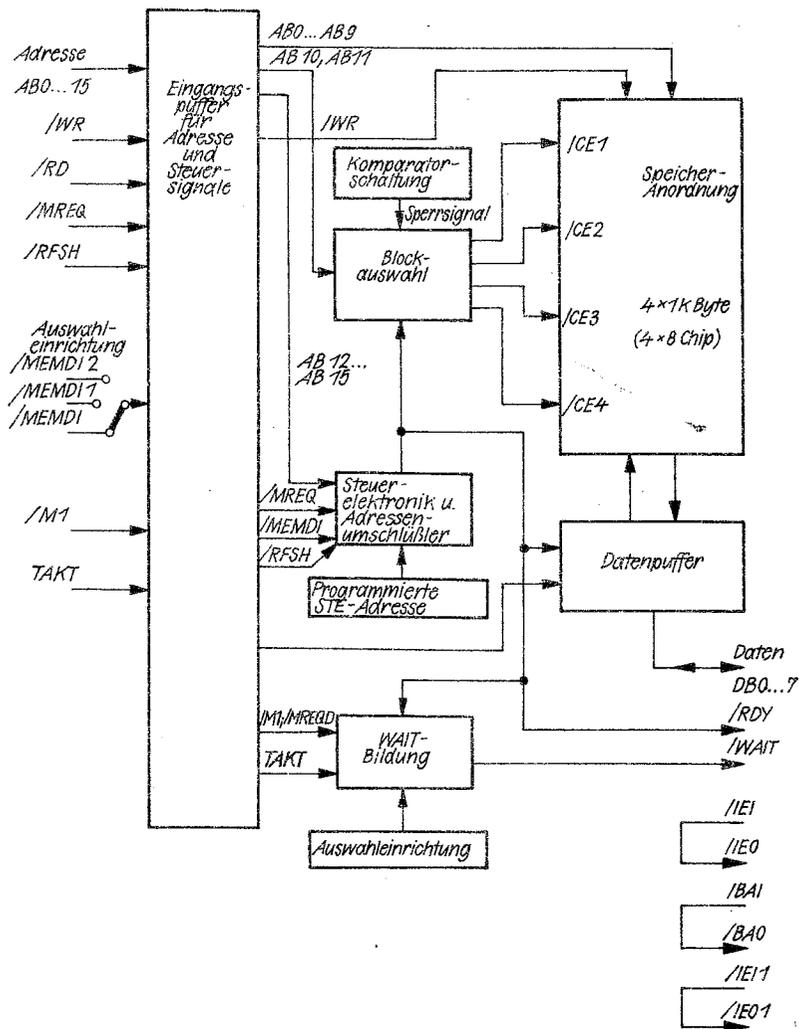


Abb. 2 Blockschalbild K 3520

### 3.

#### Programmierbarer Festwertspeicher PFS K 3820

##### 3.1.

##### Kurzcharakteristik

Der programmierbare Festwertspeicher dient der Speicherung von Festdaten für nichtvariable Programme u.ä. innerhalb des Halbleiterspeichers K 1520.

Er wird durch den Steckeinheitentyp 012-7041 mit indirektem bzw. 012-7046 mit direktem Steckverbinder realisiert und beinhaltet einen 16K Byte großen programmierbaren Festwertspeicher (EPROM-Speicher) mit dem zur Entkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen.

Die EPROM-Schaltkreise sind über 24polige DIL-Steckfassungen auf der Steckeinheit kontaktiert. Das Beschreiben der EPROM-Schaltkreise erfolgt außerhalb der Steckeinheit auf einem EPROM-Programmiergerät. Eine Änderung der ROM-Leseinformation ist jederzeit durch Austausch oder Umprogrammierung der EPROM-Schaltkreise möglich.

##### 3.2.

##### Spezifische technische Daten

Speicherkapazität:	16K Byte (Anordnung von 16 Speicherchips)
Speicherschaltkreistyp:	Q260 1K x 8 Bit nMOS
Zugriffszeit:	≤ 530 ns
Betriebsarten:	"Lesen" als abgeschlossener Zyklus (Programmieren oder Löschen der Speicherbausteine ist nur extern mit Programmiergerät möglich).
Datenerhalt:	Energieunabhängige Speicherung von Festdaten

### Stromversorgung:

5P = 5 V ± 5 %, typ. 0,9 A  
 5N = -5 V ± 5 %, typ. 0,5 A  
 12P = 12 V ± 5 %, typ. 0,9 A

Es ist dafür zu sorgen, daß die Spannung 5N nicht später als 10 ms nach Zuschaltung von 5P bzw. 12P ihren Nennwert erreicht und höchstens 10 ms vor Wegfall der 6P bzw. 12P abschaltet.

### 3.3.

#### Programmierung der Steckeinheit

##### 3.3.1.

#### Programmierfelder der Steckeinheit

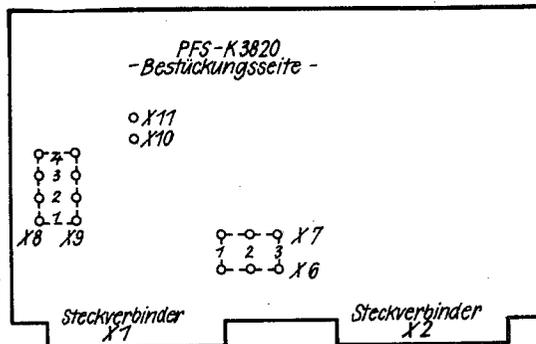


Abb. 3

Die Programmierfelder bestehen aus Wickelstiftpaaren oder Mikroschaltern. Im ersteren Fall erfolgt die Programmierung, indem Wickelstiftpaare nach der Wickeltechnik miteinander verbunden werden.

### 3.3.2.

#### Adressenzuordnung

Die 16 Adreßsignale werden im Speichermodul wie folgt bewertet:

- AB0 ... AB9 - interne Chipadressierung
- AB12 ... AB15 - Umkodierung in Abhängigkeit von der im Programmierfeld X8-X9 fixierten Adresse. Die im Speicher wirksame Adresse AB12K ... AB15K ergibt sich aus der stellenrichtigen Subtraktion der in X8-X9 eingegebenen Steckeinheitenadresse von der angelegten Adresse AB12 ... AB15.
- AB10, AB11, AB12K, AB13K - Auswahl einer der 16 1K Byte-Blöcke der STB (Chipauswahl)
- AB14K, AB15K - Auswahl der Steckeinheit, wenn beide Signale Nullpotential besitzen.

Zuordnung des Adreßbereichs der Steckeinheit:

Über 4 Wickelbrücken bzw. 4 Schalter X8:1 ... 4, X9:1 ... 4 wird dem Speichermodul ein wählbarer zusammenhängender Adreßbereich von 16K Adressen zugeordnet.

Das Programmierfeld erhält in binärer Verschlüsselung die Anfangsadresse des gewünschten Adreßbereichs.

Diese Adresse ist ein ganzzahliges Vielfaches von 4K.

#### Kodetabelle:

Adreßbereich	Wickelbrücken.			
	X8:4-X9:4	X8:3-X9:3	X8:2-X9:2	X8:1-X9:1
0000-3FFF	-	-	-	-
1000-4FFF	-	-	-	Brücke
2000-5FFF	-	-	Brücke	-
3000-6FFF	-	-	Brücke	Brücke
1000-7FFF	-	Brücke	-	-
⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮
0000-FFFF	Brücke	Brücke	-	-

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

### 3.3.3.

#### Plazierung der ROM-Elemente auf der Steckeinheit

Die programmierten ROM-Elemente werden über DIL-Steckfassungen auf der Steckeinheit kontaktiert.

Die einzelnen Steckplätze repräsentieren die im folgenden Schema dargestellten relativen Adreßbereich der Steckeinheit (bezogen auf die programmierte Steckeinheiten-Anfangsadresse).

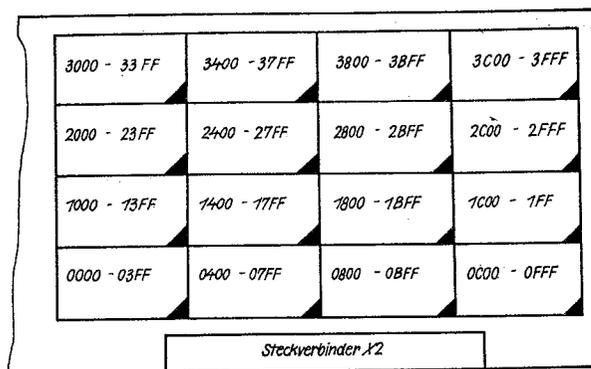


Abb. 4

### 3.3.4.

#### Auswahl des Speichersperrsignals MEMDI

Im Speichermodul wirksames Sperrsignal	Wickelbrücken		
	X6:1-X7:1	X6:2-X7:2	X6:3-X7:3
MEMDI (X1:B09)	Brücke	-	-
MEMDI1 (X2:A21)	-	Brücke	-
MEMDI2 (X2:B21)	-	-	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

### 3.3.5.

#### "WAIT"-Generierung

Von den dynamischen Daten der aufgerufenen Speicherschaltkreise hängt es ab, ob während des Befehlszyklus im K 1520 eine Zeitverlängerung über "WAIT" vorgenommen werden muß.

Durch die konkrete Bestückung der Steckeinheit ist bereits vorgegeben, wie die Einstellung erfolgen muß.

Für den allgemeinen Anwendungsfall kann die Einstellung wie folgt vorgenommen werden:

Generierung von "WAIT" im M1-Zyklus: Brücke X10-X11 offen  
Unterdrückung der "WAIT"-Bildung: Brücke X10-X11 geschlossen.

### 3.4.

#### Funktionsbeschreibung

#### 3.4.1.

##### Verwendungszweck

Der PFS K 3820 wird im Mikrorechner K 1520 als programmierbarer Festwertspeicher (Nur-Lese-Speicher) eingesetzt und erhält fixe Daten oder Programme.

#### 3.4.2.

##### Funktion

Die Steckeinheit beinhaltet die Funktionsgruppen Speicher-matrix. Ein- und Ausgabepuffer und Auswahl- und Steuerelektronik.

Die Wirkungsweise der Schaltung ist im Blockschalbild Abb. 5 dargestellt.

Die Speichermatrix besteht aus 16 Speicherbausteinen Q260 zu je 1K Byte à 8 Bit Speicherkapazität. Diese Bausteine sind auswechselbar auf DIL-Steckfassungen gesetzt.

Alle 10 gleichnamigen Adreßeingänge der Speicherchips sind miteinander verbunden und werden von den entsprechenden Bus-signalen über Schottky-TTL-Pufferschaltkreise SE12 gespeist. Die gleichnamigen Datenausgänge sind ebenfalls parallelgeschaltet und mit den Datenpufferschaltkreisen SE16 verbunden, die die Leseaten mit "Tri-State"-Ausgang an den Systembus abgeben.

Auswahl und Aufruf der 1K-Speicherbereiche, die durch separate Speicherbausteine realisiert werden, erfolgt über 16 /CE-Signale, die zur "High"-Pegel-Erhöhung mit je einem Zieh Widerstand versehen sind.

Liegt ein Speicheraufruf vor, wird über ein Netzwerk aus zwei "1 aus 8"-Dekoderbausteinen SE05 eines der /CE-Signale durch Nullsetzen aktiv. Ein Speicherplatz entsprechend angelegter Adresse wird gelesen.

Die Umkodierung der über den Bus angelegten vier höchsten Adreßbits wird durch einen Addierbaustein PSS3 vorgenommen. Die Subtraktion: Angelegte Adresse AB12 ... AB15 minus in Programmierfeld eingegebene STE-Anfangsadresse (geschlossener Schalter = logisch "High"-Potential) wird technisch realisiert, indem das Zweierkomplement der Anfangsadresse im Baustein addiert wird. Als Ergebnis der Operation entsteht die echte interne Steckeinheitenadresse. Die Adreßbits AB10, AB11 und die umkodierten Bits AB12K und AB13K werden zur Speicherchip-Auswahl im Dekoder SE05 verwendet, während die umkodierten Bits AB14K und AB15K, wenn sie Nullpotential besitzen, zusammen mit MREQ, /RFSH und /MEMDI die Dekoder SE05 freigeben und damit die Steckeinheit auswählen und aktivieren. Bei programmierter Leseoperation werden unter gleichen Bedingungen auch die Datenpuffer aktiviert, vorausgesetzt, ein "RDY"-Signal wurde auf Grund gültiger Leseinformation gebildet. Außerdem wird das "WAIT"-Bildungs-Netzwerk freigegeben. Ist die Brücke

X10-X11 nicht gesetzt, wird aus der mit "M1" und "Takt" angesteuerten Schiebekette aus 2 D-FF das "WAIT"-Signal abgeleitet und disjunktiv auf den Bus geschaltet.

Die Bildung des "RDY"-Signals wird bei den ROM-Speichern vom Datenausgang der Speicherchips abgeleitet. Das hat den Vorteil, daß das "RDY"-Signal neben der Aufrufbestätigung der Steckeinheit eine Aussage über das hardwaremäßige Vorhandensein des angesprochenen ROM-Speicherchips mit beinhaltet. Ausgewertet wird, ob die Datenleitungen einen gültigen Logikpegel besitzen oder ob der hochohmige "Tri-state"-Zustand vorliegt. Dazu reicht es aus, wenn ein Datenbit durch die Auswerteschaltung mit dem Komparatorbaustein AS10 bewertet wird.

Liegt der hochohmige Zustand vor, werden die Spannungspegel an den zwei Eingängen des Komparators durch die zwei Spannungsteiler so eingestellt, daß am Komparatorausgang, und damit für RDY, ein Nullsignal entsteht. Bei "Low"- oder "High"-Potential auf der Datenleitung werden die Potentiale an den Spannungsteilern über die zwei Eingangsdioden so verändert, daß der nichtnegierende Eingang des Komparators gegenüber dem negierenden eine positive Spannung annimmt. Der Bausteinenausgang schaltet dabei auf "High"-Potential. Dieses Signal wird disjunktiv als RDY auf den Bus gelegt.

Eine in die Schaltung einbezogene gesteuerte Open-Kollektor-Baustufe beschleunigt beim Übergang der Datenleitung in den hochohmigen Zustand die Umladung der Kapazitäten und verbessert somit das dynamische Verhalten des Signals RDY.

Zur Durchschaltung der Prioritätenketten auf dem Bus des K 1520 werden die Klemmen /IE1, /IE0, /IEI1, /IEO1 und /BAI, /BA0 auf der Steckeinheit jeweils miteinander gebrückt.

Zur Abblockung von kurz- und langzeitigen Störungen auf den Betriebsspannungen 5P, 5N und 12P sind (in der Leitungsführung verteilt) Stütz- und Sieb-Kondensatoren angeordnet.

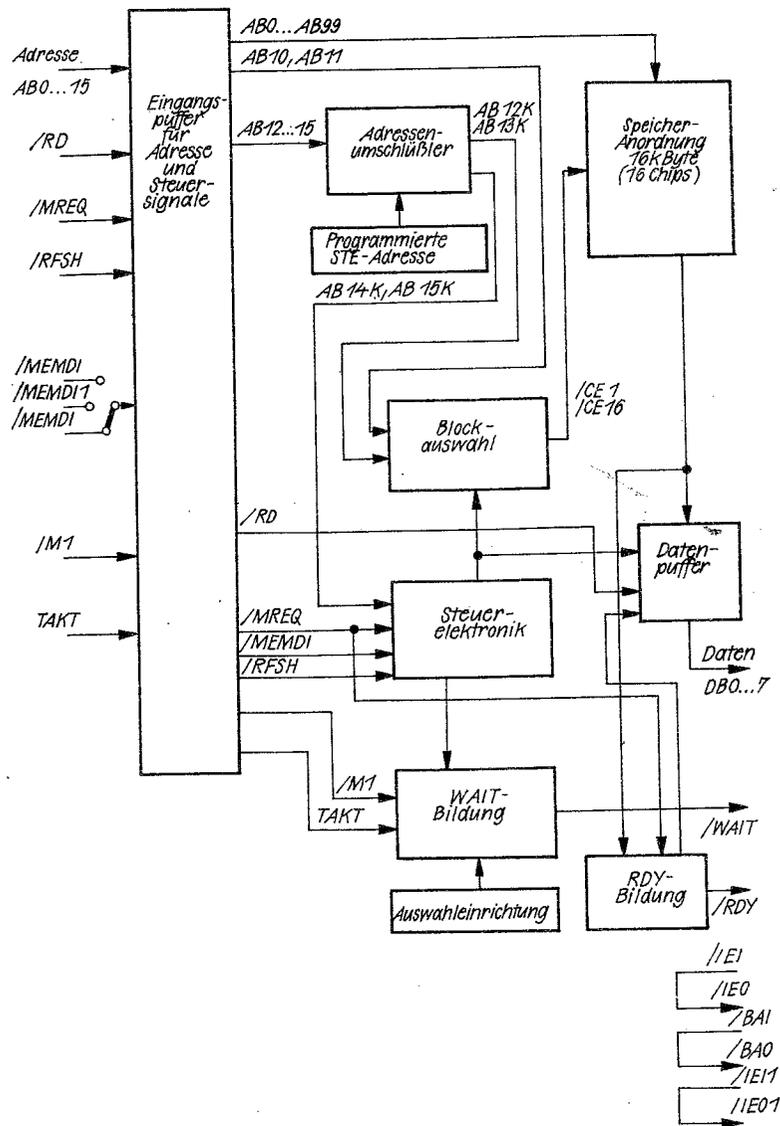


Abb. 5 Blockschaubild K 3820

#### 4.

#### Operativ-/Festwertspeicher OFS K 3620

##### 4.1.

##### Kurzcharakteristik

Der kombinierte Schreib-Lese-Speicher (Operativspeicher) und programmierbare Festwertspeicher OFS K 3620 dient der Speicherung von variablen sowie Festdaten innerhalb des Halbleiterspeichers K 152 O. Dieser Speichermodul ermöglicht in der Kombination mit den anderen Speichermodulen eine Flexibilität in der Zusammensetzung der Halbleiterspeicher und realisiert ökonomisch kleine Speicher. Der OFS K 3620 wird durch den Steckentyp 012-7031 mit indirektem bzw. 012-7036 mit direktem Steckverbinder realisiert und beinhaltet einen 2K Byte großen statischen Halbleiterspeicher (nMOS-RAM) und einen 6K Byte großen programmierbaren Festwertspeicher (EPROM) mit den zur Entkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen.

Die EPROM-Schaltkreise sind über 24polige DIL-Steckfassungen auf der Steckeinheit kontaktiert.

Das Beschreiben der EPROM-Schaltkreise erfolgt außerhalb der Steckeinheit auf einem EPROM-Programmiergerät. Eine Änderung der ROM-Leseinformation ist jederzeit durch Austausch oder Umprogrammierung der PROM-Schaltkreise möglich.

##### 4.2.

##### Spezifische technische Daten

Speicherkapazität	2KByte statischer RAM (Anordnung von 2x8 Speicherchips)
	6K Byte: EPROM (Anordnung von 6 Speicherchips)
Speicherschaltkreistypen:	Q240 1K x 1 Bit; nMOS Q260 1K x 8 Bit; nMOS

Zugriffszeit:  
Betriebsarten:

≤ 530 ns  
Abgeschlossene Zyklen "Lesen" oder "Schreiben" in beliebiger Reihenfolge beim RAM und "Lesen" beim EPROM.

Datenerhalt:

(Programmieren oder Löschen der EPROM ist nur extern mit Programmiergerät möglich).  
Energieunabhängige Datenspeicherung bei ROM-Speicher.  
RAM-Information geht bei Abschaltung der Betriebsspannung verloren. Ein Datenerhalt ist möglich, wenn im Ruhezustand des Speichers eine Spannung (Schlafspannung) von außen über Klemme 5PG zugeführt wird. Die Spannung muß ≥ 2 V sein.

Stromversorgung:

5P = 5 V ± 5 %, typ. 0,7 A für ROM-Speicher, Steuerelektronik und Pufferschaltkreise  
5PG = 5 V ± 5 %, typ. 0,5 A (bei 2 V Schlafspannung etwa 0,3 A)  
für RAM-Speicherschaltkreise  
5N = - 5 V ± 5 %, typ. 0,2 A  
12P = 12 V ± 5 %, typ. 0,3 A  
Es ist dafür zu sorgen, daß die Spannung 5N nicht später als 10 ms nach Zuschaltung von 5P bzw. 12P ihren Kennwert erreicht und höchstens 10 ms vor Wegfall der 5P bzw. 12P abschaltet.

#### 4.3.

##### Programmierung der Steckeinheit

##### 4.3.1.

##### Programmierfelder der Steckeinheit

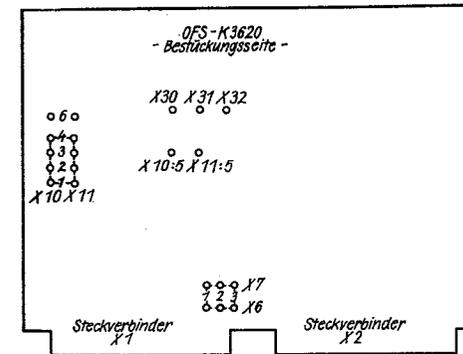


Abb. 6

Die Programmierfelder bestehen aus Wickelstiftpaaren oder Mikroschaltern. Im ersteren Fall erfolgt die Programmierung, indem Wickelstiftpaare nach der Wickeltechnik miteinander verbunden werden.

##### 4.3.2.

##### Adressenzuordnung

Die 16 Adreßsignale werden im Speicher wie folgt bewertet:

AB0 ... AB9	- interne Chipadressierung
AB12 ... AB15	- Unkodierung in Abhängigkeit von der im Programmierfeld K10:1 ... 4 - X11:1 ... 4 fixierten Adresse. Die im Speicher wirksame Adresse AB12K ... AB15K ergibt sich

aus der stellenrichtigen Subtraktion  
der eingegebenen Steckeinheitenadresse  
von der angelegten Adresse AB12 ... AB15.

- AB10, AB11, AB12K - Auswahl einer der 8 1K-Blöcke der STE  
(Chipauswahl)
- AB13K ... AB15K - Auswahl der Steckeinheit, wenn alle 3  
Signale Nullpotential besitzen.

Zuordnung des Adreßbereichs der Steckeinheit:

Über 4 Wickelbrücken bzw. 4 Schalter X10:1 ... 4, X11:1 ... 4  
wird dem Speichermodul ein wählbarer zusammenhängender Adreß-  
bereich von 8K Adressen zugeordnet.

Das Programmierfeld erhält in binärer Verschlüsselung die An-  
fangsadresse des gewünschten Adreßbereiches. Diese Adresse ist  
ein ganzzahliges Vielfaches von 4K.

Kodetabelle:

Adreßbereich	Wickelbrücken			
	X10:4-X11:4	X10:3-X11:3	X10:2-X11:2	X10:1-X11:1
0000-1FFF	-	-	-	-
1000-2FFF	-	-	-	Brücke
2000-3FFF	-	-	Brücke	-
3000-4FFF	-	-	Brücke	Brücke
4000-5FFF	-	Brücke	-	-
. . .	. . .	. . .	. . .	. . .
E000-FFFF	Brücke	Brücke	Brücke	-

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen  
Schalter.

#### 4.3.3.

##### Vertauschung der RAM/ROM-Bereiche

Um eine gute Flexibilität in der Gestaltung der RAM- und ROM-  
Bereiche im Gesamtspeicher K 1520 zu gewährleisten, können die  
RAM/ROM-Bereiche des Speichermoduls adressenmäßig gespiegelt  
werden. Die Speicherfolge wird mit Kodierbrücke X10:6-X11:6  
festgelegt.

X10:6-X11:6	adressenmäßige Speicherfolge
-	2 K RAM, 6K ROM
Brücke	6K ROM, 2K RAM

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen  
Schalter.

Es ist die unterschiedliche relative Adresse der ROM-Elemente  
zu beachten.

#### 4.3.4.

##### Plazierung der ROM-Elemente auf der Steckeinheit

Die programmierten ROM-Elemente werden über DIL-Steckfassun-  
gen auf der Steckeinheit kontaktiert.

Die einzelnen Steckplätze repräsentieren die im folgenden  
Schema dargestellten relativen Adreßbereiche der Steckeinheit  
(bezogen auf die programmierte Steckeinheiten-Anfangsadresse).  
Die Adreßbereiche unterscheiden sich in Abhängigkeit von der  
Belegung der Wickelbrücke X10:6-X11:6 (Reihenfolge der RAM/  
ROM-Speicher).

Die in Klammern dargestellten Adressen gelten für die Spei-  
cherfolge 6K ROM, 2K RAM (X10:6-X11:6 gebrückt).

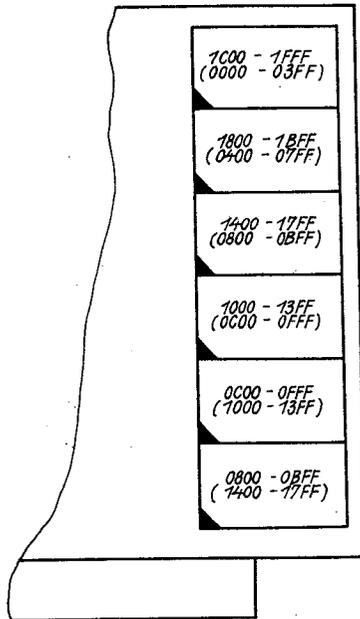


Abb. 7

#### 4.3.5.

##### Auswahl des Speichersperrsignals MEMDI

Im Speichermodul wirk- same Sperrsignale	Wickelbrücken		
	X6:1-X7:1	X6:2-X7:3	X6:3-X7:3
MEMDI (X1:B09)	Brücke	-	-
MEMDI1 (X2:A21)	-	Brücke	-
MEMDI2 (X2:B21)	-	-	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

#### 4.3.6.

##### "WAIT"-Generierung

Von den dynamischen Daten der aufgerufenen Speicherschaltkreise hängt es ab, ob während eines Befehlslesezyklus oder während eines jeden Speicherzyklus (Befehlslesezyklus sowie Schreib-Lese-Zyklus) im K 1520 eine Zeitverlängerung über "WAIT" vorgenommen werden muß, oder ob prinzipiell kein "WAIT"-Zyklus erforderlich ist.

Durch die konkrete Bestückung der BLP ist bereits vorgegeben, wie die Einstellung erfolgen muß.

Für den allgemeinen Anwendungsfall kann die Einstellung wie folgt vorgenommen werden:

Generierung von "WAIT": Brücke

X10:5 - X11:5 offen

Unterdrückung der "WAIT"-Bildung:

Brücke X10:5 - X11:5 geschlossen

"WAIT"-Generierung erfolgt nur während eines Befehlslesezyklus (M1):

Brücke X31 - X32 geschlossen

"WAIT"-Generierung erfolgt während eines jeden Speicherzyklus:  
Brücke X30:X31 geschlossen

#### 4.3.7.

##### Betriebsspannungszuführung 5PG

Normalerweise werden die RAM-Speicherbausteine über den Betriebsspannungsanschluß 5PG versorgt. In Sonderfällen, wo die Anschlüsse 5PG auf dem Bus nicht belegt sind, kann 5PG steckeinheitenseitig durch Brückung der Wickelstifte X12-X13 mit 5P verbunden werden.

#### 4.4.

##### Funktionsbeschreibung

#### 4.4.1.

##### Verwendungszweck

Der OFS K 3620 wird im Mikrorechner K 1520 als kombinierter Operativspeicher (statischer Schreib-Lese-Speicher) und programmierbarer Festwertspeicher (Nur-Lese-Speicher) eingesetzt.

#### 4.4.2.

##### Funktion

Die Steckeinheit beinhaltet die Funktionsgruppen Speichermatrix, Ein- und Ausgabepuffer und Auswahl- und Steuerelektronik. Die Wirkungsweise der Schaltung ist im Blockschaltbild Abb. IX/8 dargestellt.

Die Speichermatrix besteht aus 2 Gruppen zu je 8 RAM-Speicherchips Q240 und aus 6 EPROM-Speicherchips Q260. Die ROM-Bausteine sind auswechselbar auf DIL-Steckfassungen gesetzt.

Da der Speichermodul K 3620 eine Kombination der speicherabgerüsteten Modulen K 3520 und K 3820 darstellt, sind auch die Schaltungsdetails praktisch identisch, so daß auf die Beschreibungen der beiden Module 2.4.2. und 3.4.2. verwiesen werden kann.

Eine modulspezifische Lösung stellt die Adressenumschlüsselung und die RDY-Bildung dar.

Zur Adressenumschlüsselung wird wie beim K 3820 ein Adderbaustein PS83 in dort beschriebener Art und Weise eingesetzt. Entsprechend der vorliegenden Speichergröße werden hier 3 ungeschlüsselte Adreßbits AB13K ... AB15K zur Blockeinheitenauswahl herangezogen. Um eine wahlweise Adressenspiegelung vornehmen zu können, werden die Adreßbits AB10, AB11 und das umgeschlüsselte Adreßbit AB12K dem 1 aus 8-Dekoder-Baustein SE05 zur Bildung der /CE-Signale über Exklusiv-Oder-Baustufen (PS86) zugeführt. Diese Baustufen negieren die Adreßbits, wenn die Wickelbrücke X10:6-X11:6 geschlossen ist. Diese Negation bewirkt, daß bei aufwärtszählender Adresse die /CE-Signale in abfallender Nummernfolge aktiviert werden. Bei offener Brücke ist diese Nummernfolge steigend.

Diese Schaltungsmaßnahme ergibt eine wahlweise Vertauschbarkeit der RAM/ROM-Bereiche des Speichermoduls.

Das RDY-Signal wird für die RAM- und ROM-Speicher unterschiedlich gebildet. Beim RAM-Speicher wird das Signal von den /CE-Signalen für die zwei 1K-RAM-Speicherblöcke abgeleitet, während für den ROM-Speicher wie beim K 3820 ein Datenbit des Speicherausgangs ausgewertet wird. Alle Bildungskomponenten des Signals werden disjunktiv zum RDY-Signal verknüpft und auf den Bus gelegt.

Durch die hier gegenüber K 3820 vorgenommene Vertauschung der zwei Eingänge des Komparatorbausteins erreicht man ein negiertes Auswertesignal am Bausteinenausgang, so daß die disjunktive Verknüpfung leicht vorgenommen werden kann.

