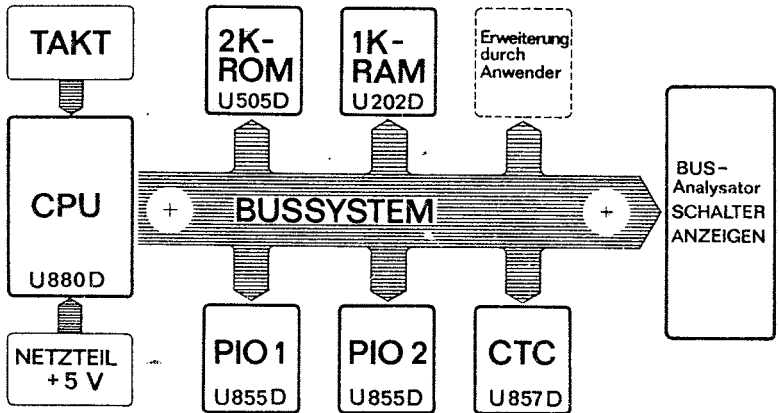


POLY-COMPUTER 880

Systemhandbuch

11 548 6.01



D - 0984 -

VEB KOMBINAT
POLYTECHNIK UND PRÄZISIONSGERÄTE
KARL-MARX-STADT



Systemhandbuch zum Mikrorechner-Lernsystem "Poly-Computer 880"

Dieses Handbuch enthält in konzentrierter Form alle Informationen, die zur Anwendung und Programmierung von Mikrorechnersystemen mit der Schaltkreisfamilie U880D, U855D, U856D, U857D notwendig sind. Es ist als Nachschlagwerk bei der Beschäftigung mit dem Arbeitsbuch sowie bei der Anwendung der erworbenen Kenntnisse und Fertigkeiten sinnvoll einsetzbar. Um die Bezeichnungsweise bei der Bearbeitung von Hard- und Softwareproblemen zu vereinheitlichen, wird in diesem Handbuch mit 0 der TTL-LOW-Pegel und mit 1 der TTL-HIGH-Pegel bezeichnet.

Autorenkollektiv:

Dipl.-Ing. Steffen Burkhardt

Dipl.-Ing. Uwe Hübner

Dip.-Ing. Andreas Troll

CPU U880D

Struktur
Anschlußbeschreibung
Funktion
Unterbrechungsverarbeitung
Befehlsformate
Befehle, binär (mit Flagbeeinflussung)
Assembler → Hex (Befehle nach Assemblerbezeichnung geordnet)
Hex → Assembler (Befehle nach Operationskodes geordnet)
Arbeitsblatt Befehlstabellen
Elektrische Kennwerte

PIO U855D

Struktur
Anschlußbeschreibung
Funktion
Programmierung
Elektrische Kennwerte

SIO U856D

Struktur
Anschlußbeschreibung
Funktion
Programmierung
Elektrische Kennwerte

CTC U857D

Struktur
Anschlußbeschreibung
Funktion
Programmierung
Elektrische Kennwerte

Speicherbausteine:

1KByte-ROM U505D

Anschlußbeschreibung
Elektrische Kennwerte

1KByte-EPROM U555D

Anschlußbeschreibung
Funktion
Elektrische Kennwerte

2KByte-EPROM 2716

Anschlußbeschreibung
Funktion
Elektrische Kennwerte

stat. 1KBit-RAM U202D

Anschlußbeschreibung
Elektrische Kennwerte

dyn. 16KBit-RAM U256C

Anschlußbeschreibung
Funktion
Elektrische Kennwerte

Hilfsbausteine in LSTTL-Technik:

8-Bit-E/A-Schaltkreis 8212

Anschlußbeschreibung
Funktion
Elektrische Kennwerte

4-Bit-bidirektionaler Treiber 8216

Anschlußbeschreibung
Funktion
Elektrische Kennwerte

1-aus-8-Dekoder 8205

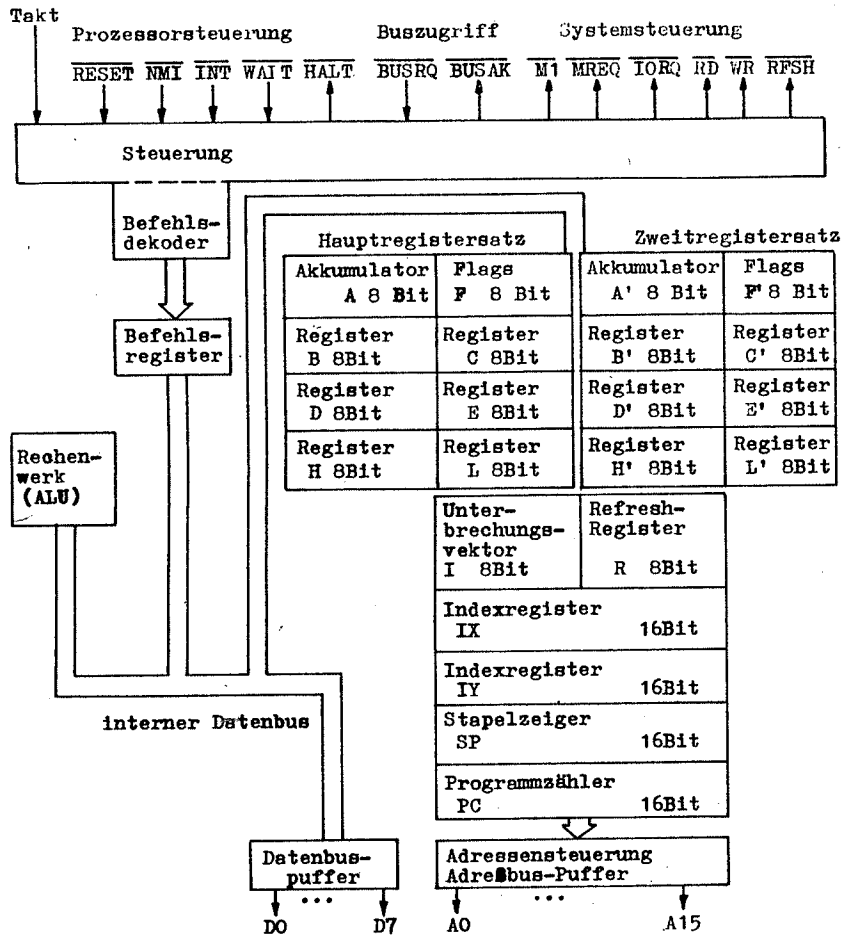
Anschlußbeschreibung
Funktion
Elektrische Kennwerte

Kodierungen

Internationales Alphabet Nr.2 (Fernschreibkode)

Internationales Alphabet Nr. 5

Anschlußbelegungen (einschließlich Speicher, TTL-IS)



- Merkmale:**
- Direkt adressierbare Speicherkapazität : 64 KByte
 - maskierbare (wahlweise sperrbare) Unterbrechung mit 3 möglichen Betriebsarten
 - spezielle nichtmaskierbare Unterbrechung (NMI)
 - Auffrischsteuerung für dynamische Speicher
 - Einphasentakt, Betriebsspannung +5V, TTL-kompatibel (Ausgänge treiben 1 Lasteinheit)
 - maximale Taktfrequenz des Grundtyps: 2,5 MHz, Abarbeitungszeit je Befehl: 1,6...9,2 µs
 - 158 Basisbefehle
 - 2 Registersätze, 2 Indexregister
 - Kellerspeicher (Stack) im externen RAM

14	DO	CPU U880	A0	30
15	D1		A1	31
12	D2		A2	32
8	D3		A3	33
7	D4		A4	34
9	D5		A5	35
10	D6		A6	36
13	D7		A7	37
24	WAIT		A8	38
16	INT		A9	39
17	NMI		A10	40
26	RESET		A11	1
25	BUSRQ		A12	2
6	C		A13	3
			A14	4
			A15	5
		M1	19	
		MREQ	22	
		IORQ	20	
		RD	21	
		WR	22	
		RFSH	28	
		HALT	18	
		BUSAK	23	

- A0 - A15** Ausgänge (tri-state) Systemadreibus zur Adressierung von Speicher und E/A-Bausteinen
- D0 - D7** Ein-/Ausgänge (tri-state) Systemdatenbus
- M1** Ausgang 0-Operationskode-Lesezyklus der CPU (Machine Cycle 1) bzw. Annahme einer Unterbrechungsanforderung (zusammen mit IORQ)
- MREQ** Ausgang (tri-state) 0-Speicheranforderung durch CPU (Memory Request)
- IORQ** Ausgang (tri-state) 0-Ein-/Ausgabenanforderung durch CPU (Input/Output Request)
- RD** Ausgang (tri-state) Lesesignal (Read) 0-Lesen vom Speicher oder E/A-Bausteinen

CPU U880D Anschlußbeschreibung

- . WR Ausgang Schreibsignal (Write)
(tri-state) 0-Schreiben in Speicher oder E/A-Baustein
- . RFSH Ausgang Speicherauffrischsignal (Refresh)
0-Die niederwertigen 7 Bit des Adreßbusses führen eine Adresse zum Auffrischen dynamischer Speicher.
- . HALT Ausgang 0-CPU im Halt-Zustand, wird nach Ausführung des HALT-Befehls eingenommen und nur durch Unterbrechung oder Rücksetzen verlassen; es werden Leerbefehle (NOP) zur Speicherauffrischung ausgeführt.
- . WAIT Eingang Warte-Anforderungen,
0-CPU wartet, bis Speicher oder E/A-Schaltung bereit ist.
- . INT Eingang Unterbrechungsanforderung (Interrupt), maskierbar, 0-Übergang in eine Unterbrechungsbehandlung (wenn Unterbrechungen erlaubt) nach Beendigung des gerade bearbeiteten Befehls entsprechend der vorgewählten Behandlungsart (IMO, 1,2)
- . NMI Eingang nichtmaskierbare Unterbrechungsanforderung (Nonmaskable Interrupt).
0-Aufruf eines Behandlungsprogramms auf Adresse 66H.
- . RESET Eingang Rücksetzen der CPU,
0-Unterbrechung sperren, PC:=0, I:=0, R:=0, IMO
Daten- und Adreßbus hochohmig, Ubrige Ausgänge inaktiv.
- . BUSRQ Eingang Busanforderung (Bus Request)

0-Adreß-Daten- und Steuerbus (MREQ, IORQ, RD, WR) in hochohmigen Zustand bringen, so daß sie von anderen Einrichtungen benutzt werden können.
- . BUSAR Ausgang Busanforderungsbestätigung (Bus Acknowledge)
0-Adreß-Daten- und Steuerbus sind in hochohmigen Zustand geschaltet.
- . C Eingang Systemtakt (Clock)

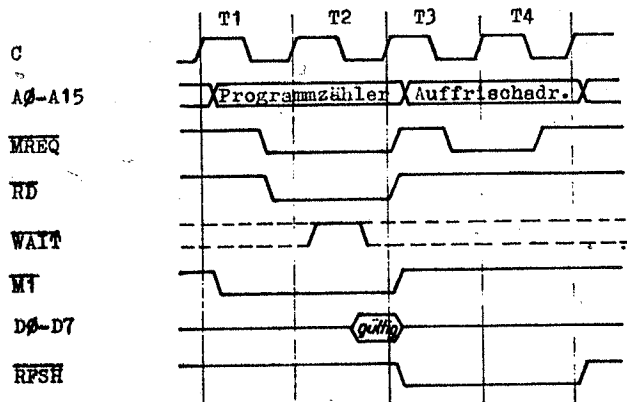
CPU U880D Funktion

Die Arbeit der CPU setzt sich aus folgenden Ablauftypen zusammen:

- Operationskode-Lesezyklus (M1-Zyklus)
- Speicherlese- oder Schreibzyklus
- E/A-Lese- oder Schreibzyklus
- Busanforderung und Busrückgabe
- Unterbrechungsanmeldung und Annahme (INT und NMI)
- Halt-Zustand

Achtung: Jeweils nicht dargestellte Steuersignale sind inaktiv!
Die Darstellungen zeigen den qualitativen Ablauf, für Zeiten und Zeitverhältnisse sind nur die dynamischen Kennwerte relevant!

Operationskode-Lesezyklus (M1-Zyklus)

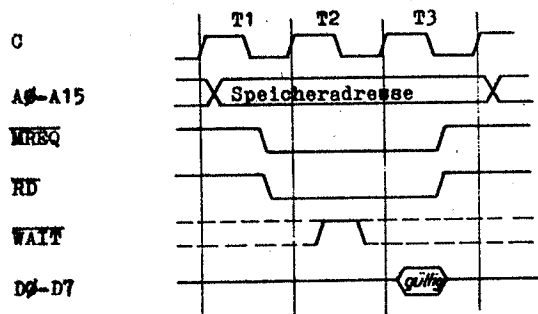


- MREQ wird aktiv, wenn die Adresse gültig ist; verwendbar zur Aktivierung von Speicher- bzw. E/A-Bausteinen

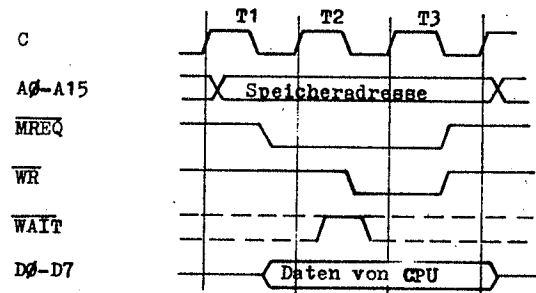
- Mit steigender Flanke von RD werden die Daten von der CPU übernommen

- Während T3, T4 wird ein Auffrischen dynamischer Speicher durchgeführt

Speicher-Lesezyklus

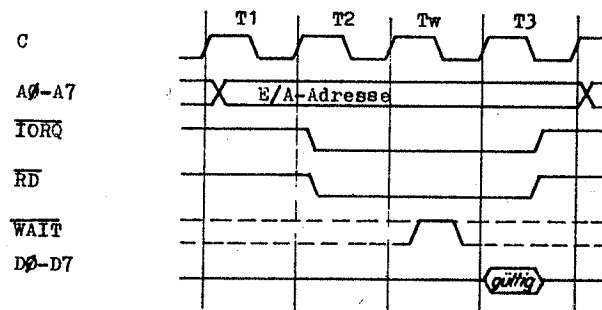


Speicher-Schreibzyklus



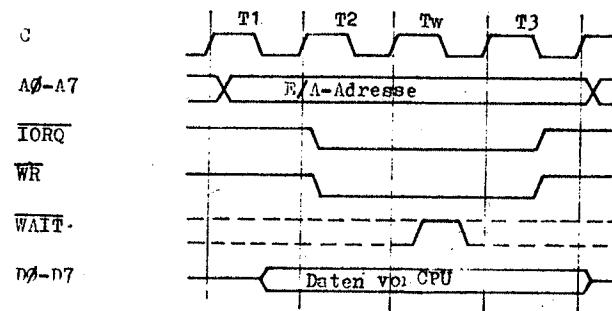
- Wenn WR aktiv ist ($\overline{WR} = 0$), sind die Daten auf dem Datenbus gültig

Ein-/Ausgabe-Lesezyklus

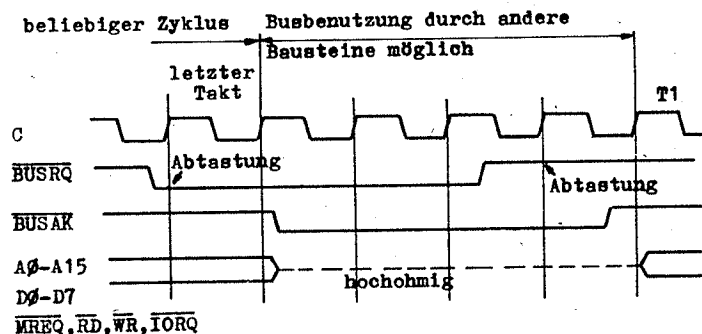


- Nach T2 wird automatisch ein Wartetakt Tw eingeführt, um für die Logik des E/A-Bausteins zusätzliche Verarbeitungszeit zu ermöglichen

Ein-/Ausgabe-Schreibzyklus

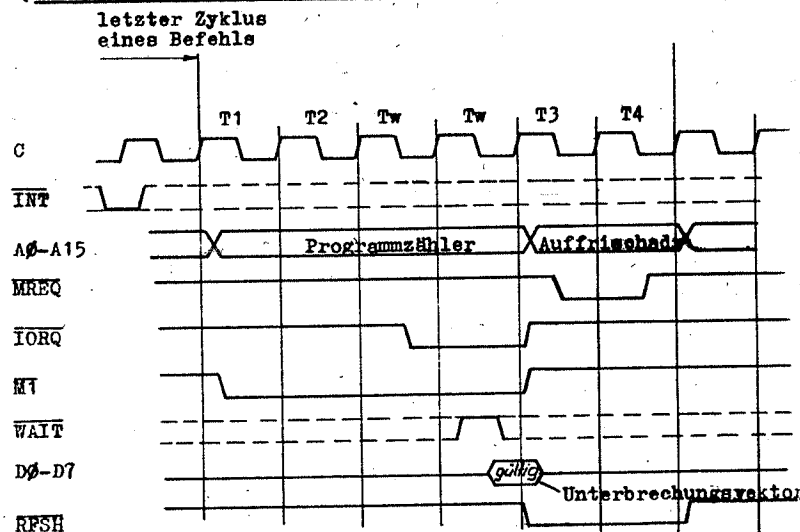


Busanforderung und Busrückgabe



- Während Adressbus, Datenbus und Steuersignale hochohmig sind, erfolgt kein Auffrischen für dynamische Speicher durch die CPU

Unterbrechungsannahszyklus
(maskierbare Unterbrechung-INT)



- Eine maskierbare Unterbrechung wird nur bei gesetzter Unterbrechungserlaubnis angenommen, bei der Annahme wird die Unterbrechungserlaubnis rückgesetzt.
- Es werden zwei zusätzliche Wartezyklen eingefügt, um Zeit für eine Prioritätsentscheidung zwischen mehreren Unterbrechungsquellen zu gewinnen.
- Wenn IORQ zusammen mit M1 aktiv wird, kann die anfordernde Schaltung ihren Unterbrechungsvektor auf den Datenbus geben.

Nichtmaskierbare Unterbrechung (NMI)

- Wird in jedem Fall angenommen (nicht durch Programm sperrbar)
- Nach Beendigung des Befehls, in dem $\overline{NMI}=0$ erkannt wurde, wird ein Operationskode-Lesezyklus (M1-Zyklus) ausgeführt, der Datenbusinhalt wird aber ignoriert; anschließend wird der Programmzähler im Kellerspeicher abgelegt (wie bei CALL, RST) und die Adresse 66H angesprungen.
- Eine Reaktion auf weitere (maskierbare und nicht maskierbare) Unterbrechungen erfolgt erst nach Ausführung eines RETN- oder EI-Befehls.
- Dauer der \overline{NMI} -Annahme: 10 Takte

Maskierbare (sperrbare) Unterbrechung (INT)

- Die Unterbrechungserlaubnis wird in dem Flip-Flop IFF1 gespeichert, d.h. wenn IFF1=0 ist die Unterbrechung gesperrt.
- Zur Sicherung des Zustands dieses Flip-Flops bei Behandlungen nichtmaskierbarer Unterbrechungen dient ein weiteres Flip-Flop (IFF2).
- Unterbrechungen können durch den Befehl EI erlaubt und durch den Befehl DI gesperrt werden.
- Nach dem Rücksetzen der CPU sowie nach Annahme einer Unterbrechung ist die Unterbrechungserlaubnis rückgesetzt (Unterbrechungen sind gesperrt)!

Die folgende Tabelle zeigt die Operationen mit dem Unterbrechungserlaubnis-Flip-Flop:

Aktion	IFF1	IFF2	
CPU RESET	0	0	
DI	0	0	
EI	1	1	
LD A,I	.	.	IFF2 → P/V-Flag
LD A,R	.	.	IFF2 → P/V-Flag
Annahme von NMI	0	.	
RETN	IFF2	.	IFF2 → IFF1
Annahme von INT	0	0	
RETI	.	.	

- . bedeutet: keine Veränderung
- Der Befehl RETI dient dazu, daß unterbrechende Geräte die Beendigung ihrer Behandlung erkennen können.
- Dauer der \overline{INT} -Annahme: 13 Takte bei IM1 und IM0 (RST-Ausführung) 19 Takte bei IM2

CPU U880D Unterbrechungsverarbeitung

Der Prozessor kann für drei unterschiedliche Unterbrechungsverarbeitungsmoden programmiert werden:

IM0

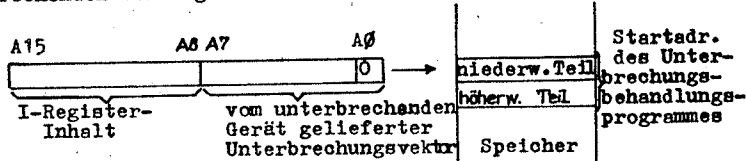
Beim Unterbrechungsannahmezyklus legt das die Unterbrechung anfordernde Gerät ein Bitmuster auf den Datenbus, das vom Prozessor wie ein aus dem Speicher gelesener Befehl ausgeführt wird. Meist wird das ein Kurzuruf (Restart-RST) sein, da so mit nur einem Befehlsbyte eines von 8 möglichen Unterbrechungsbehandlungsprogrammen aufgerufen werden kann. Nach dem Rücksetzen des Prozessors ist dieser Modus gesetzt.

IM1

Beim Unterbrechungsannahmezyklus wird der Datenbusinhalt ignoriert, der Programmzähler wird wie bei CALL/RST im Kellerspeicher (Stack) abgespeichert, anschließend wird die Adresse 38H angesprungen (dort muß das Unterbrechungsbehandlungsprogramm beginnen).

IM2

Bei diesem leistungsfähigsten Modus führt der Prozessor mit Hilfe eines vom unterbrechenden Gerät gelieferten 8-Bit-Wertes (Unterbrechungsvektor) einen indirekten Unterprogrammaufruf zu einer beliebigen Speicheradresse aus. Der Programmierer hat im Speicher eine Tabelle mit den Startadressen der Unterbrechungsbehandlungsprogramme bereitzustellen. Bei der Unterbrechungsannahme wird ein Zeiger gebildet, dessen höherwertige 8 Bits vom Inhalt des Registers I und niederwertigen 8 Bits von dem vom unterbrechenden Gerät gelieferten Wert gebildet werden. Dieser Zeiger weist auf den niederwertigen Teil der Startadresse in der Tabelle der Startadressen der Unterbrechungsbehandlungsprogramme. Der nächste (nächsthöhere) Speicherplatz der Tabelle enthält den höherwertigen Teil der Startadresse. Zu beachten ist, daß das niederwertigste Bit des Zeigers und damit des vom unterbrechenden Gerät gelieferten 8-Bit-Wertes Null sein muß:



Außerdem wird vor Eintritt in das Behandlungsprogramm der alte Programmzähler im Kellerspeicher abgelegt.

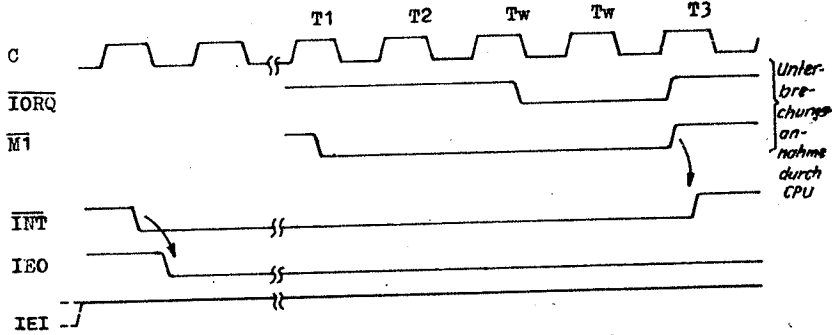
CPU U880D Unterbrechungsverarbeitung

Die peripheren Bausteine der Schaltkreisfamilie (U855D, U856D, U857D) sind vorrangig zur Arbeit in der leistungsfähigsten Unterbrechungsbetriebsart IM2 der CPU U880D vorgesehen.

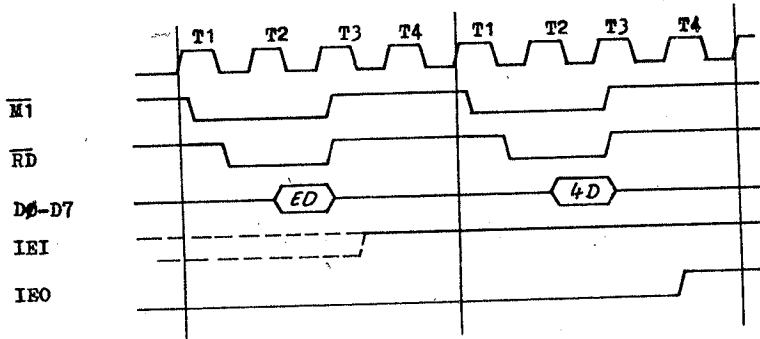
Außerdem enthalten sie eine Logik zur Koordination bei gleichzeitig auftretenden Unterbrechungswünschen aus verschiedenen Quellen. Diese Logik gestattet eine Behandlung von Unterbrechungen in der Reihenfolge ihrer (beim Systementwurf festzulegenden) Dringlichkeiten (Prioritäten). Sie wird realisiert durch eine Kettenschaltung aller unterbrechungserzeugenden Bausteine (Daisy chain) bezüglich eines Unterbrechungsfreigabesignals (IEI bzw. IEO). Der Unterbrechungsfreigabeeingang (IEI) des am höchsten priorisierten Bausteins wird mit 1-Pegel (+5V) verbunden, d.h. der Baustein kann zu jeder Zeit Unterbrechungen anmelden. Wenn dieser Baustein eine Unterbrechung anmeldet, legt er seinem Unterbrechungsfreigabeeingang (IEO) auf 0-Pegel. Alle folgenden Bausteine in der Kette schalten diesen 0-Pegel von IEI zu IEO durch mit dem Ergebnis, daß an den Unterbrechungsfreigabeeingängen (IEI) aller restlichen Bausteine 0-Pegel liegt und ihre Unterbrechungen dadurch gesperrt sind.

Um während eines Unterbrechungs-Annahmezyklus der CPU diese Prioritätskette in einem eindeutigen Zustand zu halten, ändern die Bausteine ihren Unterbrechungszustand nicht mehr, wenn $\overline{M1}$ aktiv wird. Wenn anschließend \overline{IORQ} aktiv wird, hat genau ein Baustein in der Kette IEI=1 und IEO=0. Dieser legt dann seinen Unterbrechungsvektor auf den Datenbus und veranlaßt damit seine Behandlung. Nach dieser Unterbrechungsannahme versetzt der betreffende periphere Baustein seine Unterbrechungsanmeldung \overline{INT} wieder in den inaktiven Zustand.

CPU U880D Unterbrechungsverarbeitung

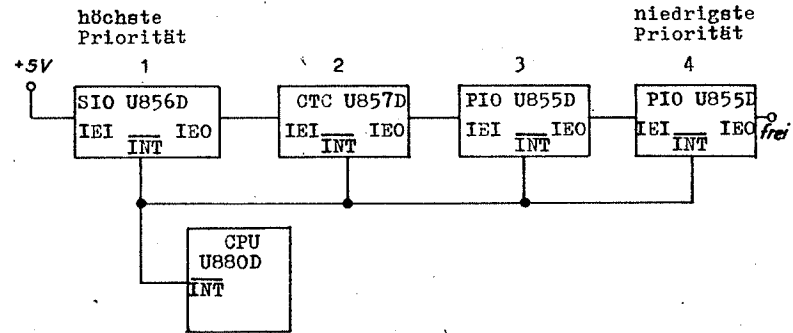


Am Ende einer Unterbrechungsbehandlung muß die Unterbrechung für niedriger priorisierte Bausteine wieder freigegeben werden, das geschieht dadurch, daß der in Behandlung befindliche Baustein (erkennbar an IEI=1 und IEO=0 den Befehl RETI (ED4D) dekodiert und daraufhin seinen Unterbrechungsfreigabeausgang wieder auf 1 setzt. Damit werden Unterbrechungen durch niedriger priorisierte Bausteine wieder gestattet.



CPU U880D Unterbrechungsverarbeitung

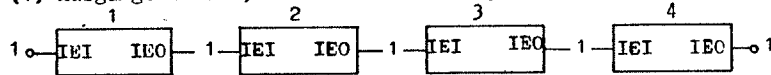
Das folgende Bild zeigt ein Beispiel für die Anordnung der Bausteine:



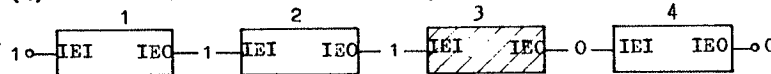
Ein möglicher Ablauf ist der, daß zuerst der Baustein 3 eine Unterbrechung auslöst und die CPU mit deren Behandlung begonnen und erneute Unterbrechungen wieder erlaubt hat. Zu diesem Zeitpunkt meldet der höher priorisierte Baustein 1 eine Unterbrechung an. Die Behandlung des Bausteins 3 wird dadurch unterbrochen, der Baustein 1 wird behandelt, bis ein RETI-Befehl das Ende von dessen Unterbrechungsbehandlungsprogramm anzeigt. Daraufhin kann das den Baustein 3 behandelnde Programm weitergeführt werden, bis dessen abschließendes RETI das Behandlungsende anzeigt. Das folgende Bild zeigt die Arbeit der Prioritätskette bei dem beschriebenen Ablauf:

CPU US80D Unterbrechungsverarbeitung

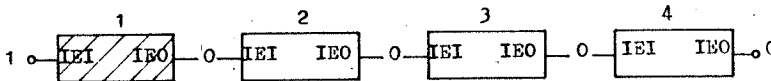
(1) Ausgangszustand, keine Unterbrechung wirksam



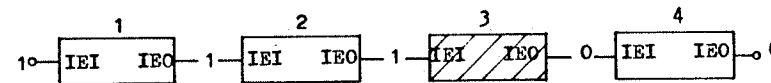
(2) Baustein 3 meldet Unterbrechung an und wird behandelt



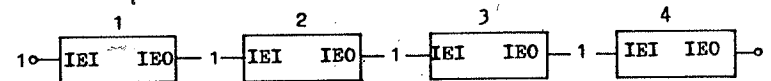
(3) Baustein 1 meldet ebenfalls eine Unterbrechung an und unterbricht damit die Bedienung von Baustein 3



(3) Die Bedienung von Baustein 1 endet mit RETI, die Behandlung des Bausteins 3 wird wieder aufgenommen



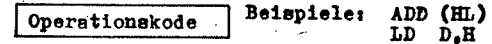
(4) Die Behandlung des Bausteins 3 endet mit RETI, es steht keine Unterbrechung mehr an



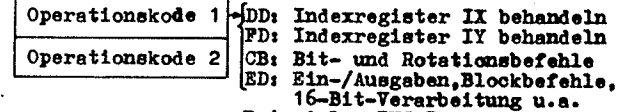
Da sowohl bei der Unterbrechungsannahme als auch beim RETI-Befehl nur eine begrenzte Zeit zur Verfügung steht, ist die Anzahl der Bausteine in der Kette begrenzt. Für mehr als 4 zu verkettende Bausteine ist eine externe Logik zur Beschleunigung des Kettendurchlaufs erforderlich, diese muß sowohl für die Unterbrechungsannahme als auch bei der Ausführung des RETI-Befehls wirksam sein.

CPU US80D Befehlsformate

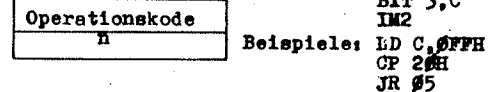
• 1-Byte-Befehle



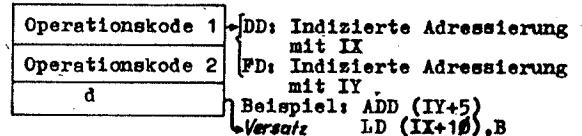
• 2-Byte-Befehle



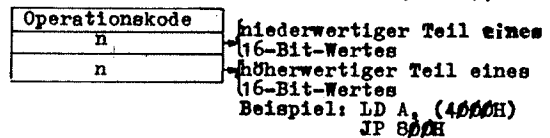
oder



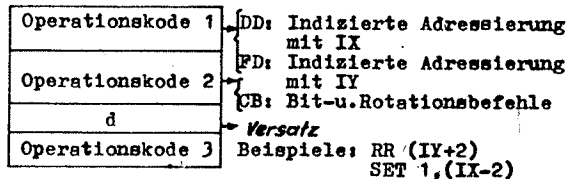
• 3-Byte-Befehle



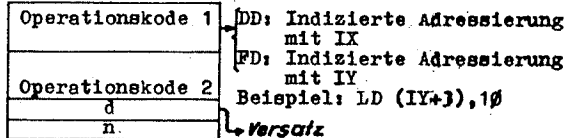
oder



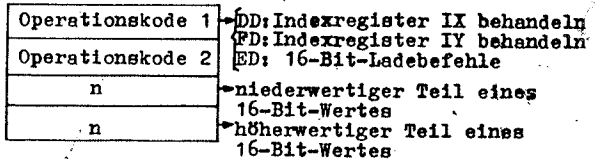
4-Byte-Befehle



oder



oder



Beispiele: LD IX,500
LD (1000H),DE

CPU U880 Befehle, binär

Es folgt die nach Befehlsgruppen geordnete Befehlsliste mit binärer Kodierung, Flagbeeinflussung, Taktzyklenangabe, Funktionssymbolik

Erläuterung der verwendeten Symbolik:

r, r₁, r₂ 8-Bit-Register: A, B, C, D, E, H, L
 dd 16-Bit-Register: BC, DE, HL, SP
 qq 16-Bit-Register: BC, DE, HL, AF
 rr 16-Bit-Register: BC, DE, IX, SP
 ss 16-Bit-Register: BC, DE, IY, SP
 cc Bedingungskode: NZ ungleich Null
 Z gleich Null
 NC kein Übertrag
 C Übertrag
 PO ungerade Parität bzw. kein Überlauf
 PE gerade Parität bzw. Überlauf
 P positiv (Bit 7=0)
 N negativ (Bit 7=1)

H, L als Index höherwertiger bzw. niederwertiger Teil eines 16-Bit-Registers

n 8-Bit-Wert: 0...255
 nn 16-Bit-Wert: 0...65535
 d 8-Bit-Abstandswert bei indizierter Adressierung (IX, IY) in Zweierkomplementdarstellung: -128...+127
 e 8-Bit-Abstandswert bei relativen Sprüngen in Zweierkomplementdarstellung: -126...+129

Achtung: Im Operationskode ist e-2 einzusetzen, da PC vor der Addition mit e bereits intern um 2 erhöht wurde.

p Kurzrufadresse (00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H)

s_b Bit eines Registers oder einer Speicherstelle:
 b = 0, 1, 2, 3, 4, 5, 6, 7

() Ausdruck zwischen den Klammern stellt einen Zeiger (Adresse) auf eine Speicherstelle oder E/A-Port dar
 Anm.: Statt (HL) kann auch M stehen

CPU U880D Befehle, binär

Erläuterungen zum Flagsatz

Flag Bedeutung

CY Übertrag: CY=1, wenn Operation einen Übertrag erzeugt bzw. bei Verschiebeop. eine 1 herausgeschoben wurde
 Z Null: Z=1, wenn Ergebnis einer Operation gleich Null, bei Blocksuchbefehlen: Übereinstimmung gefunden
 S Vorzeichen: S=1, wenn beim Ergebnis einer Operation Bit7=1
 P/V Parität: P=1, wenn bei logischen Operationen gerade Parität (Anzahl der 1-Bits)
 Überlauf: V=1, wenn bei arithmetischen Operationen in der Zweierkomplementdarstellung der zulässige Bereich -128...+127 verlassen wurde
 bei Blocktransfer- und Blocksuchbefehlen:
 P/V=1, wenn BC noch nicht Null ist
 bei LD A,I/LD A,R: P/V=-IFF2 (Unterbrechungserlaubnis-Flipflop)
 H Halbbyte-Übertrag: H=1, wenn Übertrag vom niederwertigen in das höherwertige Halbbyte auftritt
 N Addition/Subtraktion: N=1, wenn vorangegangene Operation eine Subtraktion war

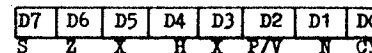
Symbolik der Flagbeeinflussung

! Flag wird entsprechend dem Ergebnis der Operation gestellt
 . Flag wird durch die Operation nicht beeinflusst
 0 Flag wird durch die Operation gelöscht
 1 Flag wird durch die Operation gesetzt
 x Flag unbestimmt

Besonderheiten:

a P/V-Flag:=0, wenn BC Null erreicht hat, sonst P/V:=1
 b Z-Flag:=1, wenn A= (HL), sonst P/V:=1
 c Z-Flag:=1, wenn B Null erreicht hat, sonst Z:=0

Aufbau des Flag-Bytes:



X - D3 und D5 enthalten keine Flagbedeutung

Assembler- sprache	symbolische Operation	Flags CY Z P/V S N H	Op.-Kode 76 543 210	Tak- te	Bemerkungen
8 - Bit - Ladebefehle					
LD R ₁ , R ₂	R ₁ :=R ₂	01 r ₁ r ₂	4	R ₁ , R ₂ Register
LD R, n	R:=n	00 r 110	7	
LD R, (HL)	R:=(HL)	01 r 110	7	B C D E H L A
LD R, (IX+d)	R:=(IX+d)	11 011 101 01 r 110	19	
LD R, (IY+d)	R:=(IY+d)	11 111 101 01 r 110	19	
LD (HL), R	(HL):=R	01 110 r	7	
LD (IX+d), R	(IX+d):=R	11 011 101 01 110 r	19	
LD (IY+d), R	(IY+d):=R	11 111 101 01 110 r	19	
LD (HL), n	(HL):=n	00 110 110	10	
LD (IX+d), n	(IX+d):=n	11 011 101 00 110 110	19	
LD (IY+d), n	(IY+d):=n	11 111 101 00 110 110	19	
LD A, (BC)	A:=(BC)	00 001 010	7	
LD A, (DE)	A:=(DE)	00 011 010	7	
LD A, (nn)	A:=(nn)	00 111 010	13	
LD (BC), A	(BC):=A	00 000 010	7	
LD (DE), A	(DE):=A	00 010 010	7	
LD (nn), A	(nn):=A	00 110 010	13	
LD A, I	A:=I	. † IFF † 00	11-101 101 01 010 111	9	
LD A, R	A:=R	. † IFF † 00	11 101 101 01 011 111	9	
LD I, A	I:=A	11 101 101 01 000 111	9	
LD R, A	R:=A	11 101 101 01 001 111	9	

Assembler- sprache	symbolische Operation	Flags CY Z P/V S N H	Op.-Kode 76 543 210	Tak- te	Bemerkungen
16-Bit-Ladebefehle					
LD dd, nn	dd:=nn	00 dd0 001 - n - - n -	10	dd Register
LD IX, nn	IX:=nn	11 011 101 00 100 001 - n - - n -	14	00 BC 01 DE 10 HL 11 SP
LD IY, nn	IY:=nn	11 111 101 00 100 001 - n - - n -	14	
LD HL, (nn)	H:=(nn+1) L:=(nn)	00 101 010 - n - - n -	16	
LD dd, (nn)	dd _H :=(nn+1) dd _L :=(nn)	11 101 101 01 dd1 011 - n - - n -	20	
LD IX, (nn)	IX _H :=(nn+1) IX _L :=(nn)	11 011 101 00 101 010 - n - - n -	20	
LD IY, (nn)	IY _H :=(nn+1) IY _L :=(nn)	11 111 101 00 101 010 - n - - n -	20	
LD (nn), HL	(nn+1):=H (nn):=L	00 100 010 - n - - n -	16	
LD (nn), dd	(nn+1):=dd _H (nn):=dd _L	11 101 101 01 dd0 011 - n - - n -	20	
LD (nn), IX	(nn+1):=IX _H (nn):=IX _L	11 011 101 00 100 010 - n - - n -	20	
LD (nn), IY	(nn+1):=IY _H (nn):=IY _L	11 111 101 00 100 010 - n - - n -	20	
LD SP, HL	SP:=HL	11 111 001	6	
LD SP, IX	SP:=IX	11 011 101 11 111 001	10	
LD SP, IY	SP:=IY	11 111 101 11 111 001	10	

Assembler- sprache	symbolische Operation	Flags					Op.-Kode			Takte	Bemerkungen
		CY	Z	P/V	S	N	H	76	543		
PUSH qq	(SP-2):=qqL (SP-1):=qqH SP:=SP-2	11	qq0	101	11	qq Register
PUSH IX	(SP-2):=IXL (SP-1):=IXH SP:=SP-2	11	011	101	15	00 01 BC DE
PUSH IY	(SP-2):=IYL (SP-1):=IYH SP:=SP-2	11	111	101	15	10 11 HL AF
POP qq	qqL:=(SP) qqH:=(SP+1) SP:=SP+2	11	qq0	001	10	
POP IX	IXL:=(SP) IXH:=(SP+1) SP:=SP+2	11	011	101	14	
POP IY	IYL:=(SP) IYH:=(SP+1) SP:=SP+2	11	111	101	14	

Bit testen, setzen, rücksetzen

Assembler- sprache	symbolische Operation	Flags					Op.-Kode			Takte	Bemerkungen
		CY	Z	P/V	S	N	H	76	543		
BIT b, r	Z:= \bar{r}_b	11	001	011	8	r Register
BIT b, (HL)	Z:=(HL) _b	11	001	011	12	000 B 001 C 010 D
BIT b, (IX+d)	Z:=(IX+d) _b	11	011	101	20	011 E 100 H 101 L 111 A
BIT b, (IY+d)	Z:=(IY+d) _b	11	111	101	20	b Bit
SET b, r	r _b :=1	11	001	011	8	000 0 001 1 010 2 011 3
SET b, (HL)	(HL) _b :=1	11	001	011	15	100 4 101 5 110 6 111 7
SET b, (IX+d)	(IX+d) _b :=1	11	011	101	23	
SET b, (IY+d)	(IY+d) _b :=1	11	111	101	23	
RES b, s	S _b :=0 S=r, (HL) (IX+d), (IY+d)	11	001	011	10	Zur Bildung des Op.-Kodes 11 in SET durch 10 ersetzen, Flags und Zeiten wie bei SET

Assembler- sprache	symbolische Operation	Flags					Op.-Kode			Takte	Bemerkungen
		CY	Z	P/V	S	N	H	76	543		
Austausch-, Blocktransfer- und Blocksuchbefehle											
EX DE, HL	DE ↔ HL	11	101	011	4	Vertauschung der Register- sätze
EX AF	AF ↔ AF'	00	001	000	4	
EXX	BC ↔ BC' DE ↔ DE' HL ↔ HL'	11	011	001	4	
EX (SP), HL	H ↔ (SP+1) L ↔ (SP)	11	100	011	19	
EX (SP), IX	IX _H ↔ (SP+1) IX _L ↔ (SP)	11	011	101	23	
EX (SP), IY	IY _H ↔ (SP+1) IY _L ↔ (SP)	11	111	101	23	
LDI	(DE):=(HL) DE:=DE+1 HL:=HL+1 BC:=BC-1	.	x	!	a	x	0	0	0	16	
LDIR	(DE):=(HL) DE:=DE+1 HL:=HL+1 BC:=BC-1 Wiederholung bis BC=0	.	x	0	x	0	0	0	0	21	wenn BC≠0 wenn BC=0
LDD	(DE):=(HL) DE:=DE-1 HL:=HL-1 BC:=BC-1	.	x	!	a	x	0	0	0	16	
LDDR	(DE):=(HL) DE:=DE-1 HL:=HL-1 BC:=BC-1 Wiederholung bis BC=0	.	x	0	x	0	0	0	0	21	wenn BC≠0 wenn BC=0
CPI	A - (HL) HL:=HL+1 BC:=BC-1	.	!	b	!	a	!	!	!	16	
CPID	A - (HL) HL:=HL+1 BC:=BC-1 Wiederholung bis BC=0 oder A=(HL)	.	!	b	!	a	!	!	!	21	wenn BC≠0 wenn BC=0
CPDR	A - (HL) HL:=HL-1 BC:=BC-1 Wiederholung bis BC=0 oder A=(HL)	.	!	b	!	a	!	!	!	16	wenn BC≠0 wenn BC=0

CPU U880D Befehle, binär

Assembler- sprache	symbolische Operation	Flags CY Z P/V S N H	Op.-Kode 76 543 210	Tak- te	Bemerkungen
8-Bit-Arithmetik und Logik					
ADD r	A:=A+r	V O	10 000 r	4	r Register
ADD n	A:=+n	V O	11 000 110 - n -	7	000 B 001 C 010 D 011 E 100 H 101 L 111 A
ADD (HL)	A:=A+(HL)	V O	10 000 110	7	
ADD (IX+d)	A:=A+(IX+d)	V O	11 011 101 10 000 110 - d -	19	
ADD (IY+d)	A:=A+(IY+d)	V O	11 111 101 10 000 110 - d -	19	
ADC s	A:=A+s+CY	V O	001		s ist r,n, (HL) (IX+d) oder (IY+d) wie bei ADD.
SUB s	A:=A-s	V 1	010		umrandete Bits ersetzen 000 in ADD
SBC s	A:=A-s-CY	V 1	011		
AND s	A:=A&s	P 0 1	100		
OR s	A:=A s	P 0 0	110		
XOR s	A:=A^s	P 0 0	101		
CMP s	A - s	V 1	111		
INC r	r:= r+1	V O	00 r 100	4	
INC (HL)	(HL):=(HL)+1	V O	00 110 100	11	
INC (IX+d)	(IX+d) :=(IX+d)+1	V O	11 011 101 00 110 100 - d -	23	
INC (IY+d)	(IY+d) :=(IY+d)+1	V O	11 111 101 00 110 100 - d -	23	
DEC t	t:=t-1	V 1	101		t ist r,(HL) (IX+d) oder (IY+d) wie bei INC. 100 durch 101 im Op.- kode ersetzen

CPU U880D Befehle, binär

Assembler- sprache	Symbolische Operation	Flags CY Z P/V S N H	Op.-Kode 76 543 210	Tak- te	Bemerkungen
Allgemeine Arithmetik und ZVE-Steuerbefehle					
DAS	Korrektur von A nach Add./ Sub.gepackter BCD-Zahlen	P	00 100 111	4	
CPL	A:=Ā 1 1	00 101 111	4	bitweise Negation Einerkomplement
NEG	A:=Ā+1	V 1	11 101 101 01 000 100	8	Zweierkomple- ment
CCF	CY:=ĀCY	. . . 0 X	00 111 111	4	Komplement des Übertrags-Flags
SCF	CY:=1	1 0 0	00 110 111	4	Setzen des Übertrags-Flags
NOP	keine Op.	00 000 000	4	
HALT	ZVE in HALT	01 110 110	4	
DI	IFF:=0	11 110 011	4	Int sperren
EI	IFF:=1	11 111 011	4	Int erlauben
IMO	Setzen Int.- Mode 0	11 101 101 01 000 110	8	
IM1	Setzen Int.- Mode 1	11 101 101 01 010 110	8	
IM2	Setzen Int.- Mode 2	11 101 101 01 011 110	8	
16-Bit-Arithmetik					
ADD HL,dd	HL:=HL+dd 0 x	00 dd1 001	11	dd Register
ADC HL,dd	HL:=HL+dd+CY	V 0 x	11 101 101 01 dd1 010	15	00 BC 01 DE 10 HL 11 SP
SBC HL,dd	HL:=HL-dd-CY	V 1 x	11 101 101 01 dd0 010	15	
ADD IX,rr	IX:=IX+rr 0 x	11 011 101 00rr1 001	15	rr Register
ADD IY,ss	IY:= IY+ss 0 x	11 111 101 00 ss1 001	15	00 BC 01 DE 10 IX 11 SP
INC dd	dd:=dd+1	00 dd0 011	6	
INC IX	IX:= IX+1	11 011 101 00 100 011	10	
INC IY	IY:= IY+1	11 111 101 00 100 011	10	
DEC dd	dd:=dd-1	00 dd1 011	6	
DEC IX	IX:=IX-1	11 011 101 00 101 011	10	
DEC IY	IY:=IY-1	11 111 101 00 101 011	10	

Assembler- sprache	Symbolische Operation	Flags					Op.-Kode 76 543 210	Tak- te	Bemerkungen
		CY	Z	P	V	S NH			
Verschiebe- und Rotationsbefehle									
RLCA		↑	.	.	.	0	00 000 111	4	
RLA		↑	.	.	.	0	00 010 111	4	
RRCA		↑	.	.	.	0	00 001 111	4	
RRA		↑	.	.	.	0	00 011 111	4	
RLC r		↑	↑	P	↓	0	11 001 011 00 000 r	8	r Register
RLC (HL)		↑	↑	P	↓	0	11 001 011 00 000 110	15	
RLC (IX+d)		↑	↑	P	↓	0	11 011 101 11 001 011 - d - 00 000 110	23	
RLC (IY+d)		↑	↑	P	↓	0	11 111 101 11 001 011 - d - 00 000 110	23	
RL t			↑	↑	P	↓	0	010	
RRC t		↑	↑	P	↓	0	001		
RR t		↑	↑	P	↓	0	011		
SLA t		↑	↑	P	↓	0	100		
SRA t		↑	↑	P	↓	0	101		
SRL t		↑	↑	P	↓	0	111		
RLD		.	↑	P	↓	0	11 101 101 01 101 111	18	Verschiebung um eine Dezimalstelle zwischen A und (HL) obere Hälfte von unbeeinflusst
RRD		.	↑	P	↓	0	11 101 101 01 100 111	18	

Assembler- sprache	Symbolische Operation	Flags					Op.-Kode 76 543 210	Tak- te	Bemerkungen	
		CY	Z	P	V	S NH			cc	Beding.
Sprünge, Unterprogrammaufrufe, Rücksprünge										
JMP nn	PC:=nn	11 000 011 - n - - n -	10	000 NZ nicht Null 001 Z Null 010 NC kein Über. 011 C Übertr. 100 PO ungerade 101 PE gerade 110 P positiv 111 M negativ	
JPe	wenn cc erfüllt dann PC:=nn	11 cc 010 - n - - n -	10		
JR e	PC:=PC+e	00 011 000 - e-2 -	12		
JRC e	wenn CY=1, dann PC:=PC+e	00 111 000 - e-2 -	7 12	Beding. nicht erf. Beding. erfüllt	
JRNC e	wenn CY=0, dann PC:=PC+e	00 110 000 - e-2 -	7 12	Beding. nicht erf. Beding. erfüllt	
JRZ e	wenn Z=1, dann PC:=PC+e	00 101 000 - e-2 -	7 12	Beding. nicht erf. Beding. erfüllt	
JRNZ e	wenn Z=0, dann PC:=PC+e	00 100 000 - e-2 -	7 12	Beding. nicht erf. Beding. erfüllt	
JMP (HL)	PC:=HL	11 101 001	4		
JMP (IX)	PC:=IX	11 011 101 11 101 001	8		
JMP (IY)	PC:=IY	11 111 101 11 101 001	8		
DJNZ e	B:=B-1 wenn B=0, dann PC:=PC+e	00 010 000 - e-2 -	8 13	wenn B = 0 wenn B = 1	
CALL nn	(SP-1):=PC _H (SP-2):=PC _L PC:=nn SP:=SP-2	11 001 101 - n - - n -	17		
CAoc nn	wenn cc erfüllt, dann wie CALLnn	11 cc 100 - n - - n -	10 17	wenn cc nicht erfüllt wenn cc erfüllt	
RET	PC _L :=(SP) PC _H :=(SP+1) SP:=SP+2	11 001 001	10		
Rec	wenn cc erfüllt, dann wie RET	11 cc 000	5 11	wenn cc nicht erfüllt wenn cc erfüllt	
RETI	Rücksprung von Interrupt	11 101 101 01 001 101	14		
RETN	Rücksprung vom nicht maskierbaren Interrupt	11 101 101 01 000 101	14		
RST p	(SP-1):=PC _H (SP-2):=PC _L PC:=P SP:=SP-2	11 u 111	11		

Assembler- sprache	Symbolische Operation	Flags CY Z P/V S N H	Op.-Kode 76 543 210	Tak- te	Bemerkungen
Ein- und Ausgabebefehle					
IN n	A := (n)	11 011 011 - n -	11	bei IN n: n an A0-A17
IN r	r := (C)	. † P † O †	11 101 101 01 r 000	12	A an A8-A15
INF	Flags stellen entsprechend (C)	. † P † O †	11 101 101 01 110 000	12	sonst: C an A0-A17 B an A8-A15
INI	(HL) := (C) B := B-1 HL := HL+1	. † x x 1 x	11 101 101 10 100 010	16	
INIR	(HL) := (C) B := B-1 HL := HL+1 Wiederholung bis B=0	. 1 x x 1 x	11 101 101 10 110 010	21 16	wenn B ≠ 0 wenn B = 0
IND	(HL) := (C) B := B-1 HL := HL-1	. † x x 1 x	11 101 101 10 101 010	16	
INDR	(HL) := (C) B := B-1 HL := HL-1 Wiederholung bis B=0	. † x x 1 x	11 101 101 10 111 010	21 16	wenn B ≠ 0 wenn B = 0
OUT n	(n) := A	11 010 011 - n -	11	bei OUT n: n an A0-A17
OUT r	(C) := r	11 101 101 01 r 001	12	A an A8-A15 sonst: C an A0-A17 B an A8-A15
OUTI	(C) := (HL) B := B-1 HL := HL+1	. † x x 1 x	11 101 101 10 100 011	16	
OTIR	(C) := (HL) B := B-1 HL := HL+1 Wiederholung bis B=0	. 1 x x 1 x	11 101 101 10 110 011	21 16	wenn B ≠ 0 wenn B = 0
OUTD	(C) := (HL) B := B-1 HL := HL-1	. † x x 1 x	11 101 101 10 101 011	16	
OTDR	(C) := (HL) B := B-1 HL := HL-1 Wiederholung bis B=0	. 1 x x 1 x	11 101 101 10 111 011	21 16	wenn B ≠ 0 wenn B = 0

Erläuterungen zu den Befehlslisten Hex.-Assembler, Assembler-Hex.:

nn Bytekonstante
vv Verschiebekonstante
hh höherwertiger Teil einer 16-Bit-Konstante
ll niederwertiger Teil einer 16-Bit-Konstante

Anordnung nach alphabetischer Reihenfolge der Assemblerbefehle

8E	ADC	(HL)	A5	AND	L	CB61	BIT	4,C
DD8E vv	ADC	(IX+d)	EBnn	AND	n	CB62	BIT	4,D
FD8E vv	ADC	(IY+d)	CB46	BIT	0,(HL)	CB63	BIT	4,E
8F	ADC	A	DDCBvv46	BIT	0,(IX+d)	CB64	BIT	4,H
88	ADC	B	FDCBvv46	BIT	0,(IY+d)	CB65	BIT	4,L
89	ADC	C	CB47	BIT	0,A	CB6E	BIT	5,(HL)
8A	ADC	D	CB48	BIT	0,B	DDCBvv6E	BIT	5,(IX+d)
8B	ADC	E	CB41	BIT	0,C	FDCBvv6E	BIT	5,(IY+d)
8C	ADC	H	CB42	BIT	0,D	CB6F	BIT	5,A
8D	ADC	L	CB43	BIT	0,E	CB68	BIT	5,B
CE nn	ADC	n	CB44	BIT	0,H	CB69	BIT	5,C
ED4A	ADC	HL,BC	CB45	BIT	0,L	CB6A	BIT	5,D
ED5A	ADC	HL,DE	CB4E	BIT	1,(HL)	CB6B	BIT	5,E
ED6A	ADC	HL,HL	DDCBvv4E	BIT	1,(IX+d)	CB6C	BIT	5,H
ED7A	ADC	HL,SP	FDCBvv4E	BIT	1,(IY+d)	CB6D	BIT	5,L
86	ADD	(HL)	CB4F	BIT	1,A	CB76	BIT	6,(HL)
DD86 vv	ADD	(IX+d)	CB48	BIT	1,B	DDCBvv76	BIT	6,(IX+d)
FD86 vv	ADD	(IY+d)	CB49	BIT	1,C	FDCBvv76	BIT	6,(IY+d)
87	ADD	A	CB4A	BIT	1,D	CB77	BIT	6,A
88	ADD	B	CB48	BIT	1,E	CB78	BIT	6,B
81	ADD	C	CB4C	BIT	1,H	CB71	BIT	6,C
82	ADD	D	CB4D	BIT	1,L	CB72	BIT	6,D
83	ADD	E	CB56	BIT	2,(HL)	CB73	BIT	6,E
84	ADD	H	DDCBvv56	BIT	2,(IX+d)	CB74	BIT	6,H
85	ADD	L	FDCBvv56	BIT	2,(IY+d)	CB75	BIT	6,L
C6 nn	ADD	n	CB57	BIT	2,A	CB7E	BIT	7,(HL)
89	ADD	HL,BC	CB58	BIT	2,B	DDCBvv7E	BIT	7,(IX+d)
19	ADD	HL,DE	CB51	BIT	2,C	FDCBvv7E	BIT	7,(IY+d)
29	ADD	HL,HL	CB52	BIT	2,D	CB7F	BIT	7,A
39	ADD	HL,SP	CB53	BIT	2,E	CB78	BIT	7,B
DD89	ADD	IX,BC	CB54	BIT	2,H	CB79	BIT	7,C
DD19	ADD	IX,DE	CB55	BIT	2,L	CB7A	BIT	7,D
DD29	ADD	IX,IX	CB5E	BIT	3,(HL)	CB7B	BIT	7,E
DD39	ADD	IX,SP	DDCBvv5E	BIT	3,(IX+d)	CB7C	BIT	7,H
FD89	ADD	IY,BC	FDCBvv5E	BIT	3,(IY+d)	CB7D	BIT	7,L
FD19	ADD	IY,DE	CB5F	BIT	3,A	DCllhh	CAC	nn
FQ29	ADD	IY,IY	CB58	BIT	3,B	CDllhh	CALL	nn
FQ39	ADD	IY,SP	CB59	BIT	3,C	FCllhh	CAM	nn
A6	AND	(HL)	CB5A	BIT	3,D	D+llhh	CANC	nn
DDA6 vv	AND	(IX+d)	CB5B	BIT	3,E	C4llhh	CANZ	nn
FDA6 vv	AND	(IY+d)	CB5C	BIT	3,H	F4llhh	CAP	nn
A7	AND	A	CB5D	BIT	3,L	ECllhh	CAPE	nn
A8	AND	B	CB66	BIT	4,(HL)	E4llhh	CAPO	nn
A1	AND	C	DDCBvv66	BIT	4,(IX+d)	CCllhh	CAZ	nn
A2	AND	D	FDCBvv66	BIT	4,(IY+d)	3F	CCF	
A3	AND	E	CB67	BIT	4,A	BE	CMP (HL)	
A4	AND	H	CB68	BIT	4,B	DDBEvv	CMP (IX+d)	

FD8E vv	CHP (IX+d)	34	INC (HL)	DD74 vv	LD (IX+d),H
BF	CMP A	DD34 vv	INC (IX+d)	DD75 vv	LD (IX+d),L
B8	CMP B	FD34 vv	INC (IX+d)	DD36 vv nn	LD (IX+d),n
B9	CMP C	3C	INC A	FD77 vv	LD (IX+d),A
BA	CMP D	04	INC B	FD77 vv	LD (IX+d),B
BB	CMP E	03	INC BC	FD71 vv	LD (IX+d),C
BC	CMP H	0C	INC C	FD72 vv	LD (IX+d),D
BD	CMP L	14	INC D	FD73 vv	LD (IX+d),E
FE nn	CMP n	13	INC DE	FD74 vv	LD (IX+d),H
EDA9	CPD	1C	INC E	FD75 vv	LD (IX+d),L
EDB9	CPDR	24	INC H	FD36 vv nn	LD (IX+d),n
EDA1	CPI	23	INC HL	32 ll hh	LD (nn),A
EDB1	CPIR	DD23	INC IX	ED43 ll hh	LD (nn),BC
2F	CPL	FD23	INC IY	ED53 ll hh	LD (nn),DE
27	DAS	2C	INC L	22 ll hh	LD (nn),HL
35	DEC (HL)	33	INC SP	DD22 ll hh	LD (nn),IX
DD35 vv	DEC (IX+d)	EDAA	IND	FD22 ll hh	LD (nn),IY
FD35 vv	DEC (IX+d)	EDBA	INDR	ED73 ll hh	LD (nn),SP
3D	DEC A	EDA2	INI	0A	LD A, (BC)
05	DEC B	EDB2	INIR	1A	LD A, (DE)
0B	DEC BC	E9	JMP (HL)	7E	LD A, (HL)
0D	DEC C	DDE9	JMP (IX)	DD7E vv	LD A, (IX+d)
15	DEC D	FDE9	JMP (IY)	FD7E vv	LD A, (IX+d)
1B	DEC DE	C3 ll hh	JMP nn	3A ll hh	LD A, (nn)
1D	DEC E	DA ll hh	JPC nn	7F	LD A, A
25	DEC H	FA ll hh	JPM nn	78	LD A, B
2B	DEC HL	D2 ll hh	JPNC nn	79	LD A, C
DD2B	DEC IX	C2 ll hh	JPNZ nn	7A	LD A, D
FD2B	DEC IY	F2 ll hh	JPP nn	7B	LD A, E
2D	DEC L	EA ll hh	JPPE nn	7C	LD A, H
3B	DEC SP	E2 ll hh	JPPD nn	ED57	LD A, I
F3	DI	CA ll hh	JPZ nn	7D	LD A, L
14 vv	DJNZ e	38 vv	JRC e	3E nn	LD A, n
FB	EI	18 vv	JR e	ED5F	LD A, R
E3	EX (SP),HL	30 vv	JRNC e	46	LD B, (HL)
DDE3	EX (SP),IX	20 vv	JRNZ e	DD46 vv	LD B, (IX+d)
FDE3	EX (SP),IY	28 vv	JRZ e	FD46 vv	LD B, (IX+d)
08	EXAF	02	LD (BC),A	47	LD B, A
EB	EX DE,HL	12	LD (DE),A	40	LD B, B
D9	EXX	77	LD (HL),A	41	LD B, C
76	HALT	70	LD (HL),B	42	LD B, D
ED46	IM0	71	LD (HL),C	43	LD B, E
ED56	IM1	72	LD (HL),D	44	LD B, H
ED5E	IM2	73	LD (HL),E	45	LD B, L
ED78	IN A	74	LD (HL),H	06 nn	LD B, n
ED44	IN B	75	LD (HL),L	ED4B ll hh	LD BC, (nn)
ED48	IN C	36 nn	LD (HL),n	01 ll hh	LD BC, nn
ED54	IN D	DD77 vv	LD (IX+d),A	4E	LD C, (HL)
ED58	IN E	DD77 vv	LD (IX+d),B	DD4E vv	LD C, (IX+d)
ED74	INF	DD71 vv	LD (IX+d),C	FD4E vv	LD C, (IX+d)
ED64	IN H	DD72 vv	LD (IX+d),D	4F	LD C, A
ED68	IN L	DD73 vv	LD (IX+d),E	48	LD C, B
DB nn	IN n				

49	LD C, C	6F	LD L, A	D5	PUSH DE
4A	LD C, D	68	LD L, B	E5	PUSH HL
4B	LD C, E	69	LD L, C	DD65	PUSH IX
4C	LD C, H	6A	LD L, D	FDE5	PUSH IY
4D	LD C, L	6B	LD L, E	D6	RC
0E nn	LD C, n	6C	LD L, H	CB86	RES 0, (HL)
56	LD D, (HL)	6D	LD L, L	DDCB vv 86	RES 0, (IX+d)
DD56 vv	LD D, (IX+d)	2E nn	LD L, n	FDCB vv 86	RES 0, (IX+d)
FD56 vv	LD D, (IX+d)	ED4F	LD R, A	CB87	RES 0, A
57	LD D, A	ED7B ll hh	LD SP, (nn)	CB80	RES 0, B
50	LD D, B	F9	LD SP, HL	CB81	RES 0, C
51	LD D, C	DDF9	LD SP, IX	CB82	RES 0, D
52	LD D, D	FDF9	LD SP, IY	CB83	RES 0, E
53	LD D, E	31 ll hh	LD SP, nn	CB84	RES 0, H
54	LD D, H	EDA8	LDD	CB85	RES 0, L
55	LD D, L	ED88	LDDR	CB8E	RES 1, (HL)
76 nn	LD D, n	EDA4	LOI	DDCB vv 8E	RES 1, (IX+d)
ED58 ll hh	LD DE, (nn)	EDB4	LDIR	FDCB vv 8E	RES 1, (IX+d)
71 ll hh	LD DE, nn	ED44	NEG	CB8F	RES 1, A
5E	LD E, (HL)	00	NOP	CB88	RES 1, B
DD5E vv	LD E, (IX+d)	86	OR (HL)	CB89	RES 1, C
FD5E vv	LD E, (IX+d)	DD86 vv	OR (IX+d)	CB8A	RES 1, D
5F	LD E, A	FDB6 vv	OR (IX+d)	CB8B	RES 1, E
58	LD E, B	87	OR A	CB8C	RES 1, H
59	LD E, C	80	OR B	CB8D	RES 1, L
5A	LD E, D	81	OR C	CB96	RES 2, (HL)
5B	LD E, E	82	OR D	DDCB vv 96	RES 2, (IX+d)
5C	LD E, H	83	OR E	FDCB vv 96	RES 2, (IX+d)
5D	LD E, L	84	OR H	CB97	RES 2, A
1E nn	LD E, n	85	OR L	CB90	RES 2, B
66	LD H, (HL)	F6 nn	OR n	CB91	RES 2, C
DD66 vv	LD H, (IX+d)	ED88	OTDR	CB92	RES 2, D
FD66 vv	LD H, (IX+d)	EDB3	OTIR	CB93	RES 2, E
67	LD H, A	ED79	OUT A	CB94	RES 2, H
60	LD H, B	ED41	OUT B	CB95	RES 2, L
61	LD H, C	ED49	OUT C	CB9E	RES 3, (HL)
62	LD H, D	EDAB	OUT D	DDCB vv 9E	RES 3, (IX+d)
63	LD H, E	ED51	OUT D	FDCB vv 9E	RES 3, (IX+d)
64	LD H, H	ED59	OUT E	CB9F	RES 3, A
65	LD H, L	ED61	OUT H	CB98	RES 3, B
26 nn	LD H, n	EDA3	OUT I	CB99	RES 3, C
2A ll hh	LD HL, (nn)	ED69	OUT L	CB9A	RES 3, D
21 ll hh	LD HL, nn	D3 nn	OUT n	CB9B	RES 3, E
ED47	LD I, A	F1	POP AF	CB9C	RES 3, H
DD2A ll hh	LD IX, (nn)	C1	POP BC	CB9D	RES 3, L
DD21 ll hh	LD IX, nn	D1	POP DE	CBA6	RES 4, (HL)
FD2A ll hh	LD IY, (nn)	E1	POP HL	DDCB vv A6	RES 4, (IX+d)
FD21 ll hh	LD IY, nn	DDE1	POP IX	FDCB vv A6	RES 4, (IX+d)
6E	LD L, (HL)	FDE1	POP IY	CBA7	RES 4, A
DD6E vv	LD L, (IX+d)	F5	PUSH AF	CBA0	RES 4, B
FD6E vv	LD L, (IX+d)	C5	PUSH BC	CBA1	RES 4, C

CB A2	RES	4,D	CBφ7	RLC	A	9B	SBC	E
CB A3	RES	4,E	CBφφ	RLC	B	9C	SBC	H
CB A4	RES	4,H	CBφ1	RLC	C	ED42	SBC	HL, BC
CB A5	RES	4,L	CBφ2	RLC	D	ED52	SBC	HL, DE
CB AE	RES	5,(HL)	CBφ3	RLC	E	ED62	SBC	HL, HL
DDCBvvAE	RES	5,(IX+d)	CBφ4	RLC	H	ED72	SBC	HL, SP
FDCBvvAE	RES	5,(IY+d)	CBφ5	RLC	L	9D	SBC	L
CBAF	RES	5,A	ED6F	RLD		DE nn	SBC	n
CBA8	RES	5,B	F8	RM		37	SCF	
CBA9	RES	5,C	Dφ	RNC		CBC6	SET	φ,(HL)
CBAA	RES	5,D	Cφ	RNZ		DDCBvvC6	SET	φ,(IX+d)
CBAB	RES	5,E	Fφ	RP		FDCBvvC6	SET	φ,(IY+d)
CBAC	RES	5,H	E8	RPE		CBC7	SET	φ,A
CBAD	RES	5,L	Eφ	RPO		CBCφ	SET	φ,B
CB86	RES	6,(HL)	CB1E	RR	(HL)	CBC1	SET	φ,C
DDCBvvB6	RES	6,(IX+d)	DDCBv1E	RR	(IX+d)	CBC2	SET	φ,D
FDCBvvB6	RES	6,(IY+d)	FDCBv1E	RR	(IY+d)	CBC3	SET	φ,E
CB87	RES	6,A	1F	RRA		CBC4	SET	φ,H
CB8φ	RES	6,B	CB1F	RR	A	CBC5	SET	φ,L
CB81	RES	6,C	CB18	RR	B	CBC6	SET	φ,L
CB82	RES	6,D	CB19	RR	C	CBCE	SET	7,(HL)
CB83	RES	6,E	CB1A	RR	D	DDCBvvCE	SET	7,(IX+d)
CB84	RES	6,H	CB1B	RR	E	FDCBvvCE	SET	7,(IY+d)
CB85	RES	6,L	CB1C	RR	H	CBCF	SET	1,A
CB8E	RES	7,(HL)	CB1D	RR	L	CBC8	SET	1,B
DDCBvvBE	RES	7,(IX+d)	CBφE	RRC	(HL)	CBC9	SET	1,C
FDCBvvBE	RES	7,(IY+d)	DDCBvvφE	RRC	(IX+d)	CBCA	SET	1,D
CB8F	RES	7,A	FDCBvvφE	RRC	(IY+d)	CBCB	SET	1,E
CB88	RES	7,B	φF	RRCA		CBCC	SET	1,H
CB89	RES	7,C	CBφF	RRC	A	CBCD	SET	1,L
CB8A	RES	7,D	CBφ8	RRC	B	CB06	SET	2,(HL)
CB8B	RES	7,E	CBφ9	RRC	C	DDCBvvD6	SET	2,(IX+d)
CB8C	RES	7,H	CBφA	RRC	D	FDCBvvD6	SET	2,(IY+d)
CB8D	RES	7,L	CBφB	RRC	E	CB07	SET	2,A
C9	RET		CBφC	RRC	H	CB0φ	SET	2,B
ED4D	RETI		CBφD	RRC	L	CB01	SET	2,C
ED45	RETN		ED67	RRD		CB02	SET	2,D
CB16	RL	(HL)	C7	RST	φφH	CB03	SET	2,E
DDCBvv16	RL	(IX+d)	CF	RST	φ8H	CB04	SET	2,H
FDCBvv16	RL	(IY+d)	D7	RST	7φH	CB05	SET	2,L
17	RLA		DF	RST	78H	CBDE	SET	3,(HL)
CB17	RL	A	E7	RST	24H	DDCBvvDE	SET	3,(IX+d)
CB1φ	RL	B	EF	RST	28H	FDCBvvDE	SET	3,(IY+d)
CB11	RL	C	F7	RST	3φH	CB0F	SET	3,A
CB12	RL	D	FF	RST	38H	CB08	SET	3,B
CB13	RL	E	C8	RZ		CB09	SET	3,C
CB14	RL	H	9E	SBC	(HL)	CBDA	SET	3,D
CB15	RL	L	DD9Evv	SBC	(IX+d)	CBDB	SET	3,E
CBφ6	RLC	(HL)	FD9Evv	SBC	(IY+d)	CBDC	SET	3,H
DDCBvvφ6	RLC	(IX+d)	9F	SBC	A	CBDD	SET	3,L
FDCBvvφ6	RLC	(IY+d)	98	SBC	B	CBE6	SET	4,(HL)
φ7	RLCA		99	SBC	C	DDCBvvE6	SET	4,(IX+d)
			9A	SBC	D	FDCBvvE6	SET	4,(IY+d)

CBE7	SET	4,A	CB29	SRA	C
CBEφ	SET	4,B	CB2A	SRA	D
CBE1	SET	4,C	CB2B	SRA	E
CBE2	SET	4,D	CB2C	SRA	H
CBE3	SET	4,E	CB2D	SRA	L
CBE4	SET	4,H	CB3E	SRL	(HL)
CBE5	SET	4,L	DDCBvv3E	SRL	(IX+d)
CBE6	SET	5,(HL)	FDCBvv3E	SRL	(IY+d)
DDCBvvEE	SET	5,(IX+d)	CB3F	SRL	A
FDCBvvEE	SET	5,(IY+d)	CB38	SRL	B
CBEF	SET	5,A	CB39	SRL	C
CBE8	SET	5,B	CB3A	SRL	D
CBE9	SET	5,C	CB3B	SRL	E
CBEA	SET	5,D	CB3C	SRL	H
CBEB	SET	5,E	CB3D	SRL	L
CBEc	SET	5,H	96	SUB	(HL)
CBED	SET	5,L	DD96vv	SUB	(IX+d)
CBF6	SET	6,(HL)	FD96vv	SUB	(IY+d)
DDCBvvF6	SET	6,(IX+d)	97	SUB	A
FDCBvvF6	SET	6,(IY+d)	9φ	SUB	B
CBF7	SET	6,A	91	SUB	C
CBFφ	SET	6,B	92	SUB	D
CBF1	SET	6,C	93	SUB	E
CBF2	SET	6,D	94	SUB	H
CBF3	SET	6,E	95	SUB	L
CBF4	SET	6,H	D6 nn	SUB	n
CBF5	SET	6,L	AE	XOR	(HL)
CBFE	SET	7,(HL)	DDAEvv	XOR	(IX+d)
DDCBvvFE	SET	7,(IX+d)	FDAEvv	XOR	(IY+d)
FDCBvvFE	SET	7,(IY+d)	AF	XOR	A
CBFF	SET	7,A	A8	XOR	B
CBF8	SET	7,B	A9	XOR	C
CBF9	SET	7,C	AA	XOR	D
CBFA	SET	7,D	AB	XOR	E
CBFB	SET	7,E	AC	XOR	H
CBFC	SET	7,H	AD	XOR	L
CBFD	SET	7,L	EE nn	XOR	n
CB26	SLA	(HL)			
DDCBvv26	SLA	(IX+d)			
FDCBvv26	SLA	(IY+d)			
CB27	SLA	A			
CB2φ	SLA	B			
CB21	SLA	C			
CB22	SLA	D			
CB23	SLA	E			
CB24	SLA	H			
CB25	SLA	L			
CB2E	SRA	(HL)			
DDCBvv2E	SRA	(IX+d)			
FDCBvv2E	SRA	(IY+d)			
CB2F	SRA	A			
CB28	SRA	B			

Anordnung nach aufsteigenden Operationskodes

00	NOP	33	INC	SP	66	LD	H, (HL)
01 (lhh)	LD BC, nn	34	INC	(HL)	67	LD	H, A
02	LD (BC), A	35	DEC	(HL)	68	LD	L, B
03	INC BC	36 nn	LD	(HL), n	69	LD	L, C
04	INC B	37	SCF		6A	LD	L, D
05	DEC B	38 vv	JRC	e	6B	LD	L, E
06 nn	LD B, n	39	ADD	HL, SP	6C	LD	L, H
07	RLCA	3A (lhh)	LD	A, (nn)	6D	LD	L, L
08	EXAF	3B	DEC	SP	6E	LD	L, (HL)
09	ADD HL, BC	3C	INC	A	6F	LD	L, A
0A	LD A, (BC)	3D	DEC	A	70	LD	(HL), B
0B	DEC BC	3E nn	LD	A, n	71	LD	(HL), C
0C	INC C	3F	CCF		72	LD	(HL), D
0D	DEC C	40	LD	B, B	73	LD	(HL), E
0E nn	LD C, n	41	LD	B, C	74	LD	(HL), H
0F	RRCA	42	LD	B, D	75	LD	(HL), L
10 vv	DJNZ e	43	LD	B, E	76	HALT	
11 (lhh)	LD DE, nn	44	LD	B, H	77	LD	(HL), A
12	LD (DE), A	45	LD	B, L	78	LD	A, B
13	INC DE	46	LD	B, (HL)	79	LD	A, C
14	INC D	47	LD	B, A	7A	LD	A, D
15	DEC D	48	LD	C, B	7B	LD	A, E
16 nn	LD D, n	49	LD	C, C	7C	LD	A, H
17	RLA	4A	LD	C, D	7D	LD	A, L
18 vv	JR e	4B	LD	C, E	7E	LD	A, (HL)
19	ADD HL, DE	4C	LD	C, H	7F	LD	A, A
1A	LD A, (DE)	4D	LD	C, L	80	ADD	B
1B	DEC DE	4E	LD	C, (HL)	81	ADD	C
1C	INC E	4F	LD	C, A	82	ADD	D
1D	DEC E	50	LD	D, B	83	ADD	E
1E nn	LD E, n	51	LD	D, C	84	ADD	H
1F	RRA	52	LD	D, D	85	ADD	L
20 vv	JRNZ e	53	LD	D, E	86	ADD	(HL)
21 (lhh)	LD HL, nn	54	LD	D, H	87	ADD	A
22 (lhh)	LD (nn), HL	55	LD	D, L	88	ADC	B
23	INC HL	56	LD	D, (HL)	89	ADC	C
24	INC H	57	LD	D, A	8A	ADC	D
25	DEC H	58	LD	E, B	8B	ADC	E
26 nn	LD H, n	59	LD	E, C	8C	ADC	H
27	DAS	5A	LD	E, D	8D	ADC	L
28 vv	JRZ e	5B	LD	E, E	8E	ADC	(HL)
29	ADD HL, HL	5C	LD	E, H	8F	ADC	A
2A (lhh)	LD HL, (nn)	5D	LD	E, L	90	SUB	B
2B	DEC HL	5E	LD	E, (HL)	91	SUB	C
2C	INC L	5F	LD	E, A	92	SUB	D
2D	DEC L	60	LD	H, B	93	SUB	E
2E nn	LD L, n	61	LD	H, C	94	SUB	H
2F	CPL	62	LD	H, D	95	SUB	L
30 vv	JRNC e	63	LD	H, E	96	SUB	(HL)
31 (lhh)	LD SP, nn	64	LD	H, H	97	SUB	A
32 (lhh)	LD (nn), A	65	LD	H, L	98	SBC	B

99	SBC	C	CB00	RLC	B	CB3B	SRL	E
9A	SBC	D	CB01	RLC	C	CB3C	SRL	H
9B	SBC	E	CB02	RLC	D	CB3D	SRL	L
9C	SBC	H	CB03	RLC	E	CB3E	SRL	(HL)
9D	SBC	L	CB04	RLC	H	CB3F	SRL	A
9E	SBC	(HL)	CB05	RLC	L	CB40	BIT	0, B
9F	SBC	A	CB06	RLC	(HL)	CB41	BIT	0, C
A0	AND	B	CB07	RLC	A	CB42	BIT	0, D
A1	AND	C	CB08	RRC	B	CB43	BIT	0, E
A2	AND	D	CB09	RRC	C	CB44	BIT	0, H
A3	AND	E	CB0A	RRC	D	CB45	BIT	0, L
A4	AND	H	CB0B	RRC	E	CB46	BIT	0, (HL)
A5	AND	L	CB0C	RRC	H	CB47	BIT	0, A
A6	AND	(HL)	CB0D	RRC	L	CB48	BIT	1, B
A7	AND	A	CB0E	RRC	(HL)	CB49	BIT	1, C
A8	XOR	B	CB0F	RRC	A	CB4A	BIT	1, D
A9	XOR	C	CB10	RL	B	CB4B	BIT	1, E
AA	XOR	D	CB11	RL	C	CB4C	BIT	1, H
AB	XOR	E	CB12	RL	D	CB4D	BIT	1, L
AC	XOR	H	CB13	RL	E	CB4E	BIT	1, (HL)
AD	XOR	L	CB14	RL	H	CB4F	BIT	1, A
AE	XOR	(HL)	CB15	RL	L	CB50	BIT	2, B
AF	XOR	A	CB16	RL	(HL)	CB51	BIT	2, C
B0	OR	B	CB17	RL	A	CB52	BIT	2, D
B1	OR	C	CB18	RR	B	CB53	BIT	2, E
B2	OR	D	CB19	RR	C	CB54	BIT	2, H
B3	OR	E	CB1A	RR	D	CB55	BIT	2, L
B4	OR	H	CB1B	RR	E	CB56	BIT	2, (HL)
B5	OR	L	CB1C	RR	H	CB57	BIT	2, A
B6	OR	(HL)	CB1D	RR	L	CB58	BIT	3, B
B7	OR	A	CB1E	RR	(HL)	CB59	BIT	3, C
B8	CMP	B	CB1F	RR	A	CB5A	BIT	3, D
B9	CMP	C	CB20	SLA	B	CB5B	BIT	3, E
BA	CMP	D	CB21	SLA	C	CB5C	BIT	3, H
BB	CMP	E	CB22	SLA	D	CB5D	BIT	3, L
BC	CMP	H	CB23	SLA	E	CB5E	BIT	3, (HL)
BD	CMP	L	CB24	SLA	H	CB5F	BIT	3, A
BE	CMP	(HL)	CB25	SLA	L	CB60	BIT	4, B
BF	CMP	A	CB26	SLA	(HL)	CB61	BIT	4, C
C0	RNZ		CB27	SLA	A	CB62	BIT	4, D
C1	POP	BC	CB28	SRA	B	CB63	BIT	4, E
C2 (lhh)	JPNZ	nn	CB29	SRA	C	CB64	BIT	4, H
C3 (lhh)	JMP	nn	CB2A	SRA	D	CB65	BIT	4, L
C4 (lhh)	CANZ	nn	CB2B	SRA	E	CB66	BIT	4, (HL)
C5	PUSH	BC	CB2C	SRA	H	CB67	BIT	4, A
C6 nn	ADD	n	CB2D	SRA	L	CB68	BIT	5, B
C7	RST	00H	CB2E	SRA	(HL)	CB69	BIT	5, C
C8	RZ		CB2F	SRA	A	CB6A	BIT	5, D
C9	RET		CB30	SRL	B	CB6B	BIT	5, E
CA (lhh)	JPZ	nn	CB31	SRL	C	CB6C	BIT	5, H
			CB32	SRL	D	CB6D	BIT	5, L

CB6E	BIT	5, (HL)	CB A1	RES	4, C	CB D4	SET	2, H
CB6F	BIT	5, A	CB A2	RES	4, D	CB D5	SET	2, L
CB70	BIT	6, B	CB A3	RES	4, E	CB D6	SET	2, (HL)
CB71	BIT	6, C	CB A4	RES	4, H	CB D7	SET	2, A
CB72	BIT	6, D	CB A5	RES	4, L	CB D8	SET	3, B
CB73	BIT	6, E	CB A6	RES	4, (HL)	CB D9	SET	3, C
CB74	BIT	6, H	CB A7	RES	4, A	CB DA	SET	3, D
CB75	BIT	6, L	CB A8	RES	5, B	CB DB	SET	3, E
CB76	BIT	6, (HL)	CB A9	RES	5, C	CB DC	SET	3, H
CB77	BIT	6, A	CB AA	RES	5, D	CB DD	SET	3, L
CB78	BIT	7, B	CB AB	RES	5, E	CB DE	SET	3, (HL)
CB79	BIT	7, C	CB AC	RES	5, H	CB DF	SET	3, A
CB7A	BIT	7, D	CB AD	RES	5, L	CB E0	SET	4, B
CB7B	BIT	7, E	CB AE	RES	5, (HL)	CB E1	SET	4, C
CB7C	BIT	7, H	CB AF	RES	5, A	CB E2	SET	4, D
CB7D	BIT	7, L	CB B0	RES	6, B	CB E3	SET	4, E
CB7E	BIT	7, (HL)	CB B1	RES	6, C	CB E4	SET	4, H
CB7F	BIT	7, A	CB B2	RES	6, D	CB E5	SET	4, L
CB80	RES	φ, B	CB B3	RES	6, E	CB E6	SET	4, (HL)
CB81	RES	φ, C	CB B4	RES	6, H	CB E7	SET	4, A
CB82	RES	φ, D	CB B5	RES	6, L	CB E8	SET	5, B
CB83	RES	φ, E	CB B6	RES	6, (HL)	CB E9	SET	5, C
CB84	RES	φ, H	CB B7	RES	6, A	CB EA	SET	5, D
CB85	RES	φ, L	CB B8	RES	7, B	CB EB	SET	5, E
CB86	RES	φ, (HL)	CB B9	RES	7, C	CB EC	SET	5, H
CB87	RES	φ, A	CB BA	RES	7, D	CB ED	SET	5, L
CB88	RES	1, B	CB BB	RES	7, E	CB EE	SET	5, (HL)
CB89	RES	1, C	CB BC	RES	7, H	CB EF	SET	5, A
CB8A	RES	1, D	CB BD	RES	7, L	CB F0	SET	6, B
CB8B	RES	1, E	CB BE	RES	7, (HL)	CB F1	SET	6, C
CB8C	RES	1, H	CB BF	RES	7, A	CB F2	SET	6, D
CB8D	RES	1, L	CB C0	SET	φ, B	CB F3	SET	6, E
CB8E	RES	1, (HL)	CB C1	SET	φ, C	CB F4	SET	6, H
CB8F	RES	1, A	CB C2	SET	φ, D	CB F5	SET	6, L
CB90	RES	2, B	CB C3	SET	φ, E	CB F6	SET	6, (HL)
CB91	RES	2, C	CB C4	SET	φ, H	CB F7	SET	6, A
CB92	RES	2, D	CB C5	SET	φ, L	CB F8	SET	7, B
CB93	RES	2, E	CB C6	SET	φ, (HL)	CB F9	SET	7, C
CB94	RES	2, H	CB C7	SET	φ, A	CB FA	SET	7, D
CB95	RES	2, L	CB C8	SET	1, B	CB FB	SET	7, E
CB96	RES	2, (HL)	CB C9	SET	1, C	CB FC	SET	7, H
CB97	RES	2, A	CB CA	SET	1, D	CB FD	SET	7, L
CB98	RES	3, B	CB CB	SET	1, E	CB FE	SET	7, (HL)
CB99	RES	3, C	CB CC	SET	1, H	CB FF	SET	7, A
CB9A	RES	3, D	CB CD	SET	1, L	CC Uhh	CAZ	nn
CB9B	RES	3, E	CB CE	SET	1, (HL)	CD Uhh	CALL	nn
CB9C	RES	3, H	CB CF	SET	1, A	CE nn	ADC	n
CB9D	RES	3, L	CB D0	SET	2, B	CF	RST	φ8H
CB9E	RES	3, (HL)	CB D1	SET	2, C	D φ	RNC	
CB9F	RES	3, A	CB D2	SET	2, D	D1	POP	DE
CB A0	RES	4, B	CB D3	SET	2, E	D2 Uhh	JPNC	nn

D3 nn	OUT	n	DDCB vv 46	BIT	φ, (IX+d)	ED47	LD	I, A
D4 Uhh	CAN	nn	DDCB vv 4E	BIT	1, (IX+d)	ED48	IN	C
D5	PUSH	DE	DDCB vv 56	BIT	2, (IX+d)	ED49	OUT	C
D6 nn	SUB	n	DDCB vv 5E	BIT	3, (IX+d)	ED4A	ADC	HL, BC
D7	RST	1φH	DDCB vv 66	BIT	4, (IX+d)	ED4B Uhh	LD	BC, (nn)
D8	RC		DDCB vv 6E	BIT	5, (IX+d)	ED4D	RETI	
D9	EXX		DDCB vv 76	BIT	6, (IX+d)	ED4F	LD	R, A
DA Uhh	JPC	nn	DDCB vv 7E	BIT	7, (IX+d)	ED5 φ	IN	D
DB nn	IN	n	DDCB vv 8E	RES	φ, (IX+d)	ED51	OUT	D
DC Uhh	CAC	nn	DDCB vv 8E	RES	1, (IX+d)	ED52	SBC	HL, DE
DD φ9	ADD	IX, BC	DDCB vv 96	RES	2, (IX+d)	ED53 Uhh	LD	(nn), DE
DD19	ADD	IX, DE	DDCB vv 9E	RES	3, (IX+d)	ED56	IN	I
DD21 Uhh	LD	IX, nn	DDCB vv A6	RES	4, (IX+d)	ED57	LD	A, I
DD22 Uhh	LD	(nn), IX	DDCB vv AE	RES	5, (IX+d)	ED58	IN	E
DD23	INC	IX	DDCB vv B6	RES	6, (IX+d)	ED59	OUT	E
DD29	ADD	IX, IX	DDCB vv BE	RES	7, (IX+d)	ED5A	ADC	HL, DE
DD2A Uhh	LD	IX, (nn)	DDCB vv C6	SET	0, (IX+d)	ED5B Uhh	LD	DE, (nn)
DD2B	DEC	IX	DDCB vv CE	SET	1, (IX+d)	ED5E	IN	I
DD B4 vv	INC	(IX+d)	DDCB vv D6	SET	2, (IX+d)	ED5F	LD	A, R
DD35 vv	DEC	(IX+d)	DDCB vv DE	SET	3, (IX+d)	ED6 φ	IN	H
DD36 vv nn	LD	(IX+d), n	DDCB vv E6	SET	4, (IX+d)	ED61	OUT	H
DD39	ADD	IX, SP	DDCB vv EE	SET	5, (IX+d)	ED62	SBC	HL, HL
DD46 vv	LD	B, (IX+d)	DDCB vv FE	SET	6, (IX+d)	ED67	RRD	
DD4E vv	LD	C, (IX+d)	DDE1	POP	IX	ED68	IN	L
DD5E vv	LD	E, (IX+d)	DDE3	EX	(SP), IX	ED69	OUT	L
DD66 vv	LD	H, (IX+d)	DDE5	PUSH	IX	ED6A	ADC	HL, HL
DD6E vv	LD	L, (IX+d)	DDE9	JMP	(IX)	ED6F	RLD	
DD70 vv	LD	(IX+d), B	DDF9	LD	SP, IX	ED7 φ	INF	
DD71 vv	LD	(IX+d), C	DE nn	SBC	n	ED72	SBC	HL, SP
DD72 vv	LD	(IX+d), D	DF	RST	18H	ED73 Uhh	LD	(nn), SP
DD73 vv	LD	(IX+d), E	E φ	RPO		ED78	IN	A
DD74 vv	LD	(IX+d), H	E1	POP	HL	ED79	OUT	A
DD75 vv	LD	(IX+d), L	E2 Uhh	JPP nn		ED7A	ADC	HL, SP
DD77 vv	LD	(IX+d), A	E3	EX	(SP), HL	ED7B Uhh	LD	SP, (nn)
DD7E vv	LD	A, (IX+d)	E4 Uhh	CAPO	nn	EDA φ	LD	I
DD86 vv	ADD	(IX+d)	E5	PUSH	HL	EDA1	CPI	I
DD8E vv	ADC	(IX+d)	E6 nn	AND	n	EDA2	IN	I
DD96 vv	SUB	(IX+d)	E7	RST	2φH	EDA3	OUT	I
DD9E vv	SBC	(IX+d)	E8	RPE		EDA8	LD	D
DDA6 vv	AND	(IX+d)	E9	JMP	(HL)	EDA9	CPD	
DDAE vv	XOR	(IX+d)	EA Uhh	JPPE	nn	EDAA	IND	
DDB6 vv	OR	(IX+d)	EB	EX	DE, HL	EDAB	OUTD	
DDBE vv	CMF	(IX+d)	EC Uhh	CAPE	nn	EDB φ	LD	IR
DDCB vv φ6	RLC	(IX+d)	ED4 φ	IN	B	EDB1	CPIR	
DDCB vv φE	RRC	(IX+d)	ED47	OUT	B	EDB2	INIR	
DDCB vv16	RL	(IX+d)	ED42	SBC	HL, BC	EDB3	OTDR	
DDCB vv1E	RR	(IX+d)	ED43 Uhh	LD	(nn), BC	EDB8	CPDR	
DDCB vv26	SLA	(IX+d)	ED44	NEG		EDB9	INDR	
DDCB vv2E	SRA	(IX+d)	ED45	RETN		EDBA	INDR	
DDCB vv3E	SRL	(IX+d)	ED46	IN φ		EDBB	OTDR	

EE nn	XOR	n	FDCBvv16	RL	(Y+d)
EF	RST	28H	FDCBvv1E	RR	(Y+d)
Fφ	RP		FDCBvv26	SLA	(Y+d)
F1	POP	AF	FDCBvv2E	SRA	(Y+d)
F2 (hh)	JPP	nn	FDCBvv3E	SRL	(Y+d)
F3	DI		FDCBvv46	BIT	φ, (Y+d)
F4 (hh)	CAP	nn	FDCBvv4E	BIT	1, (Y+d)
F5	PUSH	AF	FDCBvv56	BIT	2, (Y+d)
F6 nn	OR	n	FDCBvv5E	BIT	3, (Y+d)
F7	RST	3φH	FDCBvv66	BIT	4, (Y+d)
F8	RM		FDCBvv6E	BIT	5, (Y+d)
F9	LD	SP,HL	FDCBvv76	BIT	6, (Y+d)
FA (hh)	JPM	nn	FDCBvv7E	BIT	7, (Y+d)
FB	EI		FDCBvv86	RES	φ, (Y+d)
FC (hh)	CAM	nn	FDCBvv8E	RES	1, (Y+d)
FD φ9	ADD	Y, BC	FDCBvv96	RES	2, (Y+d)
FD 19	ADD	Y, DE	FDCBvv9E	RES	3, (Y+d)
FD 21 (hh)	LD	Y, nn	FDCBvvA6	RES	4, (Y+d)
FD 22 (hh)	LD	(nn), Y	FDCBvvAE	RES	5, (Y+d)
FD 23	INC	Y	FDCBvvB6	RES	6, (Y+d)
FD 29	ADD	Y, Y	FDCBvvBE	RES	7, (Y+d)
FD 2A (hh)	LD	Y, (nn)	FDCBvvC6	SET	φ, (Y+d)
FD 2B	DEC	Y	FDCBvvCE	SET	1, (Y+d)
FD 34 vv	INC	(Y+d)	FDCBvvD6	SET	2, (Y+d)
FD 35 vv	DEC	(Y+d)	FDCBvvDE	SET	3, (Y+d)
FD 36 vvnn	LD	(Y+d), n	FDCBvvE6	SET	4, (Y+d)
FD 39	ADD	Y, SP	FDCBvvEE	SET	5, (Y+d)
FD 46 vv	LD	B, (Y+d)	FDCBvvF6	SET	6, (Y+d)
FD 4E vv	LD	C, (Y+d)	FDCBvvFE	SET	7, (Y+d)
FD 5E vv	LD	D, (Y+d)	FDE1	POP	Y
FD 5E vv	LD	E, (Y+d)	FDE3	EX	(SP), Y
FD 66 vv	LD	H, (Y+d)	FDE5	PUSH	Y
FD 6E vv	LD	L, (Y+d)	FDE9	JMP	(Y)
FD 7φ vv	LD	(Y+d), B	FDF9	LD	SP, Y
FD 71 vv	LD	(Y+d), C	FE nn	CMP	n
FD 72 vv	LD	(Y+d), D	FF	RST	38H
FD 73 vv	LD	(Y+d), E			
FD 74 vv	LD	(Y+d), H			
FD 75 vv	LD	(Y+d), L			
FD 77 vv	LD	(Y+d), A			
FD 7E vv	LD	A, (Y+d)			
FD 86 vv	ADD	(Y+d)			
FD 8E vv	ADC	(Y+d)			
FD 96 vv	SUB	(Y+d)			
FD 9E vv	SBC	(Y+d)			
FD A6 vv	AND	(Y+d)			
FDAE vv	XOR	(Y+d)			
FD B6 vv	OR	(Y+d)			
FD BE vv	CMP	(Y+d)			
FDCBvvφ6	RLC	(Y+d)			
FDCBvvφE	RRC	(Y+d)			

8-Bit - Ladebefehle, Arithmetik, Logik										M = (HL)
	B	C	D	E	H	L	M	A	n	
LD B	4φ	41	42	43	44	45	46	47	φ6	
LD C	48	49	4A	4B	4C	4D	4E	4F	φE	
LD D	5φ	51	52	53	54	55	56	57	76	
LD E	58	59	5A	5B	5C	5D	5E	5F	7E	
LD H	6φ	61	62	63	64	65	66	67	26	
LD L	68	69	6A	6B	6C	6D	6E	6F	2E	
LD M	7φ	71	72	73	74	75	76	77	36	
LD A	78	79	7A	7B	7C	7D	7E	7F	3E	
ADD	8φ	81	82	83	84	85	86	87	C6	
ADC	88	89	8A	8B	8C	8D	8E	8F	CE	
SUB	9φ	91	92	93	94	95	96	97	D6	
SBC	98	99	9A	9B	9C	9D	9E	9F	DE	
AND	Aφ	A1	A2	A3	A4	A5	A6	A7	E6	
XOR	A8	A9	AA	AB	AC	AD	AE	AF	EE	
OR	Bφ	B1	B2	B3	B4	B5	B6	B7	F6	
CP	B8	B9	BA	BB	BC	BD	BE	BF	FE	
INC	φC	1C	2C	3C	4C	5C	6C	7C		
DEC	φ5	0D	1D	2D	3D	4D	5D	6D		

x	x	(BC)	(DE)	(nn)	I	R
LD A, x	φA	1A	3A	ED57	ED5F	
LD xx, A	φ2	72	32	ED47	ED4F	

16-Bit - Ladebefehle, Arithmetik					
x	AF	BC	DE	HL	SP
PUSH x	F5	C5	D5	E5	
POP x	F1	C1	D1	E1	
LD x, nn		φ1	11	21	31
LD x, (nn)		ED4B	ED5B	2A	ED7B
LD (nn), x		ED43	ED53	22	EDA3
ADD HL, x		φ9	19	29	39
ADD HL, x		ED4A	ED5A	ED6A	ED7A
SBC HL, x		ED42	ED52	ED62	ED72
INC x		φ3	13	23	33
DEC x		φB	1B	2B	3B

Sprungbefehle, UP-Aufruf und Rückkehr									
ub	c	NC	Z	NZ	PE	PO	M	P	
JP	C9	DA	D2	CA	C2	EA	E2	FA	F2
CALL	Cφ	DC	D4	CC	C4	EC	E4	FC	F4
RET	C9	D8	Dφ	C8	Cφ	E8	Eφ	F8	Fφ
JR	18	38	3φ	28	2φ				
Hex: φ φ8 φ 18 2φ 28 3φ 38									
RST	C7	CF	D7	DF	E7	E7	F7	FF	

ZVE - Steuerung			
NOP	00	1M0	ED46
HALT	76	1M1	ED56
DI	F3	1M2	ED5E
EI	FB		

1.0p-Byte:	
für IX	DD
für IY	FD

1.0p-Byte CB Bit- und Rotationsbefehle													
	B	C	D	E	H	L	M	A					
BIT φ	4φ	41	42	43	44	45	46	47					
1	48	49	4A	4B	4C	4D	4E	4F					
2	5φ	51	52	53	54	55	56	57					
3	58	59	5A	5B	5C	5D	5E	5F					
4	6φ	61	62	63	64	65	66	67					
5	68	69	6A	6B	6C	6D	6E	6F					
6	7φ	71	72	73	74	75	76	77					
7	78	79	7A	7B	7C	7D	7E	7F					
SET φ	Cφ	C1	C2	C3	C4	C5	C6	C7					
1	C8	C9	CA	CB	CC	CD	CE	CF					
2	Dφ	D1	D2	D3	D4	D5	D6	D7					
3	D8	D9	DA	DB	DC	DD	DE	DF					
4	Eφ	E1	E2	E3	E4	E5	E6	E7					
5	E8	E9	EA	EB	EC	ED	EE	EF					
6	Fφ	F1	F2	F3	F4	F5	F6	F7					
7	F8	F9	FA	FB	FC	FD	FE	FF					
RES φ	8φ	81	82	83	84	85	86	87					
1	88	89	8A	8B	8C	8D	8E	8F					
2	9φ	91	92	93	94	95	96	97					
3	98	99	9A	9B	9C	9D	9E	9F					
4	Aφ	A1	A2	A3	A4	A5	A6	A7					
5	A8	A9	AA	AB	AC	AD	AE	AF					
6	Bφ	B1	B2	B3	B4	B5	B6	B7					
7	B8	B9	BA	BB	BC	BD	BE	BF					
RLC	φ0	φ1	φ2	φ3	φ4	φ5	φ6	φ7					
RRC	08	09	0A	0B	0C	0D	0E	0F					
RL	1φ	11	12	13	14	15	16	17					
RR	18	19	1A	1B	1C	1D	1E	1F					
SLA	2φ	21	22	23	24	25	26	27					
SRA	28	29	2A	2B	2C	2D	2E	2F					
SRL	38	39	3A	3B	3C	3D	3E	3F					

spezielle Rot-Befehle			
RLCA	φ7		
RCCA	φF		
RLA	77		
RRA	1F		
RRD	ED67		
RLD	ED6F		

Austauschbefehle u.a.			
EX DE, HL	EB		
EX AF	φB		
EXX	D9		
EX (SP), HL	E3		
LD SP, HL	F9		

1.0p-Byte ED Einf. Ausgabebefehle									
	B	C	D	E	H	L	F	A	
IN	4φ	48	5φ	58	6φ	68	7φ	78	
OUT	47	49	51	59	69	69	79	79	

1.0p-Byte ED Blockbefehle			
LDI	Aφ	INI	A2
LDIR	Bφ	INIR	B2
LDD	AB	IND	AA
LDDR	B8	INDR	BA
CPI	A1	OUTI	A3
CPID	B1	OTIR	B3
CPD	A9	OUTD	AB
CPDR	B9	OTDR	BB

alle Arithmetik	
DAS	27
CCF	3F
SCF	39
CPL	2F
NEG	ED44

CPU U380D elektrische Kennwerte

Grenzwerte

Betriebsspannung, Eingangsspannungen auf U_{SS} (0-Potential) bezogen	-0,5 +7V
Betriebstemperaturbereich	0 +70°C
Lagertemperaturbereich	-55 +125°C
Verlustleistung bei $\bar{J}_a = 25^\circ\text{C}$	$\leq 1,1\text{ W}$

gemeinsame Kenngrößen der Schaltkreisfamilie:

Kenngröße	Zeichen	Min.	Max.	Einheit	Bemerkung
Betriebsspannung	U_{CC}	4,75	5,25	V	
Eingangsspannung	U_{IL}	-0,5	0,8		
	U_{IH}	2	U_{CC}		
Taktingangsspannung	U_{ILC}	-0,5	0,45		
	U_{IHC}	$U_{CC}-0,2$	U_{CC}		
Ausgangsspannung	U_{OL}		0,4		bei $I_{OL} = 1,8\text{ mA}$ bei $I_{OH} = -0,25\text{ mA}$
	U_{OH}	2,4			
Eingangsreststrom Reststrom der tri-state Anschlüsse im Hochohm-Zustand	I_L		10	μA	Betrag! bei $U_I = 0 \dots U_{CC}$

statische Kennwerte und Kapazitäten - CPU

Kenngröße	Zeichen	Min.	Max.	Einheit	Bemerkung
Eingangskapazität	C_I		5	pF	bei $\bar{J}_a = 25^\circ\text{C}$ $f = 0,5 \dots 2\text{ MHz}$
Taktingangskapazität	C_C		50		
Ausgangskapazität	C_O		10		
Stromaufnahme	I_{CC}		200	mA	bei $U_{CC} = 5,25\text{ V}$ $\bar{J}_a = 25^\circ\text{C}$

CPU U380D elektrische Kennwerte

Dynamische Betriebsbedingungen:

Kenngröße	Zeichen	Min.	Max.	Einheit
Takt C	Periode	t_c	400	ns
	Dauer 1-Zustand	$t_w(CH)$	180	
	Dauer 0-Zustand	$t_w(CL)$	180	
	Anstiegs-, Abfallzeit	t_r, t_f	50	
$\overline{\text{WAIT}}$	Bereitstellzeit vor \neg -Takt	$t_s(WT)$	70	
$\overline{\text{RESET}}$	Bereitstellzeit vor \neg -Takt	$t_s(RS)$	90	
$\overline{\text{INT}}$	Bereitstellzeit vor \neg -Takt	$t_s(IT)$	80	
$\overline{\text{NMI}}$	Impulsbreite (0-Zustand)	$t_s(\overline{\text{NMI}})$	80	
$\overline{\text{BUSRQ}}$	Bereitstellzeit vor \neg -Takt	$t_s(BR)$	80	
Daten D ϕ -D7	Bereitstellzeit bis \neg -Takt (M1-Zyklus)	$t_{sc}(D)$	50	
	Bereitstellzeit bis \neg -Takt (außer M1)	$t_{sc}(D)$	60	
alle Nachwirkzeiten	t_H	0		

1) $t_c = t_w(CH) + t_w(CL) + t_r + t_f$

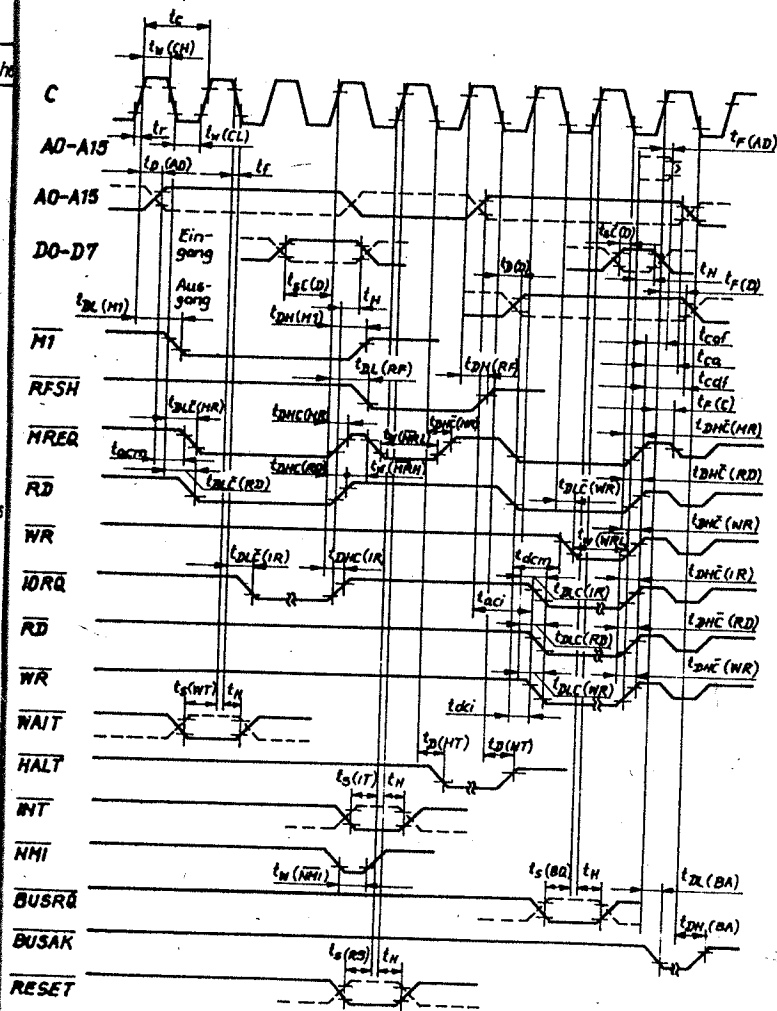
Taktsignalabhängige Zeitbeziehungen (Min):

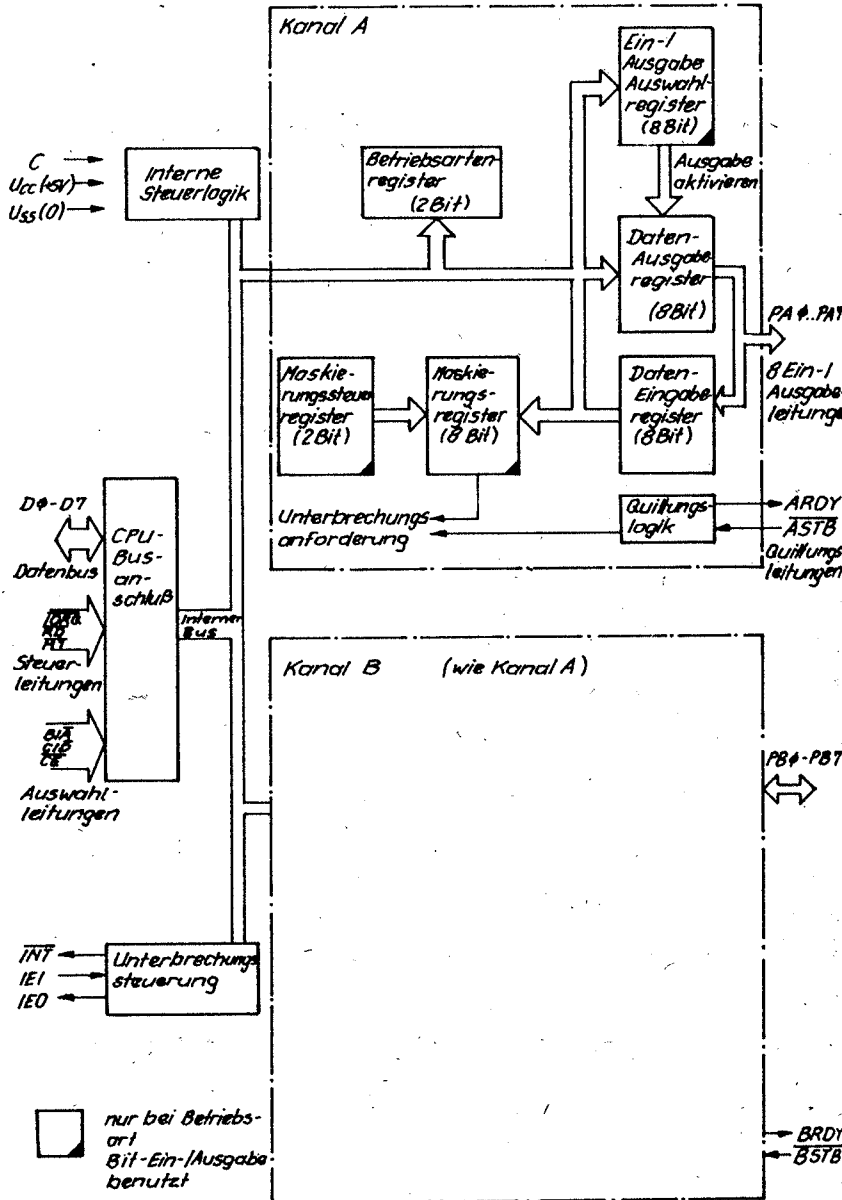
vor $\overline{\text{MREQ}}$ stabil (Speicher-Zyklus)	$t_{acm} = t_w(CH) + t_f - 75\text{ ns}$
vor $\overline{\text{IORB}}, \overline{\text{RD}}$ oder $\overline{\text{WR}}$ stabil (E/A-Zyklus)	$t_{aci} = t_c - 80\text{ ns}$
Adressen A ϕ -A15 nach $\overline{\text{RD}}$ oder $\overline{\text{WR}}$ stabil	$t_{ca} = t_w(CL) + t_r - 40\text{ ns}$
nach $\overline{\text{RD}}$ oder $\overline{\text{WR}}$ stabil (bei Übergang in hochohm. Zustand)	$t_{caf} = t_w(CL) + t_r - 60\text{ ns}$
vor $\overline{\text{WR}}$ stabil (Speicher-Zyklus)	$t_{dcm} = t_c - 180\text{ ns}$
Daten D ϕ -D7 vor $\overline{\text{WR}}$ stabil (E/A-Zyklus)	$t_{dci} = t_w(CL) + t_r - 180\text{ ns}$
nach $\overline{\text{WR}}$ stabil	$t_{cdf} = t_w(CL) + t_r - 50\text{ ns}$
$\overline{\text{MREQ}}$ Impulsbreite 0-Zustand	$t_w(\overline{\text{MRL}}) = t_c - 40\text{ ns}$
Impulsbreite 1-Zustand	$t_w(\overline{\text{MRH}}) = t_w(CH) + t_f - 30\text{ ns}$
$\overline{\text{NR}}$ Impulsbreite 0-Zustand	$t_w(\overline{\text{NRL}}) = t_c - 40\text{ ns}$
M1 vor $\overline{\text{IORB}}$ stabil (Unterbrechungsannahme)	$t_{m1} = 2t_c + t_w(CH) + t_f - 80\text{ ns}$

Verzögerungszeiten :

bei : $U_{CC} = 4,75V$; $U_{IL} = 0,8V$; $U_{IH} = 2V$
 $U_{ILC} = 0,45V$; $U_{IHC} = 4,55V$
 $C_L = 100pF$; $\vartheta_a = 70^\circ C$

Kenngröße	Zeichen	Max.	Einheit
Ausgangsverzögerungszeit	t_D (AD)	160	
Adressen A ϕ -A15 Verzögerung bis hochohm. Zustand	t_F (AD)	110	
Ausgangsverzögerungszeit	t_D (D)	260	
Daten D ϕ -D7 Verzögerung bis hochohm. Zustand	t_F (D)	90	
\overline{HREQ} Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{HREQ}=0$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{HREQ}=1$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{HREQ}=1$	$t_{DL\overline{C}}$ (MR) $t_{DH\overline{C}}$ (MR) $t_{DH\overline{C}}$ (MR)	110 110 110	ns
$\overline{IOR\overline{A}}$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{IOR\overline{A}}=0$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{IOR\overline{A}}=0$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{IOR\overline{A}}=1$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{IOR\overline{A}}=1$	$t_{DL\overline{C}}$ (IR) $t_{DL\overline{E}}$ (IR) t_{DHC} (IR) $t_{DH\overline{C}}$ (IR)	120 110 120 110	
\overline{RD} Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{RD}=0$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{RD}=0$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{RD}=1$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{RD}=1$	$t_{DL\overline{C}}$ (RD) $t_{DL\overline{E}}$ (RD) t_{DHC} (RD) $t_{DH\overline{C}}$ (RD)	110 140 110 120	
\overline{WR} Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{WR}=0$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{WR}=0$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{WR}=1$	$t_{DL\overline{C}}$ (WR) $t_{DL\overline{E}}$ (WR) $t_{DH\overline{C}}$ (WR)	90 100 110	
$\overline{M1}$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{M1}=0$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{M1}=1$	t_{DL} (M1) t_{DH} (M1)	145 145	
\overline{RFSH} Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{RFSH}=0$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{RFSH}=1$	t_{DL} (RF) t_{DH} (RF)	195 160	
\overline{HALT} Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{HALT}=0$	t_{DL} (HT)	310	
\overline{BUSAK} Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{BUSAK}=0$ Verzögerung von $\sqrt{\text{Takt}}$ bis $\overline{BUSAK}=1$	t_{DL} (BA) t_{DH} (BA)	130 120	
$\overline{HREQ}, \overline{IOR\overline{A}}, \overline{RD}, \overline{WR}$ Verzögerung bis hochohm. Zustand	t_F (C)	110	





PIO U855D		PIO U855D	
19	D0	PA0	15
20	D1	PA1	14
1	D2	PA2	13
40	D3	PA3	12
39	D4	PA4	10
38	D5	PA5	9
3	D6	PA6	8
2	D7	PA7	7
		ARDY	18
16	ASTB	PB0	27
17	BSTB	PB1	28
6	B/A	PB2	29
5	C/D	PB3	30
4	CE	PB4	31
37	M1	PB5	32
36	IORQ	PB6	33
35	RD	PB7	34
		BRDY	21
25	C	INT	23
24	IEI	IEO	22

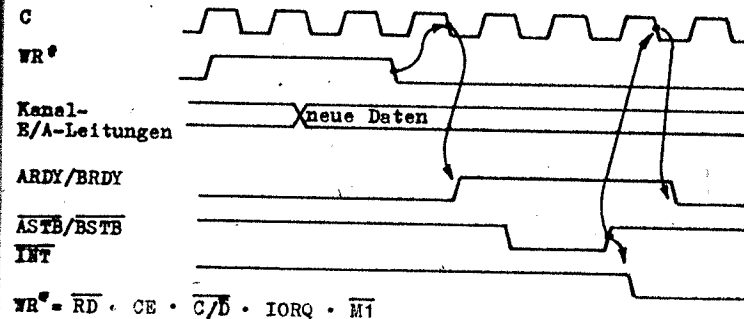
- D0-D7** Ein-/Ausgänge (tri-state) Systemdatenbus
- B/A** Eingang Kanalauswahl, oft mit A1 verbunden
0 - Kanal A
1 - Kanal B
- C/D** Eingang Auswahl Steuerinformationen/Daten (Control/Data), oft mit A0 verbunden
0-Daten
1-Steuerwort
- CE** Eingang Bausteinauswahl, mit E/A-Adressekodierung zu verbinden (Chip Enable)
0-Baustein wird gelesen oder geschrieben
- M1** Eingang Operationscode-Lesezyklus der CPU (Machine Cycle 1)
0-zusammen mit IORQ: Unterbrechungsannahme durch CPU, PIO kann Unterbrechungsvektor auf Datenbus geben (wenn INT von Seiten der PIO angemeldet und Priorität ausreicht)
0- ohne gleichzeitige IORQ oder RD aktiv: Rücksetzen des PIO-Bausteins!
- IORQ** Eingang Ein-/Ausgabeaufforderung der CPU (Input/Output Request)
0 - E/A-Baustein lesen, schreiben oder Unterbrechungsannahme

\overline{RD}	Eingang	Lesesignal (Read) 0 - Lesen von Speicher oder E/A-Bausteinen
\overline{INT}	Ausgang mit offenem Drain	Unterbrechungsanforderung (Interrupt) 0 - PIO meldet eine Unterbrechung an
C	Eingang	Systemtakt (Clock)
IEI	Eingang	Unterbrechungsfreigabe (Interrupt Enable) 1 - kein höher priorisierter Baustein wird gerade bedient
IEO	Ausgang	Unterbrechungsfreigabe (Interrupt Enable Out) 1 - wenn IEI=1 und keine Unterbrechung der PIO gerade behandelt wird
PA \emptyset -PA7 PB \emptyset -PB7	Ein-/Ausgänge (tri-state)	Peripherieanschlüsse von Kanal (Port) A bzw. B
\overline{ASTB} , \overline{BSTB}	Eingänge	Datenübernahmesignal (Strobe) für Kanal A bzw. B bei Ausgabe: $\overline{\square}$ - Peripherie hat Daten abgeholt bei Eingabe: $\overline{\square}$ - Peripherie veranlaßt Datenübernahme in PIO, im Bit-Modus unwirksam Details siehe Funktionsbeschreibung/ Ablaufdiagramme
ARDY, BRDY	Ausgänge	Quittungssignal (Ready) für Kanal A bzw. B bei Ausgabe: 1 - Daten stehen zur Abholung bereit bei Eingabe: 1 - Eingaberegister aufnahmebereit für neue Daten, im Bit-Modus: nicht verwendet (ständig 0) Details siehe Funktionsbeschreibung/ Ablaufdiagramme

Betriebsarten:

Byte-Ausgabe (Mode 0)

Beim Ausführen eines Ausgabebefehls durch die CPU werden die auszugebenden Daten in das Ausgaberegister des ausgewählten Kanals eingeschrieben. Die Daten stehen danach an den Ein-/Ausgabeleitungen an, bis neue Daten auf dem Kanal ausgegeben werden oder eine Betriebsartänderung bzw. Rücksetzen erfolgt. Wenn das durch die UND-Verknüpfung $WR^* \cdot \overline{RD} \cdot CE \cdot \overline{C/D} \cdot IORQ \cdot \overline{M1}$ in der PIO gewonnene Signal inaktiv wird, wird das Quittungssignal (READY) ARDY, BRDY auf 1 gesetzt, um der angeschlossenen Peripherie anzuzeigen, daß neue Daten anliegen. Die angeschlossene Peripherie zeigt ihrerseits die Übernahme der neuen Daten durch eine steigende Flanke des Datenübernahmesignals (\overline{STROBE}) $\overline{ASTB}/\overline{BSTB}$ an. Daraufhin geht das Quittungssignal ARDY/BRDY wieder auf 0. Außerdem wird, falls erlaubt, jetzt eine Unterbrechung ausgelöst, die der CPU signalisiert, daß die Daten abgeholt worden sind und neue Daten auf den Kanal ausgegeben werden können.

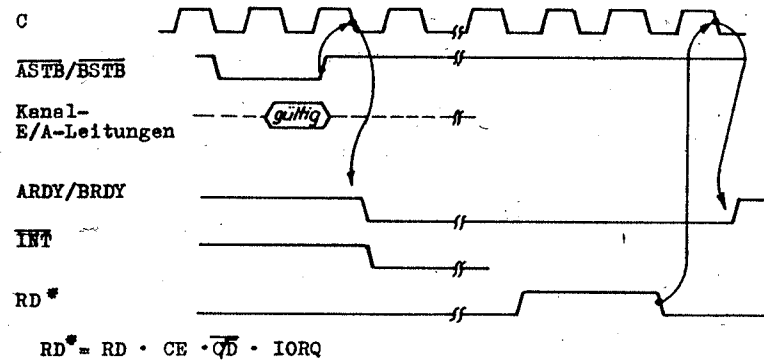


Byte-Eingabe (Mode 1)

Die an den Kanal-Ein-/Ausgabeleitungen anstehenden Daten von der Peripherie werden mit der ansteigenden Flanke des Datenübernahme-signals $\overline{ASTB}/\overline{BSTB}$ in das Dateneingaberegister übernommen.

Daraufhin wird das Quittungssignal ARDY, BRDY auf 0 gesetzt, damit wird signalisiert, daß sich im Eingaberegister Daten befinden, die noch nicht von der CPU abgeholt wurden.

Bei der Datenübernahme wird, falls erlaubt, eine Unterbrechung der CPU ausgelöst. Wenn die CPU die Daten von der PIO abgeholt hat, geht das Quittungssignal ARDY/BRDY wieder auf 1 um anzuzeigen, daß der Kanal zur Übernahme neuer Daten bereit ist.



Byte-Ein-/Ausgabe, Zweirichtungsbetrieb (Mode 2)

- Nur Kanal A; Kanal B kann dann nur für Bit-Ein-/Ausgabe (Mode 3) programmiert werden!

Diese Betriebsart kombiniert "Byte-Eingabe" und Byte-Ausgabe" an den Ein-/Ausgabeleitungen des Kanals A. Es werden alle 4 Quittungslleitungen benutzt:

ARDY, \overline{ASTB} für Byte-Ausgabe (wie Mode 0)

BRDY, \overline{BSTB} für Byte-Eingabe (wie Mode 1)

Die Datenausgabe erfolgt nur während $\overline{ASTB}=0$, ansonsten sind die Ein-/Ausgabeleitungen als Eingänge zu betrachten.

Bit-Ein-/Ausgabe (Mode 3)

Es wird nicht mit Quittungssignalen gearbeitet, ausgegebene Daten erscheinen sofort an den als Ausgang definierten E/A-Leitungen des Kanals.

Beim Lesen eines Kanals enthalten die als Eingänge definierten Bits den Zustand der jeweiligen E/A-Leitung (zum Zeitpunkt der fallenden Flanke von \overline{IORQ} bzw. RD); die als Ausgänge definierten Bits liefern beim Lesen den Inhalt des Ausgaberegisters für die jeweiligen Leitungen.

Einzelne als Eingabe definierten Leitungen oder auch Verknüpfungen mehrerer Eingableitungen können Unterbrechungen auslösen (siehe Programmierung).

Die Betriebsart Bit-Ein-/Ausgabe ist auch dann zweckmäßig, wenn eine Byte-Ein- oder Ausgabe ohne Quittungsbetrieb (RDY/STB) realisiert werden soll.

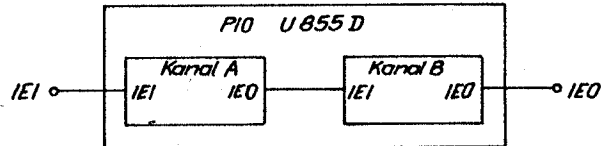
PIO U855D Funktion

Unterbrechungsbetrieb:

In den Betriebsarten Byte-Eingabe, Byte-Ausgabe und Byte-Ein-/Ausgabe können Unterbrechungen von der steigenden Flanke des Datenübernahmesignals $\overline{ASTB}/\overline{BSTB}$ erzeugt werden.

In der Betriebsart Bit-Ein-/Ausgabe kann programmiert werden, daß eine bestimmte Eingangsleitung bzw. die Verknüpfung mehrerer Eingangsleitungen (mit UND oder ODER) eine Unterbrechung auslöst, wenn sich ein bestimmter logischer Zustand (0 oder 1) einstellt.

Die Unterbrechungsannahme ist ebenso wie die Schreib- und Lesezyklen des Bausteins (E/A-Lese- bzw. Schreibzyklus) im Abschnitt CPU beschrieben. Die beiden Kanäle bilden auch innerhalb der PIO eine Prioritätskette, der Kanal A hat die höhere Priorität.



PIO U855D Programmierung

Die gewünschte Funktion des PIO-Bausteins muß durch Ausgabe von Steuerworten auf die Steuerwortadresse des jeweiligen Kanals festgelegt werden.

Die verschiedenen Arten von Steuerworten werden durch bestimmte feste Bitbelegungen unterschieden. Eine Ausnahme sind die Bitmasken für die Ein-/Ausgabe- und Unterbrechungsfestlegung in der Betriebsart Bit-Ein-/Ausgabe, die auf bestimmte Ankündigungssteuerworte folgen müssen.

Betriebsartensteuerwort

D7	D6	D5	D4	D3	D2	D1	D0
		x	x	1	1	1	1

Kennzeichnung des Steuerwortes als Betriebsartensteuerwort

- 0 0 Byte-Ausgabe
 - 0 1 Byte-Eingabe
 - 1 0 Byte-Ein-/Ausgabe (nur Kanal A)
 - 1 1 Bit-Ein-/Ausgabe
- } mit Quittungsbetrieb

Eingangs-/Ausgangsfestlegung bei Bit-Ein-/Ausgabe (muß bei dieser Betriebsart dem Betriebsartensteuerwort folgen)

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

- 0 0 0 0 0 0 0 0 Leitung ist Ausgang
- 1 1 1 1 1 1 1 1 Leitung ist Eingang

Unterbrechungsvektor (existiert für jeden Kanal separat)

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

V7 V6 V5 V4 V3 V2 V1 0 - Kennzeichnung des Steuerwortes als Unterbrechungsvektor

Unterbrechungs-Steuerwort

D7	D6	D5	D4	D3	D2	D1	D0
	x	x	x	0	0	1	1

- 0 Unterbrechung durch PIO-Kanal gesperrt
- 1 Unterbrechung durch PIO-Kanal erlaubt

x - beliebig

PIO U8550 Programmierung

Unterbrechungs-Steuerwort für Bit-Ein-/Ausgabe

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

\emptyset 1 1 1
 1 - Es folgt die Bitmaske zur Festlegung der für eine Unterbrechungsauslösung zu berücksichtigenden Leitungen
 1 - 1 - Zustand der Kanalleitungen löst Unterbrechung aus
 0 - 0 - Zustand der Kanalleitungen löst Unterbrechung aus
 1 - UND - Verknüpfung der ausgewählten Kanalleitungen
 0 - ODER - Verknüpfung der ausgewählten Kanalleitungen
 1 - Unterbrechung durch PIO-Kanal erlaubt
 0 - Unterbrechung durch PIO-Kanal gesperrt

Bitmaske zur Festlegung der für eine Unterbrechungsauslösung zu berücksichtigenden Leitungen (folgt unmittelbar nach Unterbrechungssteuerwort für Bit-Ein-/Ausgabe mit D4=1)

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

0 0 0 0 0 0 0 0 - Leitung in Verknüpfung einbezogen
 1 1 1 1 1 1 1 1 - Leitung nicht berücksichtigt

PIO U8550 Elektrische Kennwerte

Grenzwerte und allgemeine statische Kennwerte wie CPU
 statische Kennwerte und Kapazitäten - PIO:

Kenngröße	Zeichen	Min	Max	Einheit	Bemerkungen
Eingangskapazität	C_I		7	pF	bei $V_a = 25^{\circ}C$, $f = 0,5 \dots 2$ MHz
Takteingangs-kapazität	C_T		14		
Ausgangskapazität	C_O		10		
Stromaufnahme	I_{CC}		100	mA	bei $U_{CC} = 5,25V$ $V_a = 25^{\circ}C$
Laststrom der Darlington-Treiber-Ausgänge (nur Kanal B)	I_{OHD}	1,5	3,8	mA	bei $U_{OH} = 1,5V$ $R_{ext} = 390 \Omega$

Dynamische Betriebsbedingungen:

Kenngröße	Zeichen	Min	Max	Einheit
Takt C		wie CPU		
CE, C/D, B/A Setzzeit zu \neg -Takt	$t_{SC}(OE)$	280		ns
D0-D7 Setzzeit zu \neg -Takt	$t_{SC}(D)$	50		
IEI Setzzeit zu \neg -IORQ bei Unterbrechungsannahme	$t_S(IEI)$	140		
RD Setzzeit zu \neg -Takt	$t_{SC}(RD)$	240		
IORQ Setzzeit zu \neg -Takt	$t_{SC}(IR)$	250		
M1 Setzzeit zu \neg -Takt	$t_{SC}(M1)$	210		
PA0-PA7 bzw. PB0-PB7 Setzzeit zu \neg -ASTB bzw. \neg -BSTB (Modus 1)	$t_S(PD)$	200		
ASTB, BSTB Impulsbreite	$t_W(ST)$	150		
Impulsbreite in Modus 2 (nur BSTB)	$t_W(ST)$	$> t_S(PD)$		
M1 als RESET Dauer für Rücksetzen	$t_{M1}(RESET)$	$2 t_C$		
alle Haltezeiten für die angegebenen Setzzeiten	t_H	0		

PIO U8550 Elektrische Kennwerte

Verzögerungszeiten

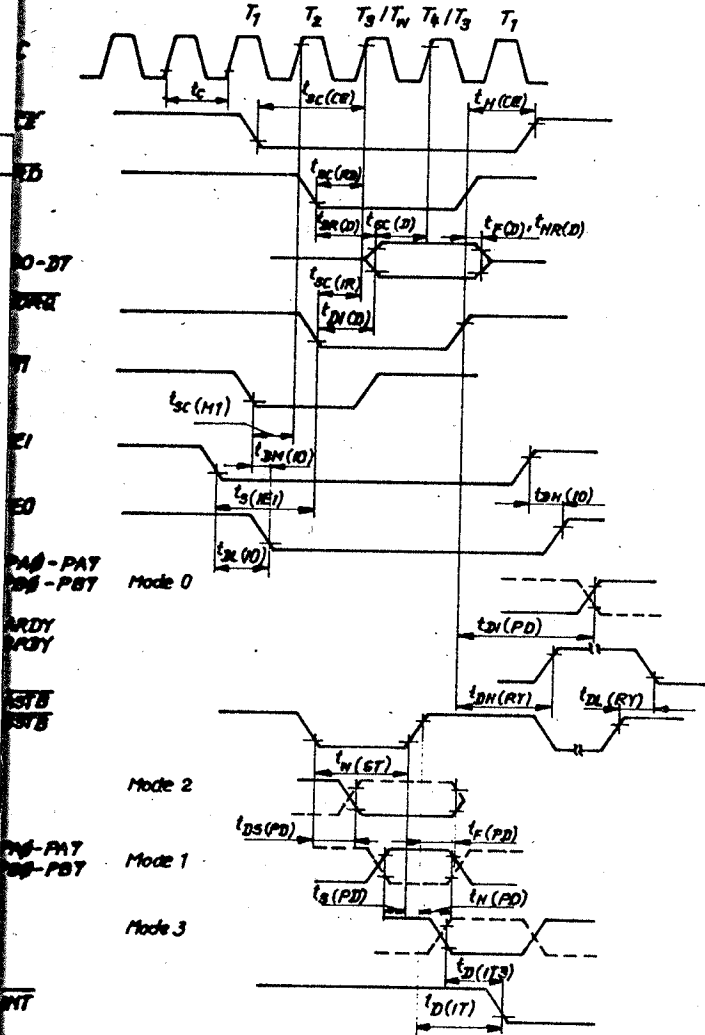
bei $U_{CC} = 4,75V$; $U_{IL} = 0,8V$; $U_{IH} = 2V$

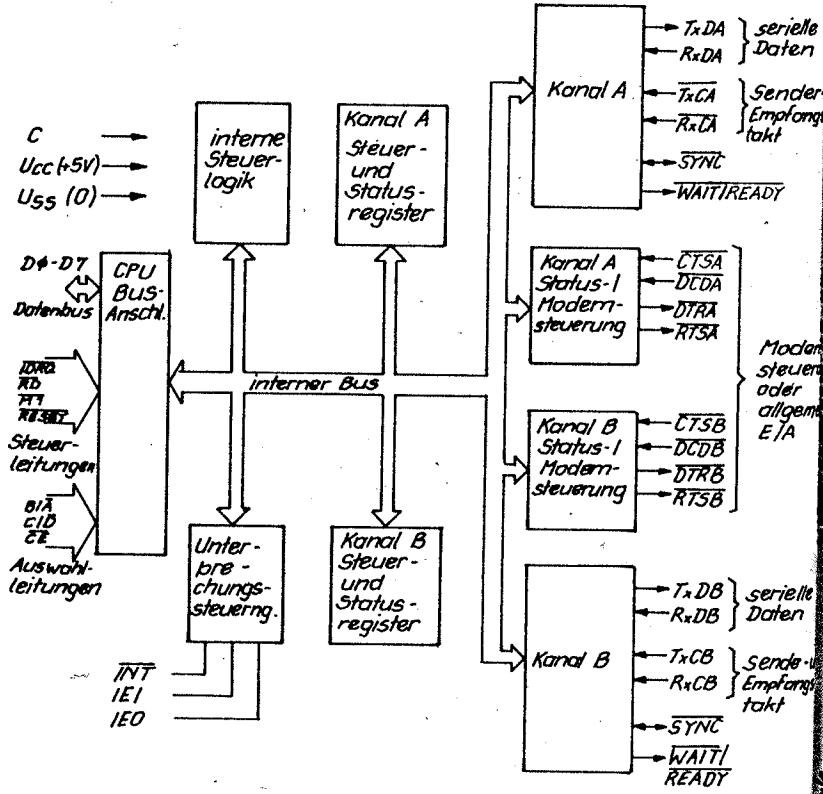
$U_{ILC} = 0,45V$; $U_{IHC} = 4,55V$

$C_L = 100pF$; $\vartheta_a = 70^\circ C$

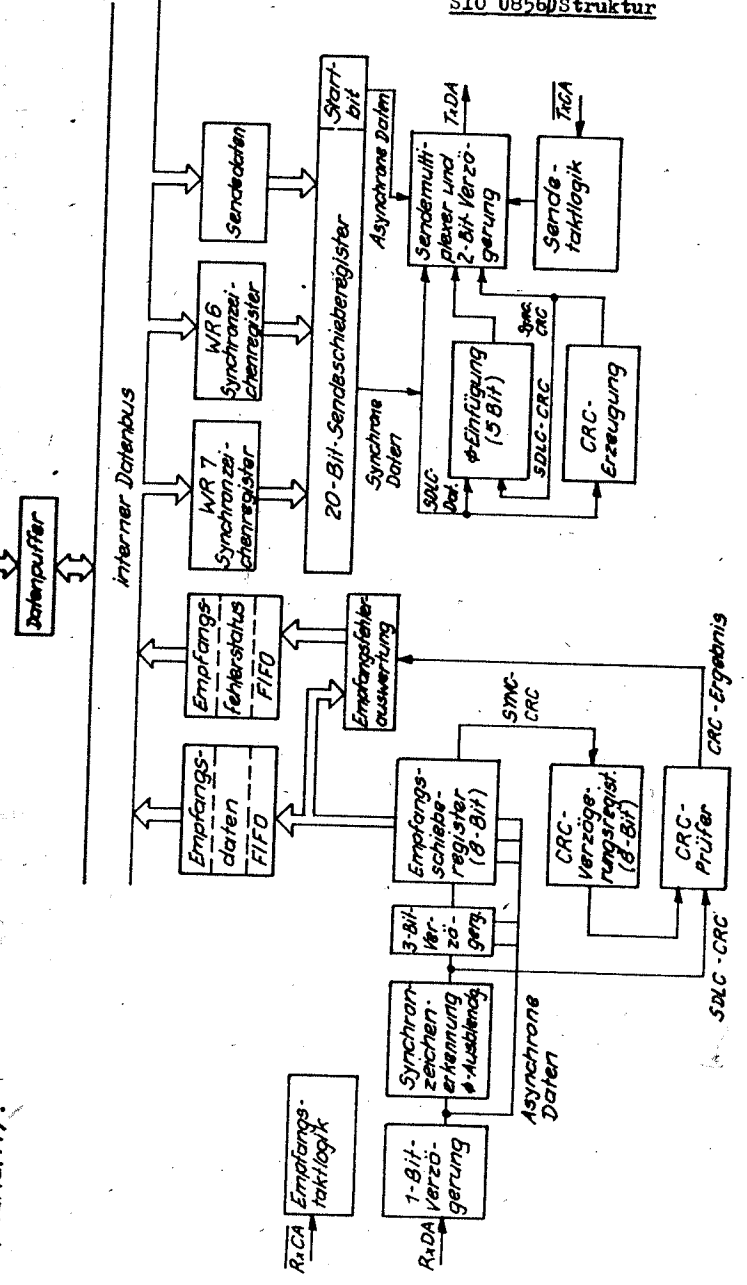
Kenngröße	Zeichen	Min	Max	Einheit
Daten D0-D7	Ausgabe ab \overline{RD}	$t_{DR}(D)$	440	
	Ausgabe ab \overline{IORQ}	$t_{DI}(D)$	350	
	bei Unterbrechungsan- nahme Übergang in hochohm. Zustand	$t_F(D)$	170	
IEO	Verzögerung zu \overline{IEI}	$t_{DH}(IO)$	220	
	Verzögerung zu \overline{IEI}	$t_{DL}(IO)$	200	
	Verzögerung zu \overline{MI} (Unterbrechung noch vor \overline{MI})	$t_{DM}(IO)$	310	
PA0-PA7 PB0-PB7	Ausgabe ab \overline{ASTB} (Modus 2) Übergang in hochohm. Zustand ab \overline{ASTB} (Modus 2)	$t_{DS}(PD)$	240	ns
	Datengültig ab \overline{IORQ} (Schreibzyklus, Modus 0)	$t_D(PD)$	210	
	Verzögerung zu $\overline{ASTB/BSTB}$	$t_D(IT)$	500	
INT	Verzögerung zu Daten- bedingung erfüllt (in Modus 3)	$t_D(IT3)$	660	
	Verzögerung zu $\overline{ASTB/BSTB}$	$t_{DI}(RY)$	$t_C + 410$	
ARDY BRDY	Verzögerung zu $\overline{ASTB/BSTB}$	$t_{DH}(RY)$	$t_C + 470$	
	Verzögerung zu \overline{IORQ}	$t_{DI}(RY)$	$t_C + 470$	

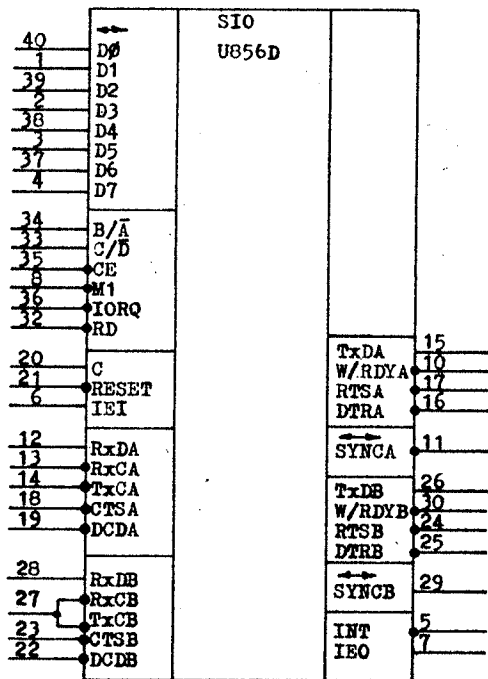
PIO U8550 Elektrische Kennwerte





interne Struktur eines SIO-Kanals (Kanal A):





Achtung !

Dargestellt ist die Bondvariante mit $\overline{\text{TxCB}}$, $\overline{\text{RxCB}}$ auf gemeinsamen Anschluß (angelegte Ziffer 0)!

Unterschiede bei 2. Bondvariante (angelegte Ziffer 1): $\overline{\text{TxCB}}$ - 20

$\overline{\text{RxCB}}$ - 21
 $\overline{\text{TxDB}}$ - 25
 $\overline{\text{DRRB}}$ - nicht
 herausgeführt

D0-D7	Ein-/Ausgänge (tri-state)	Systemdatenbus
B/A	Eingang	Kanalauswahl, oft mit A1 verbunden 0 - Kanal A 1 - Kanal B
C/D	Eingang	Auswahl Steuerinformationen/Daten (Central/Dats), oft mit A0 verbunden 0 - Daten 1 - Steuerwert
CE	Eingang	Bausteinauswahl (Chip Enable) mit E/A-Adreßdekodierung zu verbinden 0 - Baustein wird gelesen oder geschrieben
IEI	Eingang	Operationskode-Lesezyklus der CPU (Machine Cycle 1) 0 - zusammen mit IORQ: Unterbrechungsan-nahme durch CPU, SIO kann Unterbrechungs-vektor auf Datenbus geben (wenn INT von SIO angemeldet und Priorität vorhanden) außerdem: Erkennen des RETI-Befehls durch SIO
IOREQ	Eingang	Ein-/Ausgabeanforderung der CPU (Input/Output Request) 0 - E/A-Baustein lesen, schreiben oder Unterbrechungsannahme
RD	Eingang	Lesesignal (Read) 0 - Lesen von Speicher oder E/A-Bausteinen
INT	Ausgang mit offenem Drain	Unterbrechungsanforderung (Interrupt) 0 - SIO meldet Unterbrechung an
RESET	Eingang	Rücksetzen 0 - Sperrung von Sender und Empfänger, TxDA, TxDB nehmen 1-Pegel an, Modussteuerleitungen in 1-Zustand, Unterbrechungen gesperrt Die Steuerregister müssen neu programmiert werden, bevor der SIO-Baustein wieder arbeitsfähig ist.
IEI	Eingang	Unterbrechungsfreigabe (Interrupt Enable In) 1 - kein höher priorisierter Baustein wird gerade bedient
IEO	Ausgang	Unterbrechungsfreigabe (Interrupt Enable Out) 1 - wenn IEI=1 und keine Unterbrechung der SIO gerade behandelt wird

SIO U856D Anschlußbeschreibung

C	Eingang	Systemtakt (Clock)
<u>CTSA, CTSE</u>	Eingänge mit Triggerverhalten	Sendebereitschaft (Clear to Send) In der Betriebsart "Bereitschaft durch externes Signal" wird bei 0 der Sendeteil des jeweiligen Kanals in den Bereit-Zustand gesetzt, sonst als allgemeine Eingänge verwendbar. Unterbrechung erfolgt bei 0-1 und 1-0 Übergängen, wenn erlaubt.
<u>DCDA, DCDE</u>	Eingänge m. Triggerverhalten	Datenträgermeldung (Data Carrier Detect) In der Betriebsart "Bereitschaft durch externes Signal" wird bei 0 der Empfangsteil des jeweiligen Kanals in den Bereit-Zustand gesetzt, sonst als allgemeine Eingänge verwendbar. Unterbrechung erfolgt bei 0-1 und 1-0 Übergängen, wenn erlaubt.
<u>DTRA, DTRB</u>	Ausgänge	Datenendeinrichtung bereit (Data Terminal Ready) Folgt der Programmierung des DTR-Bits in SR5, DTR=1 bewirkt 0 am Ausgang des entsprechenden Kanals, als allgemeiner Ausgang verwendbar.
<u>RxCA, RxCB</u>	Eingänge m. Triggerverhalten	Empfangstakt (Receive Clock) Die Empfangsdatenabtastung erfolgt bei einer aufsteigenden Flanke des Empfangstaktes, im Asynchronbetrieb auf das 1, 16, 32, 64-fache der Datenrate programmierbar.
<u>RxDA, RxDB</u>	Eingänge	Empfangsdaten (Receive Data)
<u>RTSA, RTSB</u>	Ausgänge	Sendeanforderung (Ready to Send) Folgt der Programmierung des RTS-Bits in SR5, RTS=1 bewirkt 0 am Ausgang des entsprechenden Kanals, wenn im Asynchronbetrieb das Bit RTS=0 gesetzt wird, geht der Ausgang auf 1 sobald der Sendepuffer leer ist, ansonsten als allgemeiner Ausgang verwendbar.
<u>SYNCA, SYNCE</u>	Eingänge/Ausgänge (programmierbar)	Synchronisation Asynchronbetrieb: Eingänge auf SYNC-Bit in LRD, 0 am Eingang bewirkt SYNC-Bit=1 Synchronbetrieb, externe Synchronisation: Eingang muß auf 0 gesetzt sein bei der zweiten aufsteigenden Flanke von RxC nach derjenigen aufsteigenden Flanke von RxC, mit der das letzte Bit des Synchronzeichens empfangen wurde. Synchronbetrieb, interne Synchronisation: Ausgang, liefert 0 während jeder Periode von RxC, in der ein Synchronzeichen erkannt wurde, unabhängig von den Zeichengrenzen.

SIO U856D Anschlußbeschreibung

<u>TxCA, TxCB</u>	Eingänge m. Triggerverhalten	Sendetakt (Transmitter Clock) Die neuen Daten stehen mit der fallenden Flanke von TxC an. Im Asynchronbetrieb auf das 1, 16, 32, 64-fache der Datenrate programmierbar (zusammen mit Empfangstakt).
<u>TxDA, TxDB</u>	Ausgänge	Sendedaten (Transmit Data)
<u>W/BDYA, W/BDYB</u>	Ausgang normal/mit offenem Drain (programmierbar)	Warteanforderung/Bereitmeldung als WAIT programmiert (und nach dem Rücksetzen): Ausgang mit offenem Drain, WAIT-Signal zur Synchronisierung mit CPU U880D als READY programmiert; Bereit-Signal für direkten Speicherzugriff (DMA)

SIO U856D Funktion

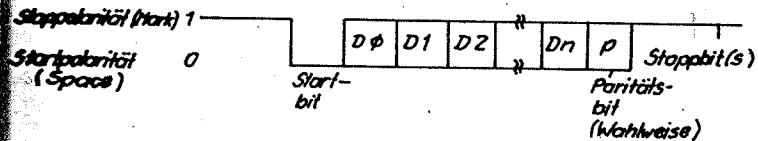
Der hochintegrierte Schaltkreis U856D ist zur Unterstützung serieller Datenübertragungsaufgaben, vorrangig in Mikrorechner-systemen mit der CPU U880D vorgesehen und wird durch folgende Merkmale charakterisiert:

- Zwei unabhängige Kanäle
- In jedem Kanal gleichzeitiges Senden und Empfangen möglich (Duplex)
- Betriebsweisen:
 - Asynchronbetrieb mit 5-8 Datenbits und 1, 1,5 oder 2 Stopbits je Zeichen
 - Synchronbetrieb mit 8-Bit-Synchronzeichen (Monosyno), 16-Bit-Synchronzeichen (Bisyno), externer Synchronisation, oder SDLC/HDLC-Modus
- Wahlweise automatische Paritätserzeugung und -Auswertung
- Bei Synchronbetrieb automatische CRC-Erzeugung und -Auswertung
- Je Kanal 2 Eingänge und 2 Ausgänge zur Modemsteuerung oder als allgemeine E/A-Anschlüsse.
- Taktvierteilerfaktor programmierbar x1, x16, x32, x64
- Takt braucht nicht symmetrisch sein und kann daher z.B. von einem CTC U856D geliefert werden
- Datenübertragungsrate 0-550 KBit/s
- Direkt anschließbar an U880D Bussystem, TTL-kompatibel, eine Versorgungsspannung
- Leistungsfähiges Unterbrechungssystem mit unterbrechungs-ursachenabhängigem Vektor
- Fähigkeit zur Synchronisierung mit CPU (WAIT) oder DMA-Schaltung (READY)

SIO U856D Funktion

Asynchronbetrieb

- Senden und Empfangen unabhängig voneinander mit 5...8 Bit je Zeichen sowie wahlweise angefügtem Paritätsbit.
- 1, 1 1/2 oder 2 Stopbits je Zeichen beim Senden
- Beim Empfang muß mindestens 1 Stopbit vorhanden sein, sonst erfolgt die Statusmeldung "Zeichenrahmenfehler"
- Bei Unterdrückung kurzzeitiger Störungen wird ein Startbit bei Empfang nur dann als gültig gewertet, wenn vom 1-0-Übergang an mindestens für eine halbe Bitzeit Startpolarität (0) anliegt, anschließend werden jeweils in der Mitte der Informationsbits die Empfangsdaten abgetastet. Die Bitsynchronisation kann nur dann durch den Schaltkreis vorgenommen werden, wenn ein Taktvierteilerfaktor $\neq 16$ benutzt wird.
- Empfänger und Sender beginnen ihre Arbeit mit dem Setzen der entsprechenden Freigabebits in den Schreibregistern. In der Betriebsart "Externe Freigabe" müssen zusätzlich noch die Eingangssignale CTS (für Sender) bzw. DCD (für Empfänger) aktiv sein.
- Das BREAK-Kommando bewirkt, daß die Sendedatenleitung sofort Stoppolarität (1) annimmt, ein gerade gesendetes Zeichen geht verloren.
- Der Empfang des BREAK-Zustands wird durch ein Statusbit angezeigt. Wenn externe Statusunterbrechungen erlaubt sind, führt sowohl der Übergang in den BREAK-Zustand wie auch dessen Verlassen zu je einer Unterbrechung.



SIO U856D Funktion

Synchronbetrieb (außer SDLC/HDLC)

- Taktteilerfaktor x1 ist bei jeder synchronen Übertragung zu programmieren, die Bitsynchronisation muß daher extern erfolgen.
- Empfangsdaten werden mit der steigenden Flanke von RxC abgetastet, Sendedatenänderungen erfolgen mit der fallenden Flanke von TxC.
- Die Betriebsweisen mit 8-Bit-Synchronzeichen (Monosync), 16-Bit-Synchronzeichen (Bisync) oder externer Synchronisation unterscheiden sich nur in der Art und Weise der Erstsynchronisation.
- Wenn keine Daten zum Senden zur Verfügung stehen, wird, falls aktiviert, eine Prüfbitfolge (CRC), und anschließend Synchronzeichen gesendet.
- Die Prüffolge kann nach der Vorschrift CRC 16 ($x^{16} + x^{15} + x^2 + 1$) oder CRC-CCITT ($x^{16} + x^{12} + x^5 + 1$) erfolgen, vor Beginn des Sendens der damit zu sichernden Daten muß der CRC-Generator zurückgesetzt werden, nach dem Laden mindestens der ersten 2 Sendebytes muß das Flip-Flop Sendeleerlauf/Blockende rückgesetzt werden (Schreibregister 0)
- Nach der Freigabe des Empfängers (die erst am Ende der Programmierung erfolgen darf) befindet sich dieser im Fangbetrieb, bis die Zeichensynchronisation durch Empfang von Synchronzeichen oder externes Signal erreicht wurde.
- Die CRC-Berechnung bei Empfang kann für jedes empfangene Zeichen erlaubt oder gesperrt werden unter Ausnutzung der Tatsache, daß die CRC-Berechnung mit einer Verzögerung von einem Zeichen erfolgt.

SIO U856D Funktion

Synchrone Datenformate:

Monosync:

Synchron-Byte	Datenfeld	CRC 1	CRC 2
---------------	-----------	-------	-------

Bisync:

Synchron-Byte 1	Synchron-Byte 2	Datenfeld	CRC 1	CRC 2
-----------------	-----------------	-----------	-------	-------

Externe Synchronisation

Datenfeld	CRC 1	CRC 2
-----------	-------	-------

↑
externes Signal
SYNC

SDLC/HDLC

- Im Ruhezustand werden bei freigegebenem Sender Flags gesendet, bei gesperrtem Sender liegt TxD auf 1-Pegel.
- Die CRC-Erzeugung beim Senden ist wie folgt zu steuern:
 - . Rücksetzen Sende-CRC-Generator (SR0)
 - . Ausgabe der ersten 2 Datenbytes
 - . Rücksetzen des Sendeleerlauf/Blockende-Flip-Flops (SR0)
 - . Ausgabe der restlichen Datenbytes.

Wenn keine Datenbytes mehr ausgegeben werden, wird automatisch die Prüfbitfolge gesendet.

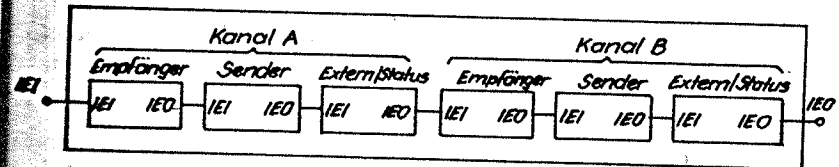
- Das Rücksetzen des Empfangs CRC-Prüfers erfolgt automatisch durch den Empfang von Flags, nach dem vollständigen Empfang eines Rahmens ist das Prüfergebnis gültig, außerdem ist zu diesem Zeitpunkt die Kodierung des I-Feld-Rests gültig. (Verarbeitung von Rahmen mit nicht ganzzahliger Byteanzahl)
- Das Senden von Rahmen mit nicht ganzzahliger Bytezahl ist möglich die Anzahl der von einem ausgegebenem Byte zu sendenden Bits kann während des Sendens geändert werden, wobei zu beachten ist, daß die gewünschte Bitanzahl bei der Übernahme des jeweiligen Zeichens in das Sendeschieberegister gültig sein muß.
- Auf ein Kommando hin wird eine Abbruchsequenz gesendet (8-13 1-Bits, anschließend Flaggenden), Daten im Puffer und Schieberegister gehen verloren.
- Der Empfang einer Abbruchsequenz beeinflusst das entsprechende Statusbit, Beginn und Ende der Abbruchsequenz lösen eine externe Statusunterbrechung aus, falls erlaubt.
- Es kann programmiert werden, daß nur Rahmen mit einer bestimmten vorgewählten Adresse und der Globaladresse 11111111 empfangen werden (d.h. Unterbrechungen auslösen).
- Wenn ein Rahmen nicht bis zu Ende empfangen werden soll, können die Daten durch Setzen des Zustandes "Suche nach Synchronzeichen" (SR3) übergangen werden.
- Eine Arbeit mit Paritätsbit kann nur bei nicht gleichzeitigem Senden und Empfangen erfolgen, da Parität nicht getrennt für Sender und Empfänger aktivierbar (z.B. Adresse muß ohne Parität gesendet werden).
- Nach 5 1-Bits wird beim Senden eine 0 eingefügt, damit Daten von Flags unterschieden werden können. Diese 0-Bits werden beim Empfang wieder ausgeblendet.

SMC/HLC-Datenformat:

Flag	Adresse	Datenfeld	CRC	CRC	Flag
01111110	8-Bit	n Bit	1 8Bit	2 8Bit	01111110

E/A Betriebsweisen:

- Abfragebetrieb Alle Unterbrechungen sind gesperrt, Leseregister 0 enthält die Meldung über eingegangene Daten bzw. Leerung des Sendepuffer. Leseregister 1 enthält Fehlermitteilungen.
- Unterbrechungsbetrieb: Jeder SIO Kanal verfügt über 3 Quellen von Unterbrechungen:
 - 1) Empfänger
 - 2) Sender
 - 3) Externe/Status-Änderung
 Diese Unterbrechungsquellen bilden intern bereits eine Prioritätskette, wobei der Empfänger von Kanal A die höchste Priorität hat:



- Empfängerunterbrechungen: können ausgelöst werden entweder beim ersten Zeichen einer Datenfolge (sinnvoll z.B. wenn die folgenden Daten durch DMA eingelesen werden) oder bei jedem Zeichen. Wenn eine Empfängerunterbrechung erlaubt ist, tritt noch eine weitere Unterbrechungsursache auf:
 - spezielle Empfangsbedingung
 - Das kann sein:
 - Paritätsfehler
 - Empfängerüberlauf
 - Zeichenrahmenfehler
 - Rahmenende (SDLC/HDLC)
- Sendunterbrechung: tritt auf, wenn Sendepuffer geleert wurde und neue Daten aufnehmen kann.

Unterbrechung durch externe/Statusänderung: ausgelöst durch

Zustandsänderungen (0→1, 1→0) an DCD
CTS
SYNC

- außerdem durch:
- Senderleerung (Underflow), nachdem keine Daten zum Senden nachgeliefert werden
 - Beginn und Ende eines BREAK Signals bzw. einer Abbruchsequenz

Unterbrechungsvektor: ändert sich je nach Ursache, wenn programmiert wurde "Status modifiziert Unterbrechungsvektor" (SR1).

Damit kann direkt das behandelnde Programm für eine bestimmte Unterbrechungsursache aktiviert werden.

Es werden unterschiedliche Vektoren erzeugt für

- . Empfangenes Zeichen verfügbar (erstes Zeichen oder jedes Zeichen)
- . Spezielle Empfangsbedingung
- . Sendepuffer leer
- . Externe/Statusänderung

(unterschiedlich für beide Kanäle)

Zugriffssynchronisierung durch WAIT: Die CPU wird beim Lesen bzw. Schreiben von Daten durch das WAIT-Signal von der SIO so lange blockiert, bis ein empfangenes Zeichen gelesen wurde bzw. der Sendepuffer ein zu sendendes Zeichen aufnehmen konnte. (Vorrangig für sehr hohe Übertragungsraten).

Ein-/Ausgabe durch DMA: Der Datentransfer zwischen dem Speicher und der SIO erfolgt nicht durch die CPU, sondern durch eine Schaltung zum direkten Speicherzugriff (DMA). Die SIO stellt dabei das Signal READY zur Verfügung, das deren Bereitschaft zur Datenübernahme bzw. -Übergabe signalisiert. In den beiden letztgenannten Betriebsweisen kann ein Kanal nicht gleichzeitig senden und empfangen.

Die gewünschte Funktion des SIO-Bausteins wird durch Ausgaben von Steuerbytes zu den Schreibregistern des Bausteins ausgewählt. Die Programmierung der Steuerregister kann effektiv mit Block-E/A-Befehlen erfolgen.

Die Reihenfolge der Programmierung der Schreibregister ist nicht willkürlich, sie muß so erfolgen, daß die grundlegende Betriebsartenauswahl zuerst erfolgt und keine vorzeitigen Funktionsfreigaben auftreten.

Eine mögliche Reihenfolge ist SR 2 (Unterbrechungsvektor-nur im Kanal B

- SR 4
 - SR 6
 - SR 7
 - SR 5
 - SR 3
 - SR 1
- nur bei Synchronen Betriebsweisen erforderlich

Der Zugriff zu den Lese- und Schreibregistern außer LR0 und SR0 erfordert eine vorherige Adressierung durch eine Ausgabe in SR0

Nach erfolgtem Zugriff auf ein Register ≠ SR0 oder nach einem Rücksetzen (Kommando oder RESET-Signal) wird beim nächsten Lesen oder Schreiben immer auf LR0 bzw. SR0 zugegriffen.

Gleichzeitig mit dem Kommando "Kanal rücksetzen" kann kein Register ≠ 0 adressiert werden, nach diesem Kommando darf erst 2-4 Takte später wieder eine Schreiboperation in den betreffenden Kanal erfolgen.

Beim Auftreten einer Änderung des Status (z.B. Modemsteuerleitung, Abbruchbedingung) werden die Statusinformationen in LR0 gespeichert, dadurch werden auch sehr kurze Änderungen registriert. Um die Übernahme neuer Statusänderungen zu erlauben, muß (u.a. nach jeder Behandlung der Unterbrechung "externe oder Statusänderung") das Kommando "Rücksetzen der externen und Statusunterbrechungen" (SR0) gegeben werden.

Fern die Betriebsart "Unterbrechung nur beim ersten empfangenen Zeichen" programmiert ist, muß diese Unterbrechung nach jedem vollständig empfangenen Informationsblock erneut erlaubt werden mit dem Kommando "Unterbrechung erlaubt beim ersten empfangenen Zeichen".

SIO U856D Programmierung

Schreibregister:

Schreibregister 0: Registeradressierung, Kommandos, CRC-Behandlung

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

0	0	0						Register 0	} Adressierung des nächsten zu lesenden oder zu schreibenden Registers
0	0	1						Register 1	
0	1	0						Register 2	
0	1	1						Register 3	
1	0	0						Register 4	
1	0	1						Register 5	
1	1	0						Register 6	
1	1	1						Register 7	

Kommandos:

0	0	0	0					keine Aktion (z.B. nur Adressierung)
0	0	0	1					Sende SDLC-Abbruchsequenz (8...13x1)
0	1	0	0					Rücksetzen der externen und Statusunterbrechungen
0	1	1	1					Kanal rücksetzen
1	0	0	0					Unterbrechung erlaubt beim ersten empfangenen Zeichen
1	0	1	1					Sendeunterbrechung unterdrücken, bis wieder ein Zeichen in den SIO-Baustein geladen wurde
1	1	0	0					Fehlerstatus (in Leseregister 1) rücksetzen, sollte nach jeder Auswertung der Fehler erfolgen
1	1	1	1					Nur im Kanal A; Gleiche Wirkung wie RETI-Befehl von GPU

0	0	keine Aktion
0	1	Empfangs-CRC-Prüfer rücksetzen
1	0	Sende-CRC-Generator rücksetzen
1	1	Sendeleerlauf/Blockende-Flip-Flop rücksetzen

Schreibregister 1: Unterbrechungs- und WAIT/READY-Steuerung

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

								1 - Externe Unterbrechungen erlauben (Pegeländerungen an DCD, CTS, SYNC Abbruchbedingung, Beginn des CRC oder Synchronzeichensenders)
								1 - Sendeunterbrechungen erlauben (Sende-pufferleerung)
								1 Status modifiziert Unterbrechungsvektor
	0	0						Empfangsunterbrechungen gesperrt
	0	1						Empfangsunterbrechungen nur beim ersten Zeichen
	1	0						Empfangsunterbrechungen bei jedem Zeichen, Parität ändert Vektor
	1	1						Empfangsunterbrechungen bei jedem Zeichen, Parität ändert Vektor nicht
	1							1 - WAIT/READY, wenn Empfangspuffer leer
	0							0 - WAIT/READY, wenn Sendepuffer voll
	1							1 - WAIT/READY ist READY für direkten Speicherzugriff
	0							0 - WAIT/READY ist WAIT für CPU
1								1 WAIT/READY wird benutzt
0								0 WAIT/READY = 1, wenn D6 = 1 bzw. hochohmig, wenn D6 = 0

SIO U856D Programmierung

Schreibregister 2: Unterbrechungsvektor

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

V7	V6	V5	V4	V3	V2	V1	V0	Wenn "Status beeinflusst Vektor" programmiert ist, werden bei einer Unterbrechungsannahme V1-V3 entsprechend folgender Tabelle modifiziert:	} Kanal B
				0	0	0		Sendepuffer leer	
				0	0	1		Externe bzw. Statusunterbrechung	
				0	1	0		Empfangenes Zeichen steht bereit	
				0	1	1		Besondere Empfangsbedingung	
				1	0	0		} analog für Kanal A	
				1	0	1			
				1	1	0			
				1	1	1			

Besondere Empfangsbedingung: Paritätsfehler
Überlauf
CRC/Rahmenfehler
Rahmenende (SDLC)

Schreibregister 3: Empfangslogik

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

								1 Empfang erlauben
							1	Synchronzeichen nicht in Empfangspuffer laden, CRC-Berechnung wird durch Synchronzeichen nicht gestoppt
							1	Adressensuche (SILC), alle Blöcke, die nicht die programmierte oder die Globaladresse 1111 1111 haben, werden übergangen (erzeugen keine Unterbrechungen)
							1	CRC-Berechnung einschalten, beginnt mit Übernahme des nächsten Zeichens, vom Empfangsschieberegister in den Puffer
							1	Suche nach Synchronzeichen, bei Verlust der Zeichensynchronisation oder zum Übergehen nicht benötigter Blöcke in SDLC
							1	Bereitschaft durch externes Signal, DCD und CTS erlauben Empfang und Senden
0	0	5	Bit je Zeichen					} beim Empfang
0	1	7	Bit je Zeichen					
1	0	6	Bit je Zeichen					
1	1	8	Bit je Zeichen					

Schreibregister 4: Betriebsarten

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

- 1 - Paritätsbit beim Senden angefügt, beim Empfang erwartet
 - 1 = gerade Parität
 - 0 = ungerade Parität
 - 0 0 = Synchronbetrieb
 - 0 1 = 1 Stopbit je Zeichen
 - 1 0 = 1 1/2 Stopbits je Zeichen
 - 1 1 = 2 Stopbits je Zeichen
 - 0 0 8-Bit-Synchronzeichen
 - 0 1 16-Bit-Synchronzeichen
 - 1 0 SMLC-Betrieb (01111110-Flag)
 - 1 1 Externe Synchronisation
 - 0 0 = x1 - Takt
 - 0 1 = x 16 - Takt
 - 1 0 = x 32 - Takt
 - 1 1 = x 64 - Takt
- Asynchronbetrieb
- Für Synchronbetrieb ist x1 - Takt notwendig, bei Asynchronbetrieb und x1 - Takt muß die Bitsynchronisation extern erfolgen.

Schreibregister 5: Sendelogik

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

- 1 = Sende-CRC-Berechnung erlauben
 - RTS-Bit, Steuerung für RTS-Anschluß
 - CRC 16
 - CRC-CCITT (SMLC/HDLC) } Berechnungsvorschrift für Prüfbitfolge
 - 1 = Senden erlauben
 - 1 = Sende Abbruchzustand (TxD-Anschluß auf 1)
 - 0 0 5 oder weniger Bit je Zeichen
 - 0 1 7 Bit je Zeichen
 - 1 0 6 Bit je Zeichen
 - 1 1 8 Bit je Zeichen
- beim Senden (rechtsbündig)
- RTS-Bit, Steuerung für DTR-Anschluß

Datenformat zum Senden von 5 und weniger Bits je Zeichen:

D7	D6	D5	D4	D3	D2	D1	D0	
1	1	1	1	0	0	0	D	1 Bit
1	1	1	0	0	0	D	D	2 Bit
1	1	0	0	0	D	D	D	3 Bit
1	0	0	0	D	D	D	D	4 Bit
0	0	0	D	D	D	D	D	5 Bit

Schreibregister 6: Synchronzeichen Bit 0-7 bzw. SMLC-Adressfeld

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

S7 S6 S5 S4 S3 S2 S1 S0

Schreibregister 7: Synchronzeichen Bit 8-15 bzw. bei SMLC: 01111110 (Flag)

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

S15 S14 S13 S12 S11 S10 S9 S8

SIO U856D Programmierung

Statusregister (Leseregister)

Leseregister Ø

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

- 1 - mindestens ein Zeichen im Empfangspuffer verfügbar
- 1 - Unterbrechung in SIO aktiv (beliebig nur in Kanal A, in Kanal B ständig)
- 1 - Sendepuffer leer (außer bei CRC-Senden)
- D0D, D0D invertiert, wird gespeichert bei einer Externen/Statusänderung (DGT, CTS, SYNC/HUNT, BRE.K, CRC/SYNC-Senden)
- 1 = Suche nach Synchronzeichen } SYNC/HUNT-Status
- 0 = Zeichensynchronisation erfolgt }
- Asynchronbetrieb: SYNC - Eingangsanschluß
- CTS, CTS invertiert
- 1 - wenn außerdem D2=Ø: CRC wird gerade gesendet
D2=1: Synchronzeichen werden gesendet
- 1 - BREAK in Asynchronbetrieb erkannt bzw. Abbruchsequenz (≅ 7 x 1) bei SDLC erkannt

SIO U856D Programmierung

Leseregister 1

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

- 1 = Sendepuffer und -Schieberegister vollständig geleert (Asynchronbetrieb); bei Synchronbetrieb immer 1
- Länge des I-Feldes bei SDLC (nur am Rahmenende gültig)

I-Bits im letzten Byte	I-Bits im vorletzten Byte
0	3
0	4
0	5
0	6
0	7
0	8
1	8
2	8

- 8 → ganzzahlige Byteanzahl
- 1 = Paritätsfehler } wird erst durch Kommando "Fehlerstatus rücksetzen" (SRØ) gelöscht
- 1 = Empfängerüberlauf }
- = Zeichenformatfehler bei Asynchronbetrieb
CRC-Fehler bei Synchronbetrieb
- 1 = Rahmenende, bei SDLC sind CRC-Prüfergebnis und I-Feld-Längenkodierung gültig

Leseregister 2 - nur im Kanal B

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

- V7 V6 V5 V4 V3 V2 V1 V0 - Augenblicklich gültiger Unterbrechungsvektor, wenn "Status beeinflusst Vektor" programmiert und keine Unterbrechung anliegt, gilt
- V3, V2, V1 = 011

SIO U856D elektrische Kennwerte

Grenzwerte und allgemeine statische Kennwerte wie CPU

statische Kennwerte und Kapazitäten - SIO

Kenngröße	Zeichen	Min.	Max.	Einheit	Bemerkung
Eingangskapazität	C_I		7	pF	bei $\vartheta_a=25^\circ\text{C}$ $f=0,5\dots 2\text{MHz}$
Takteingangskapazität	C_C		50		
Ausgangskapazität	C_O		14		
Stromaufnahme	I_{CC}		140	mA	bei $U_{CC}=5,25\text{V}$ $a=25^\circ\text{C}$

Dynamische Betriebsbedingungen:

Kenngröße	Zeichen	Min	Max	Einheit
Takt	wie CPU			
CE, C/D Setzzeit zu $\sqrt{\text{-Takt}}$ IORQ, B/A (Lese- oder Schreibzyklus)	$t_{SC}(CE)$	160		ns
D $\bar{0}$ -D7 Setzzeit zu $\sqrt{\text{-Takt}}$	$t_{SC}(D)$	50		
IEI Setzzeit zu $\sqrt{\text{-IORQ}}$ bei Unterbrechungsannahme	$t_S(IEI)$	200		
RD Setzzeit zu $\sqrt{\text{-Takt}}$	$t_{SC}(RD)$	240		
M1 Setzzeit zu $\sqrt{\text{-Takt}}$	$t_{SC}(M1)$	210		
CTS, DCD Dauer 1 - Pegel	$t_W(PH)$	200		
SYNC Dauer 0 - Pegel	$t_W(PL)$	200		
SYNC 1) Vorbereitungszeit bis $\sqrt{\text{-RxC}}$ (externe Syna)	$t_{SL}(SY)$	100		
TxC Periode	$t_C(TRC)$	400	∞	
RxC Dauer 1 - Pegel	$t_W(TRCH)$	180	∞	
2) Dauer 0 - Pegel	$t_W(TRCL)$	180	∞	
RxD Setzzeit zu $\sqrt{\text{-RxC}}$ (x1-Betrieb) Haltezeit nach $\sqrt{\text{-RxC}}$ (x1-Betrieb)	$t_S(RxD)$	0		
	$t_H(RxD)$	140		
Alle Haltezeichen für die angegebenen Setzzeichen	t_H	0		

- 1) SYNC - Impulsbreite muß \geq RxC-Periode sein
- 2) In allen Betriebsarten muß der Systemtakt C mindestens um den Faktor 4,5 höher sein als die maximale Datenrate.

SIO U856D elektrische Kennwerte

Verzögerungszeiten

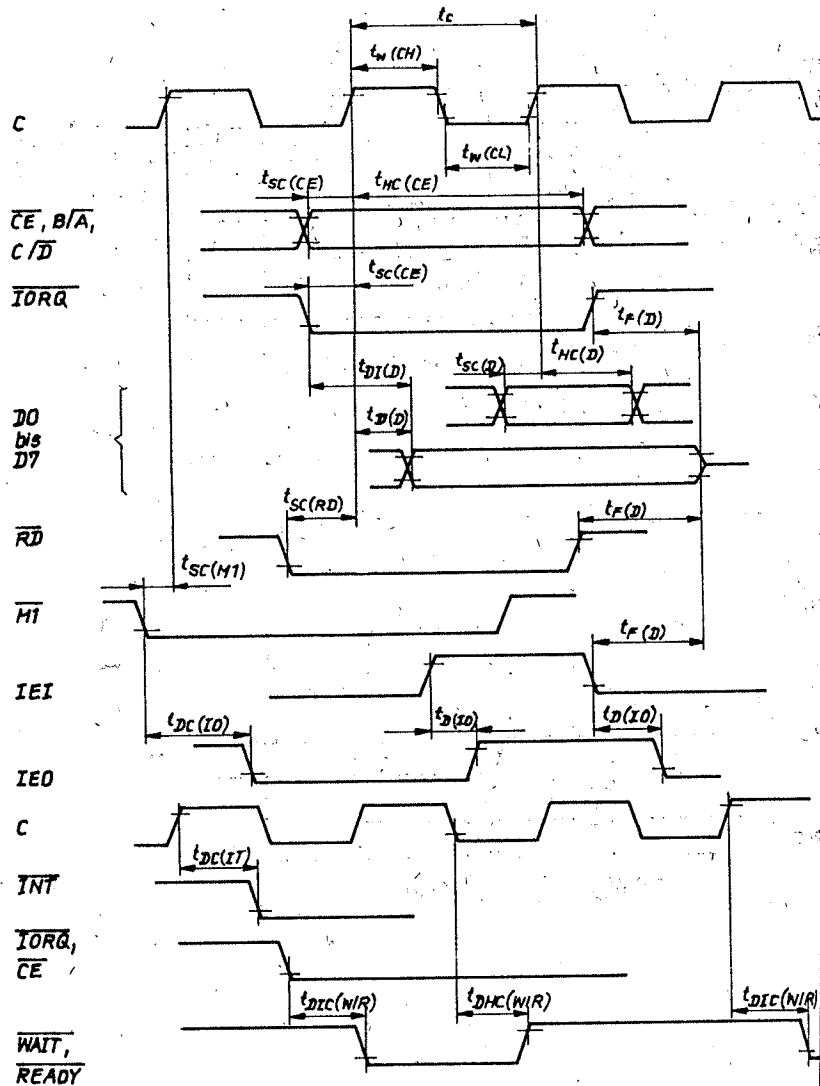
bei $U_{CC} = 4,75\text{V}$; $U_{IL} = 0,8\text{V}$; $U_{IH} = 2\text{V}$

$U_{ILC} = 0,45\text{V}$; $U_{IHC} = 4,55\text{V}$

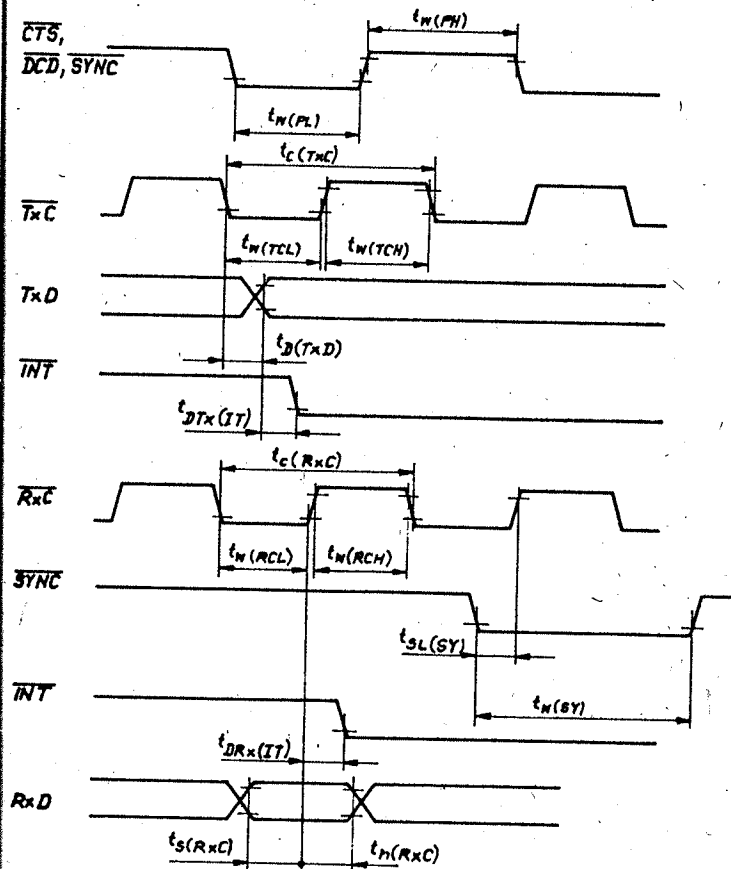
$C_L = 100\text{ pF}$; $\vartheta_a = 70^\circ\text{C}$

Kenngröße	Zeichen	Min	Max	Einheit
Daten D $\bar{0}$ -D7 Ausgabe nach $\sqrt{\text{-Takt}}$ Ausgabe nach $\sqrt{\text{-IORQ}}$ bei Unterbrechungsannahme Übergang in hochohmigen Zustand	$t_D(D)$ $t_{DI}(D)$ $t_F(D)$		490 350 240	ns
IEO Verzögerung zu IEI Verzögerung zu $\sqrt{\text{-M1}}$ (Unterbrechung noch vor $\sqrt{\text{-M1}}$)	$t_D(IEO)$ $t_{DC}(IEO)$		210 310	
INT nach Mitte des gesendeten Datenbits nach Mitte des empfangenen Datenbits nach $\sqrt{\text{-Takt}}$	$t_{DTx}(IT)$ $t_{DRx}(IT)$ $t_{DC}(IT)$	5t _C 10t _C	9t _C 13t _C 210	
W/RDY nach IORQ oder CS als WAIT nach $\sqrt{\text{-Takt}}$, 1-Zustand	$t_{DLC}(W/R)$ $t_{DHC}(W/R)$		190 160	
W/RDY nach Mitte des empfangenen Datenbits als READY nach Mitte des gesendeten Datenbits nach $\sqrt{\text{-Takt}}$, 0-Zustand	$t_{DRx}(W/R)$ $t_{DTx}(W/R)$ $t_{DLC}(W/R)$	10t _C 5t _C	13t _C 9t _C 130	
SYNC nach Mitte des empfangenen Datenbits als Ausgang	$t_{DL}(SY)$	4t _C	7t _C	
TxD nach $\sqrt{\text{-TxC}}$ (x1 - Betrieb)	$t_D(TxD)$		410	

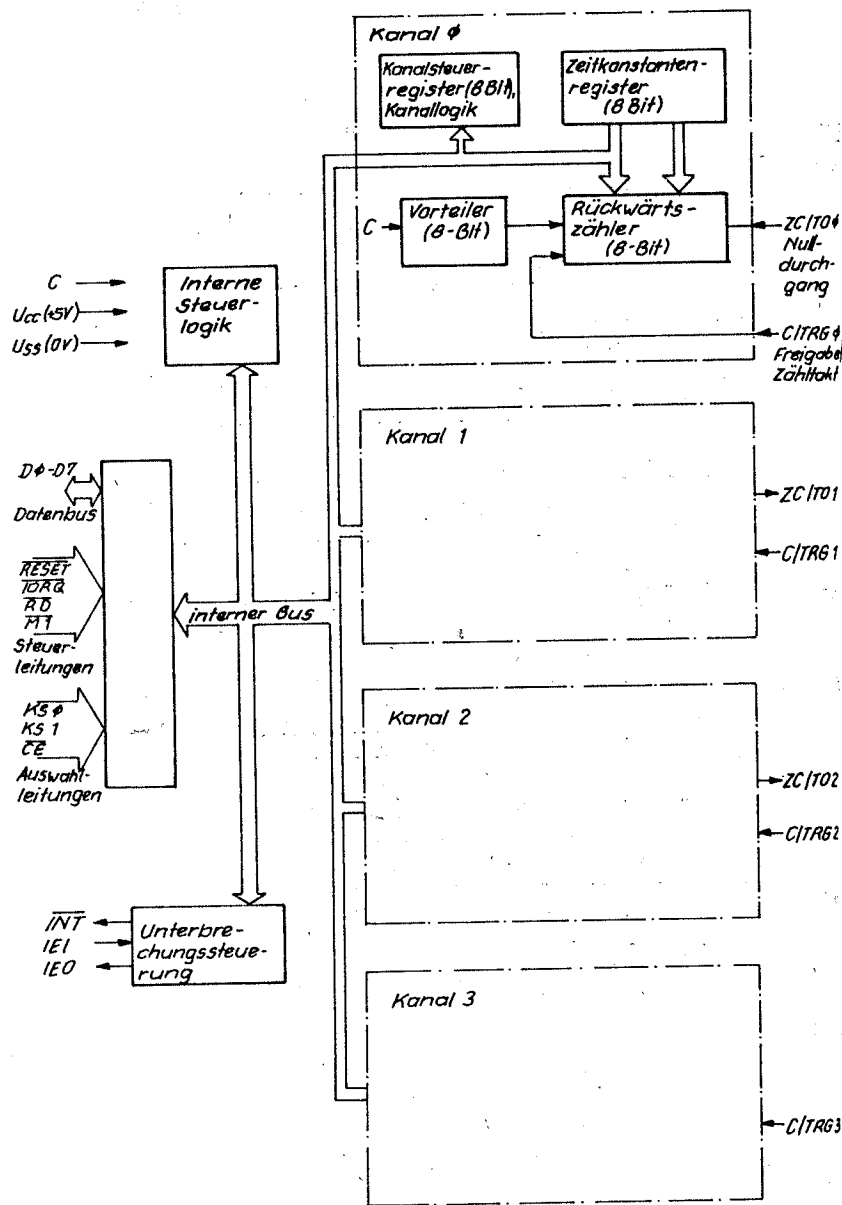
SIO U856D elektrische Kennwerte



SIO U856D elektrische Kennwerte

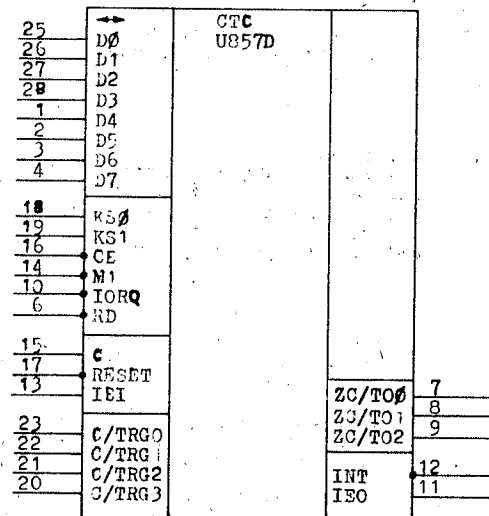


CTC U857D Struktur



CTC U857D Anschlußbeschreibung

Logisches Schaltbild



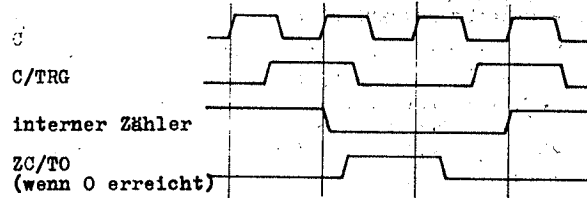
- $D0 - D7$ Ein-/Ausgänge (tri-state) Systemdatenbus
- $KS0, KS1$ Eingänge Kanalauswahl, oft mit $A0, A1$ verbunden
00 - Kanal 0
01 - Kanal 1
10 - Kanal 2
11 - Kanal 3
- \overline{CE} Eingang Bausteinauswahl (Chip Enable) mit E/A-Adressekodierung zu verbinden 0-Baustein wird gelesen oder geschrieben
- $M1$ Eingang Operationscode-Lesezyklus der CPU (Machine Cycle 1)
0 - zusammen mit $IORQ$: Unterbrechungsannahme durch CPU, CTC kann Unterbrechungsvektor auf Datenbus geben (wenn INT von CTC angemeldet und Priorität vorhanden)
außerdem: Erkennen des $RETI$ -Befehls durch CTC
- $IORQ$ Eingang Ein-/Ausgabeanforderung der CPU (Input/Output/Request)
 C - E/A-Baustein lesen, schreiben oder Unterbrechungsannahme
- RD Eingang Lesesignal (Read)
0 - Lesen von Speicher oder E/A-Baustein

<u>INT</u>	Ausgang mit offenem Drain	Unterbrechungsanforderung (Interrupt) 0 - CTC meldet Unterbrechung an
<u>RESET</u>	Eingang	Rücksetzen 0 - Zählvorgang aller Kanäle abbrechen, die Ausgänge ZC/TO ϕ ...ZC/TO2 und INT werden inaktiv, das Unterbrechungsvektorregister wird nicht beeinflusst, Unterbrechungen gesperrt.
<u>IEI</u>	Eingang	Unterbrechungsfreigabe (Interrupt Enable In) 1 - kein höher priorisierter Baustein wird gerade bedient.
<u>IEO</u>	Ausgang	Unterbrechungsfreigabe (Interrupt Enable Out) 1 - wenn IEI=1 und keine Unterbrechung der CTC gerade behandelt wird.
<u>C/TRGϕ</u> ...Eingänge <u>C/TRG3</u>		Externer Takteingänge (Zähler) bzw. Triggereingang (Zeitgeber) der Kanäle ϕ ...3
<u>ZC/TOϕ</u> ...Ausgänge <u>ZC/TO2</u>		Nulldurchgang des Zählers bzw. Zeitgeberstand "0" nur für die Kanäle ϕ ,1,2

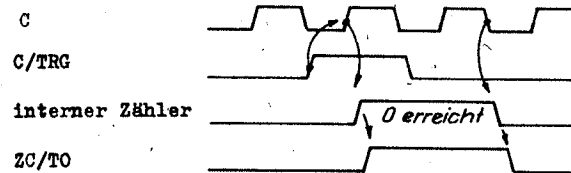
Betriebsarten

Zähler: Die programmierte Flanke am C/TRG-Eingang bewirkt einen Zählschritt des Rückwärtszählers. Die maximale verarbeitbare Taktfrequenz beträgt $f_c/2$ (f_c - Systemtaktfrequenz), außerdem sind bestimmte Mindestlängen des 0- und 1-Zustands einzuhalten.

Der interne Zähler arbeitet synchron mit dem Systemtakt.

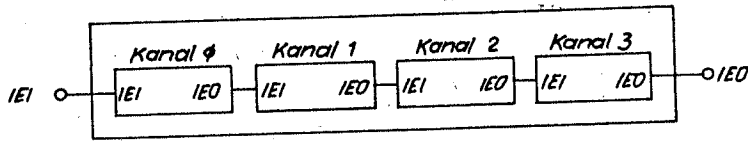


Zeitgeber: Wenn "externe Freigabe" programmiert wurde, startet der Zeitgebervorgang mit der programmierten Flanke an C/TRG. (Danach hat C/TRG keinen Einfluß mehr). Eine bestimmte Mindestdauer des Impulses ist einzuhalten. Wenn keine externe Freigabe benutzt wird, startet der Zeitgebervorgang sofort nach dem Laden der Zeitkonstante. Der Rückwärtszähler zählt den durch 16 oder 256 geteilten Systemtakt.



Nutzung des Zählers/Zeitgebers

- Der Rückwärtszähler kann von der CPU gelesen werden.
- Unmittelbar nachdem er den Zählerstand 0 erreicht hat, wird an ZC/TO ein Impuls abgegeben. Falls erlaubt wird eine Unterbrechung ausgelöst.
- Bei jedem Erreichen des Zählerstandes 0 wird automatisch die programmierte Zeitkonstante in den Rückwärtszähler geladen, der Zähler-/Zeitgebervorgang läuft erneut an.
- Beim Laden der Zeitkonstante durch die CPU wird sie sofort in den Rückwärtszähler übernommen, wenn im vorangehenden Steuerwort ein Kanalrücksetzen programmiert war, ansonsten wird sie erst nach Erreichen des Zählerstandes 0 geladen.
- Bei Lese- und Schreiboperationen dürfen keine zusätzlichen Wartezyklen eingefügt werden!
- Bei der Auslösung von Unterbrechungen hat Kanal 0 die höchste Priorität:



- Es ist nur ein Unterbrechungsvektor (über Kanal 0) zu programmieren. Die unterschiedlichen Vektoren für die einzelnen Kanäle werden von CTC gebildet.

Das Betriebsverhalten des CTC-Bausteines wird durch die Ausgabe von Steuerworten festgelegt:
 Unterbrechungsvektor (Nur über Kanal 0 ladbar)

D7	D6	D5	D4	D3	D2	D1	D0
V7	V6	V5	V4	V3	X	X	0

- Kennzeichnung des Steuerwortes als Unterbrechungsvektor

Bei Auslösung einer Unterbrechung wird von CTC für D1, D2 der auslösende Kanal (binär) eingesetzt:

D2	D1	
0	0	Kanal 0
0	1	Kanal 1
1	0	Kanal 2
1	1	Kanal 3

Kanalsteuerwort

D7	D6	D5	D4	D3	D2	D1	D0
							1
							1
							0
							0
							1
							0
							1
							0
							1
							0
							1

- 1 - Kennzeichnung des Steuerwortes als Kanalsteuerwort
- 1 - Kanal rücksetzen, Fortsetzung der Arbeit nach dem Laden einer Zeitkonstante bzw. eines neuen Kanalsteuerwortes
- 0 - Kanal zählt weiter
- 1 - Nächstes Steuerwert ist die Zeitkonstante,
- 0 - es folgt keine Zeitkonstante
- 0 - Zeitgeber läuft sofort nach Laden der Zeitkonstante an
- 1 - Zeitgeber läuft nach externer Freigabe an (C/TRG)
- 0 - fallende Flanke an C/TRG wirksam
- 1 - steigende Flanke an C/TRG wirksam
- 0 - Verteilerfaktor 16
- 1 - Verteilerfaktor 256 } bei Betriebsart Zeitgeber
- 0 Betriebsart Zeitgeber
- 1 Betriebsart Zähler
- 0 Unterbrechung durch CTC-Kanal gesperrt
- 1 Unterbrechung durch CTC-Kanal freigegeben

Zeitkonstante:

D7	D6	D5	D4	D3	D2	D1	D0
Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

00000000=256

CTC UB57D elektrische Kennwerte

Grenzwerte und allgemeine statische Kennwerte wie CPU.
Statische Kennwerte und Kapazitäten - CTC

Kenngröße	Zeichen	Min	Max	Einheit	Bemerkung
Eingangskapazität	C_I		7	pF	bei $V_a=25^\circ\text{C}$ $f=0,5..2\text{MHz}$
Takteingangskapazität	C_G		25		
Ausgangskapazität	C_O		14		
Stromaufnahme	I_{CC}		80	mA	bei $U_{CC}=5,25\text{V}$ $V_a=25^\circ\text{C}$
Laststrom der Darlington-Treiber-Ausgänge ZC/TO \emptyset , 1,2	I_{OHD}	1,5	3,8	mA	bei $U_{OH}=1,5\text{V}$ $R_{ext}=390\Omega$

Dynamische Betriebsbedingungen

Kenngröße	Zeichen	Min	Max	Einheit
Takt C	wie CPU			
D \emptyset -D7 Setzzeit zu $\overline{\text{SC}}$ -Takt	$t_{SC(D)}$	60		ns
KS \emptyset KS1, $\overline{\text{CE}}$ Setzzeit zu $\overline{\text{SC}}$ -Takt	$t_{SC(KS)}$	160		
$\overline{\text{IORQ}}$ Setzzeit zu $\overline{\text{SC}}$ -Takt	$t_{SC(IR)}$	250		
$\overline{\text{M1}}$ Setzzeit zu $\overline{\text{SC}}$ -Takt	$t_{SC(M1)}$	210		
$\overline{\text{RD}}$ Setzzeit zu $\overline{\text{SC}}$ -Takt (Schreib- oder Unterbrechungsannahmezyklus)	$t_{DCW(RD)}$	115		
	Setzzeit zu $\overline{\text{SC}}$ -Takt (Lesee- oder $\overline{\text{M1}}$ -Zyklus)	$t_{DCR(RD)}$	240	
C/TRG \emptyset bis C/TRG3 Periode (Zählerbetrieb) Setzzeit zu $\overline{\text{SC}}$ -Takt (Zählerbetrieb) Trigger-Setzzeit zu $\overline{\text{SC}}$ -Takt (Zeitgeberbetrieb, Freigabe auf folgende $\overline{\text{SC}}$ -Taktflanke) Anstiegs- und Abfallzeiten Dauer 0-Zustand Dauer 1-Zustand	$t_C(CK)$	$2t_C$		
	$t_S(SK)$	210		
	$t_S(TR)$	210		
	t_r, t_f		50	
	$t_w(CTH)$	200		
	$t_w(CTL)$	200		
Haltezeiten für die angegebenen Setzzeiten	t_H	0		

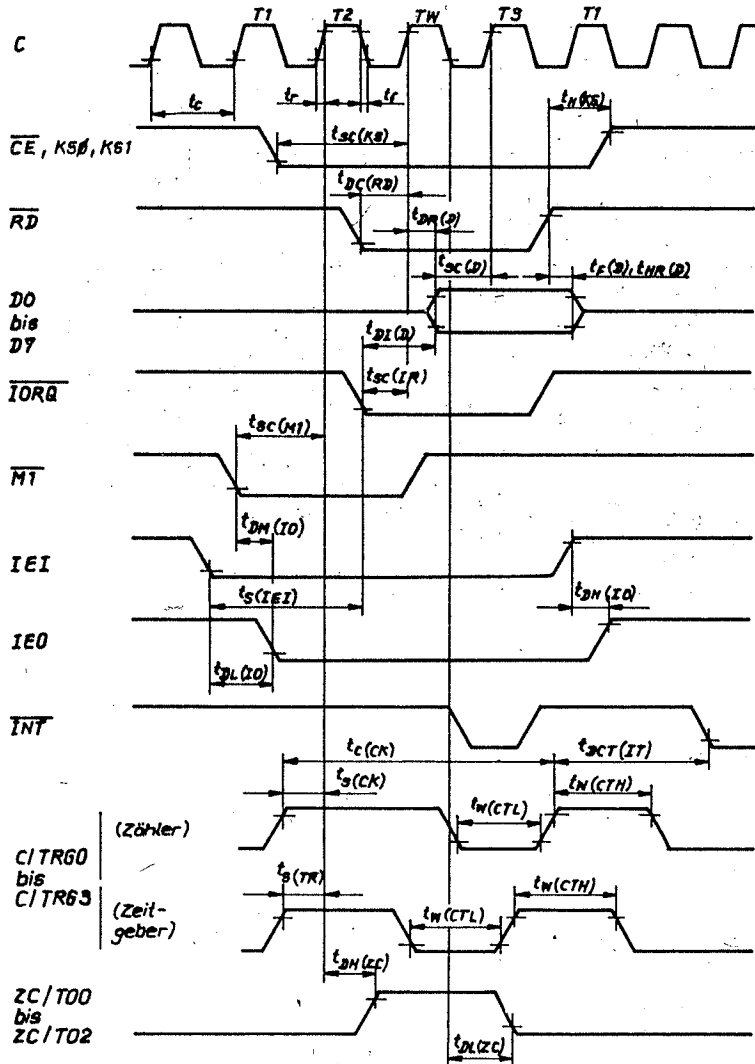
CTC UB57D elektrische Kennwerte

Verzögerungszeiten

bei $U_{CC} = 4,75\text{V}$, $U_{IL} = 0,8\text{V}$, $U_{IH} = 2\text{V}$
 $U_{ILC} = 0,45\text{V}$, $U_{IHC} = 4,55\text{V}$
 $C_L = 100\text{pF}$; $V_a = 70^\circ\text{C}$;

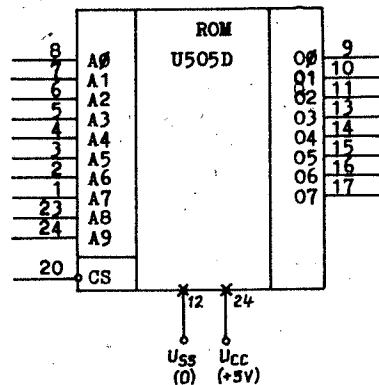
Kenngröße	Zeichen	Min	Max	Einheit
Daten D \emptyset -D7 Ausgabe ab $\overline{\text{SC}}$ -Takt Ausgabe ab $\overline{\text{IORQ}}$ bei Unterbrechungsannahme Übergang in hochohmigen Zustand	$t_{DR(D)}$		490	ns
	$t_{DI(D)}$		350	
	$t_{F(D)}$		240	
IEO Verzögerung zu $\overline{\text{SC}}$ -IEI Verzögerung zu $\overline{\text{SC}}$ -IEI Verzögerung zu $\overline{\text{M1}}$ während RETI	$t_{DL(IO)}$		200	
	$t_{DH(IO)}$		230	
	$t_{DM(IO)}$		310	
$\overline{\text{INT}}$ Verzögerung zu $\overline{\text{SC}}$ -C/TRG (Zählerbetrieb) Verzögerung zu $\overline{\text{SC}}$ -Takt (Zeitgeberbetrieb)	$t_{DCT(IT)}$		$2t_C+210$	
	$t_{DC(IT)}$		$2t_C+210$	
ZC/TO 0,1,2 Verzögerung zu $\overline{\text{SC}}$ -Takt (ZC/TO auf 1-Pegel) Verzögerung zu $\overline{\text{SC}}$ -Takt (ZC/TO auf 0-Pegel)	$t_{DH(ZC)}$		200	
	$t_{DL(ZC)}$		200	

CTC U857D elektrische Kennwerte



1 KByte-ROM U505D Anschlußbeschreibung

- Maskenprogrammierter Festwertspeicher
- Speicherkapazität 8 x 1024 Bit bzw. 1 KByte
- Zugriffszeit ≤ 450 ns, eine Betriebsspannung +5V



Anm.: Die Anschlüsse 18, 19, 21 können mit Potentialen $-5V \leq U \leq +12V$ belegt werden.

- A0-A9** Eingänge Adresse des zu lesenden Bytes
- D0-D7** Ausgänge (tri-state) Daten der ausgewählten Adresse
- CS** Eingang Bausteinauswahl (Chip Select)
0 - Baustein ausgewählt, an D0-D7 liegt der Inhalt der ausgewählten Adresse an.
1 - Baustein inaktiv, Datenausgänge hochohmig.

1 KByte-ROM U505D Elektr.Kennwerte

Grenzwerte:

Betriebsspannung, Eingangsspannungen auf U_{SS} (0-Potential) bezogen	-0,5...+7V
Betriebstemperaturbereich	0...+70°C
Lagertemperaturbereich	-55...+125 °C

Statische Kennwerte und Kapazitäten

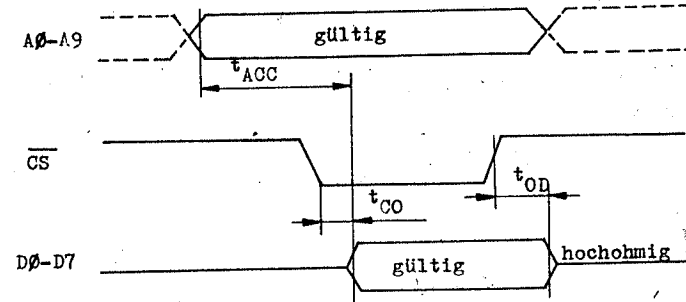
Kenngröße	Zeichen	Min	Max	Einheit	Bemerkung
Betriebsspannung	U_{CC}	4,75	5,25	V	bei $I_{OL} = 1,8 \text{ mA}$, $U_{CC} = 5,25 \text{ V}$ bei $I_{OL} = -0,4 \text{ mA}$, $U_{CC} = 4,75 \text{ V}$ bei $U_{CC} = 5,25 \text{ V}$
Eingangsreststrom und Reststrom der hochohmigen tri-state-Ausgänge (Betrag)	I_R		10	μA	
Eingangsspannung	U_{IL} U_{IH}	2,4	0,8	V	
Ausgangsspannung	U_{OL} U_{OH}	2,4	0,4		
Stromaufnahme	I_{CC}		120	mA	
Eingangskapazität	C_I		10	pF	
Ausgangskapazität	C_O		15		

1 KByte-ROM U505D Elektrische Kennwerte

Dynamische Kennwerte

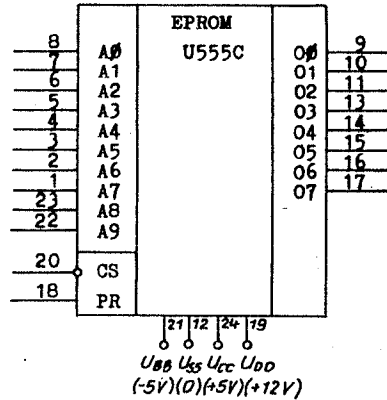
bei $U_{CC} = 4,75 \text{ V}$; $U_{IL} = 0,8 \text{ V}$; $U_{IH} = 2,4 \text{ V}$
 $C_L = 120 \text{ pF}$; $\vartheta_a = 70 \text{ °C}$

Kenngröße	Zeichen	Max	Einheit
Zugriffszeit	t_{ACC}	450	ns
Deselektionszeit	t_{OD}	100	
Selektionszeit	t_{CO}	120	



1 KByte-EPROM U555C Anschlußbeschreibung

- Elektrisch programmierbarer und mit UV-Licht löscherbarer Festwertspeicher
- Speicherkapazität 8 x 1024 Bit bzw. 1 KByte
- Zugriffszeit \leq 450 ns, Betriebsspannungen +12V, +5V, -5V



- | | | |
|-------------------------------|-------------------------------|---|
| A0-A9 | Eingänge | Adresse des zu lesenden bzw. zu programmierenden Bytes |
| O0-O7 | Ausgänge (tri-state) | Daten der ausgewählten Adresse |
| | Eingänge (beim Programmieren) | zu programmierender Dateninhalt |
| $\overline{CS}/\overline{WE}$ | Eingang | Bausteinauswahl (Chip Select) beim Lesen 0-Baustein ausgewählt 1-(TTL-H-Pegel) Baustein inaktiv, Datenausgänge hochohmig
Schreibfreigabe (Write Enable) beim Programmieren +12V-Programmieren freigegeben. |
| PR | Eingang | Programmierimpuls +26V-Programmierung beim Lesen mit 0 oder +5V verbinden |

1 KByte-EPROM U555C Funktion

Lesebetrieb:

- Zu beachten ist die eingeschränkte TTL-Kompatibilität der Eingänge, die Eingangsspannung $U_{IH} \geq 3V$ ist gegebenenfalls durch Widerstände nach +5V zu sichern.
- Die Bereitstellung der Betriebsspannungen hat so zu erfolgen, daß die Spannung U_{BB} (-5V) gleichzeitig oder vor U_{CC} (+5V) und U_{DD} (+12V) angelegt wird und erst gleichzeitig oder nach dem Abschalten von U_{CC} und U_{DD} abgeschaltet wird. Der Zustand, daß U_{DD} und U_{CC} anliegen, U_{BB} aber nicht, darf nur maximal 10 ms andauern, sonst ist mit einer Zerstörung des Schaltkreises zu rechnen.
- Der Schaltkreis ist äquivalent zum Typ 2708 sowie anschlußkompatibel zum ROM U505D.

Programmierbetrieb:

- Im Neuzustand oder nach dem Löschen sind alle Bits mit 1 belegt, beim Programmiervorgang werden ausgewählte Bits mit 0 belegt.
- Zum Programmieren ist der $\overline{CS}/\overline{WE}$ -Eingang an +12V zu legen, es ist die Adresse anzulegen sowie die zu programmierenden Daten (an O0-O7). Anschließend wird auf den Eingang PR ein Programmierimpuls gegeben.
- Es sind fortlaufend alle 1024 Speicheradressen mit je einem Programmierimpuls zu programmieren. Dieser Zyklus ist zu wiederholen, bis für jede Adresse eine aufsummierte Programmierzeit von 50 ms erreicht ist.
- Im Programmierbetrieb ist der eingeschränkte Temperaturbereich $20^\circ C \leq U_a \leq 30^\circ C$ zu beachten.
- Die Reihenfolge der Bereitstellung der Betriebsspannungen entspricht der beim Lesebetrieb, insbesondere ist dies beim Stecken bzw. Entfernen aus der Programmierfassung zu beachten.

Löschung:

- Löschdauer 17...30 min. bei einem Strahlungsfluß von $10...15 mWcm^{-2}$
- mindestens mögliche Anzahl der Programmier-Löschzyklen : 30

1 KByte-EPROM U555C Elektrische Kennwerte

Grenzwerte (Spannungen bezogen auf U_{BB} !):

Betriebsspannung U_{DD}	-0,3...20V
Eingangsspannungen $A\bar{0}$ -A9, $O\bar{0}$ -O7, \overline{CS}/WE ; Betriebsspannungen U_{SS}, U_{CC}	-0,3...15V
Programmierspannung U_{PR}	-0,3...32V
Betriebstemperatur T_a	0...70 °C
Gesamtverlustleistung bei $T_a = 45$ °C P_V	$\leq 1,5W$

Statische Kenngrößen und Kapazitäten:

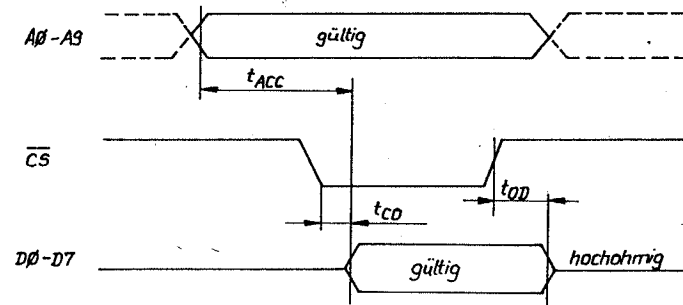
Kenngröße	Zeichen	Min	Max	Einheit	Bemerkung
Betriebsspannungen bezogen auf U_{SS} (0-Potential)	U_{BB}	-5,25	-4,75	V	bei $I_{OL} = 1,6mA$ bei $I_{OH} = -1mA$
	U_{CC}	4,75	5,25		
	U_{DD}	11,4	12,6		
Eingangsspannung	U_{IH}	3	$U_{CC} + 0,5$	V	
	U_{IL}	-0,3	0,8		
Eingangsspannung an \overline{CS}/WE für Programmierung	U_{IWE}	11,4	12,6	V	
Ausgangsspannung	U_{OL}		0,4	V	
	U_{OH}	2,4			
Programmiereingang PR beim Programmieren	U_{PRL}	0	1	V	
	U_{PRH}	25	27		
Eingangsströme, Ausgangsrestströme (Betrag)	I_R		10	μA	
Stromaufnahme	I_{BB}	-45		mA	
	I_{CC}		10		
	I_{DD}		65		
Programmierstrom (bei $U_{IWE} = 11,4V$)	I_{PR1}		20	mA	
	I_{PR2}	-3			
Eingangskapazität ($A\bar{0}$ -A9, \overline{CS}/WE)	C_I		6	pF	
Ausgangskapazität ($O\bar{0}$ -O7)	C_O		12		
Eingangskapazität PR	C_{PR}		35		

1 KByte-EPROM U555C Elektrische Kennwerte

Dynamische Kennwerte - Lesebetrieb:

bei $U_{BB} = -4,75V, U_{CC} = 4,75V, U_{DD} = 11,6V$

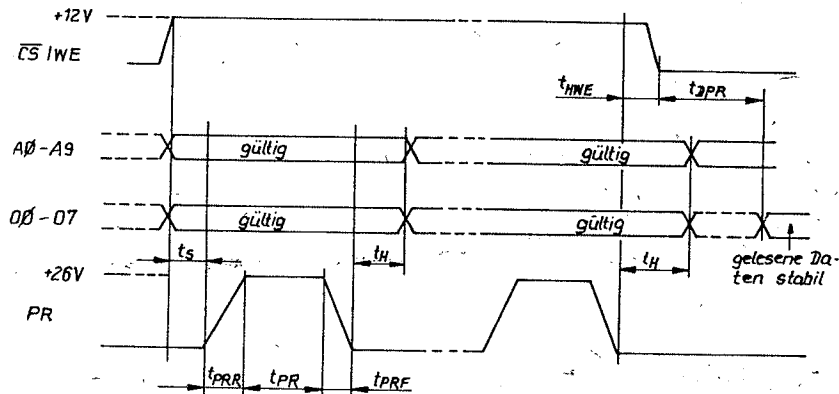
Kenngröße	Zeichen	Max	Einheit
Zugriffszeit	t_{ACC}	450	ns
Deselektionszeit	t_{OD}	120	
Selektionszeit	t_{CO}	120	



1 KByte-EPROM U555C Elektrische Kennwerte

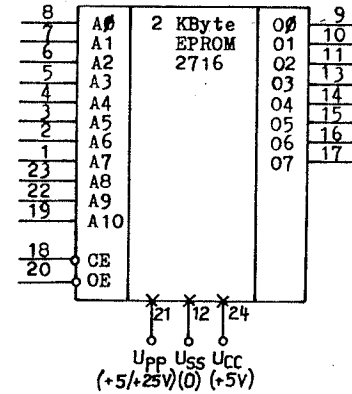
Dynamische Kennwerte - Programmierung:

Kenngröße		Min	Max	Einheit
Setzzeiten für A ₀ -A ₉ , O ₀ -O ₇ , CS/WE vor dem Programmierimpuls	t _S	10		μs
Haltezeit für A ₀ -A ₉ , O ₀ -O ₇ nach dem Programmierimpuls	t _H	1		
Haltezeit für CS/WE nach dem Programmierimpuls	t _{HWE}	0,5		
Verzögerung Übergang von Programmieren zu Lesen für O ₀ -O ₇	t _{DPR}		10	
Programmierimpulslänge	t _{PR}	100	1000	
Programmierimpulsanstiegs- u. abfallzeit	t _{PRR} , t _{PRF}	0,5	2	
aufsummierte Programmierzeit je Adresse	t _{PS}	50		ms



2 KByte-EPROM 2716 Anschlußbeschreibung

- mit UV-Licht löschbarer Festwertspeicher 2048 x 8 Bit
- Zugriffszeit ≤ 450 ns, nur eine Versorgungsspannung +5V



- A₀-A₁₀ Eingänge zu lesende oder zu programmierende Adresse
- O₀-O₇ Ausgänge (tri-state) ausgelesene Daten (Lesebetrieb)
- Eingänge zu programmierende Daten (Programmierbetrieb)
- CE/PR Eingang Bausteinauswahl (Chip Enable)
0-Baustein ausgewählt
Programmierimpulseingang (Programmierbetrieb)
- OE Eingang Ausgangsaktivierung
0- am Ausgang liegen Daten an (CE muß ebenfalls 0 sein)
1- Ausgänge hochohmig
- U_{pp} Eingang Programmiervspannung
+5V - Lesen
+25V - Programmieren

2 KByte-EPROM 2716 Funktion

Lesebetrieb:

- Programmierspannungseingang U_{PP} mit +5V verbinden!
- Der Ausgangsfreigabeingang kann genutzt werden, um bei der \overline{CS} -Dekodierung eine zusätzliche Verknüpfung mit \overline{MREQ} der CPU einzusparen, \overline{MREQ} kann an \overline{OE} angelegt werden.

Programmierbetrieb:

- Im Neuzustand und nach dem Löschen befinden sich alle Datenbits im 1-Zustand, durch den Programmiervorgang können sie auf 0 geändert werden.
- An den Programmierspannungseingang wird ständig +25V angelegt.
- Zum Programmieren einer Speicherstelle (8 Bit bzw. 1 Byte) sind die entsprechenden Adressen und Daten anzulegen, das Programmieren erfolgt durch einen einmaligen, 50 ms langen positiven Impuls mit TTL-Pegel an \overline{CE}/PR . Die Speicherstellen können einzeln bzw. in beliebiger Reihenfolge programmiert werden.
- Das Lesen zur Kontrolle kann mit angelegter Programmierspannung $U_{PP} = +25V$ und $\overline{CE}/PROG = 0$, $\overline{OE} = 0$ erfolgen.
- Die Spannung $U_{PP} = +25V$ darf nur anliegen, wenn auch $U_{CC} = +5V$ anliegt, der Schaltkreis sollte deshalb nicht bei anliegender Programmierspannung $U_{PP} = 25V$ in die Fassung gesteckt bzw. aus ihr entfernt werden.

2 KByte-EPROM 2716 Elektrische Kennwerte

Grenzwerte:

Programmiererspannung U_{PP} bezogen auf $U_{SS}(0)$	-0,3...+26,5V
Spannung an den übrigen Anschlüssen bezogen auf $U_{SS}(0)$	-0,3...+6V
Betriebstemperatur	0...70 °C

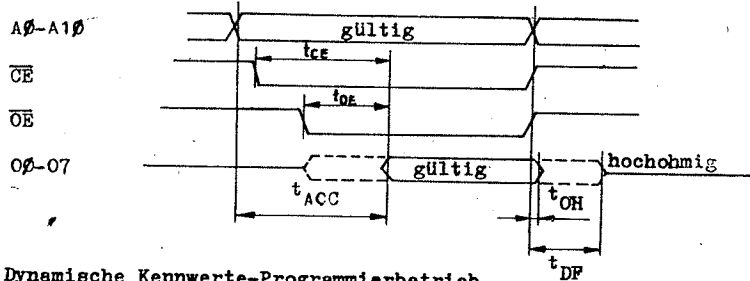
Statische Kennwerte

Kenngröße	Zeichen	Min	Max	Einheit	Bemerkung
Betriebsspannung	U_{CC}	4,75	5,25	V	bei $I_{OH} = -400\mu A$ bei $I_{OL} = 2,1mA$
Programmiererspannung beim Programmieren	U_{PP}	24	26		
Eingangsspannung	U_{IH} U_{IL}	2,0 -0,1	$U_{CC}+1$ 0,8		
Ausgangsspannung	U_{OH} U_{OL}	2,4	0,45		
Eingangsströme, Ausgangsrestströme (Betrag)	I_R		10	μA	57 mA } typisch 10 mA }
Stromaufnahme aktiv- $\overline{CE}=0$ standby- $\overline{CE}=1$	I_{CC1} I_{CC2}		100 25	mA	
Stromaufnahme an U_{PP} während Programmierung	I_{PP1} I_{PP2}		5 30		
Eingangskapazität	C_I		6	pF	
Ausgangskapazität	C_O		12		

2 KByte-EPROM 2716 Elektrische Kennwerte

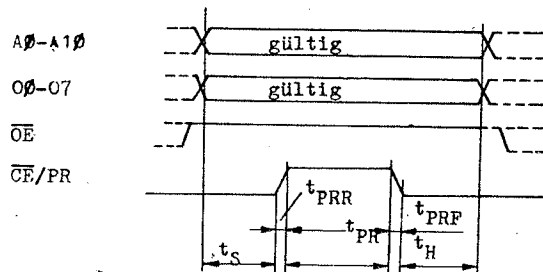
Dynamische Kennwerte - Lesebetrieb:

Kenngröße	Zeichen	Min	Max	Einheit
Zugriffszeit (ab Anliegen der Adresse)	t_{acc}		450	ns
Verzögerung von \overline{CE} bis zur Datengültigkeit	t_{CE}		450	
Verzögerung von \overline{OE} bis zur Datengültigkeit	t_{OE}		120	
Datenhaltezeit nach Adresswechsel, $\overline{CE} \rightarrow 1$ oder $\overline{OE} \rightarrow 1$	t_H	0		
Verzögerung nach $\overline{OE} \rightarrow 1$ bis hochohmiger Zustand an $O\phi-07$	t_{DF}	0	100	



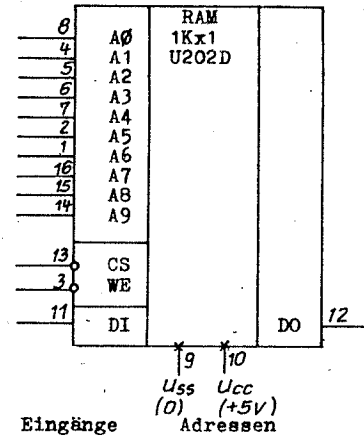
Dynamische Kennwerte-Programmierbetrieb

Kenngröße	Zeichen	Min	Max	Einheit	Bemerkung
Setz- u. Halbzzeiten für $A\phi-A10$, $O\phi-07$, \overline{OE}	t_S, t_H	2		μs	Sollwert: 50ms
Programmierimpulslänge an \overline{CE}/PR	t_{PR}	45	55	ms	
Anstiegs- und Abfallzeiten des Programmierimpulses	t_{PRR}, t_{PRF}	5		ns	



Stat. 1 KBit-RAM U202D Anschlußbeschreibung

- Statischer Schreib-Lesespeicher
- Speicherkapazität 1024 x 1 Bit
- Zugriffszeit ≤ 400 ns, eine Betriebsspannung +5V



- $A\phi-A9$ Eingänge (0) Bausteinauswahl (Chip Select) 0-Baustein kann geschrieben oder gelesen werden, DO führt Daten 1-Baustein inaktiv, DO hochohmig
- \overline{CS} Eingang Bausteinauswahl (Chip Select) 0-Baustein kann geschrieben oder gelesen werden, DO führt Daten 1-Baustein inaktiv, DO hochohmig
- DI Eingang zu schreibende Daten (Data In)
- DO Ausgang gelesene Daten (Data Out) (tri-state)
- \overline{WE} Eingang Schreibfreigabe (Write Enable) 0-Schreiben 1-Lesen

Funktionstabelle:

	\overline{CS}	\overline{WE}	DI	DO
Ruhezustand	1	X	X	hochohmig
Schreiben 0	0	0	0	0
Schreiben 1	0	0	1	1
Lesen	0	1	X	Inhalt der ausgewählten Speicherzelle

- Der Datenausgang DO ist bei Schreiboperationen nicht hochohmig, er kann also nicht direkt mit DI bzw. einem bidirektionalen Datenbus verbunden werden.
- Durch Absenken der Betriebsspannung unter 4,75V auf minimal 2V wird ein "Schlafzustand" erreicht, in dem nur noch ein Datenerhalt erfolgt, Lese-/Schreiboperationen aber blockiert sind.

Stat. 1 KBit-RAM U202D Elektrische Kennwerte

Grenzwerte:

Betriebsspannung, Eingangsspannungen auf U_{SS} (0-Potential) bezogen	-0,5...+7V
Verlustleistung P_V	$\leq 1W$
Betriebstemperaturbereich	0...+70 °C
Lagertemperaturbereich	-55...+125 °C

Statische Kennwerte und Kapazitäten:

Kenngröße	Zeichen	Min	Max	Einheit	Bemerkung
Betriebsspannung	U_{CC}	4,75	5,25	V	bei $I_{OL}=2,1$ mA bei $I_{OH}=100$ μ A
Schlafspannung	U_{CCS}	2			
Eingangsspannung	U_{IL} U_{IH}	-0,5 2,0	0,8 U_{CC}		
Ausgangsspannung	U_{OL} U_{OH}	2,4	0,4		
Eingangsreststrom und Reststrom des hochohmigen tri-state Ausgangs	I_R		10	μ A	
Stromaufnahme	I_{CC}		45	mA	bei $U_{CC} = 5,25$ V
Schlafstromaufnahme	I_{CCS}		30	mA	bei $U_{CC} = 2$ V
Eingangskapazität	C_I		5	pF	
Ausgangskapazität	C_O		10	pF	

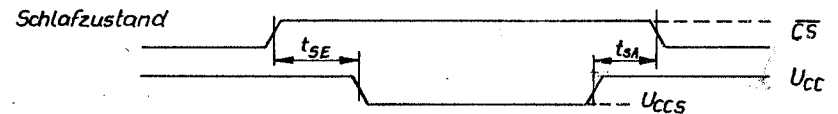
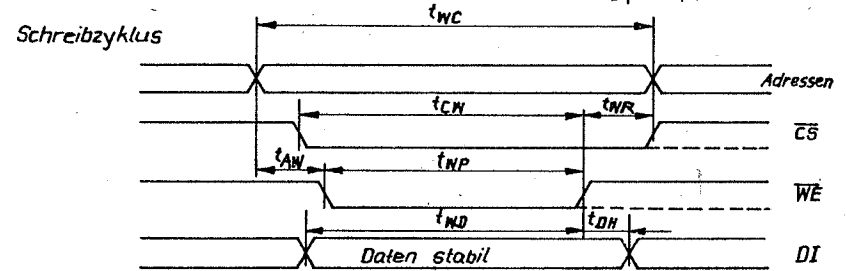
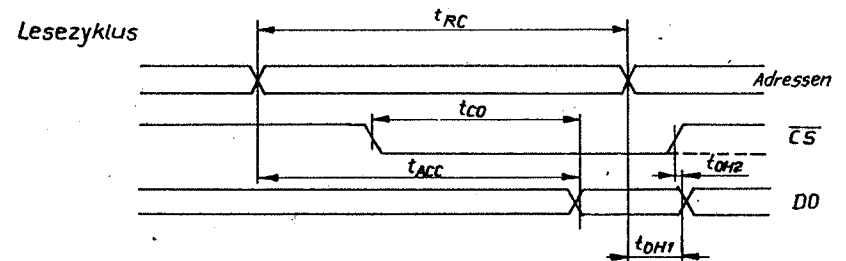
Dynamische Betriebsbedingungen:

Kenngröße	Zeichen	Min	Max	Einheit
Dauer eines Lese- oder Schreibzyklus	t_{RC}, t_{WC}	400		ns
Adressenbereitstellungszeit	t_{AW}	20		
Schreibimpulsbreite	t_{WP}	300		
Datensetzzeit	t_{DW}	300		
\overline{CS} =0-Zeit im Schreibzyklus	t_{CW}	300		
Adressen-/Datenhaltezeit bezüglich \overline{WE}	t_{AH}, t_{DH}	0		
Einschlaf-Verzögerung	t_{SE}	0		
Aufwach-Verzögerung	t_{SA}	400		

Stat. 1 KBit-RAM U202D Elektrische Kennwerte

Dynamische Kennwerte:

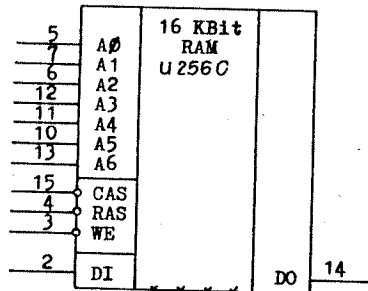
Kenngröße	Zeichen	Min	Max	Einheit
Zugriffszeit	t_{ACC}		400	ns
Ausgangsverzögerung	t_{CO}		200	
Gültigkeitsdauer von DO nach Adressenänderung	t_{OH1}	40		
nach \overline{CS} -Änderung	t_{OH2}	0		



Dyn. 16 KBit-RAM U256C Anschlußbeschreibung

Merkmale:

- Dynamischer Schreib-Lesespeicher, 16.384 Bit x 1 organisiert
- Alle Ein- und Ausgänge sind TTL-Kompatibel
- Übergabe der 14 Adreßbits an 7 Adreßanschlüsse im Zeitmultiplex
- Betriebsspannungen -5V, +5V, +12V ($\pm 10\%$)



A0-A6	Eingänge	Adressen (gemultiplext höher- und niederwertiger Teil)
DI	Eingang	Daten (Data In)
DO	Ausgang (tri-state)	Daten (Data Out)
$\overline{\text{CAS}}$	Eingang	Spaltenadreßabtastung (Column Address Strobe)
$\overline{\text{RAS}}$	Eingang	Zeilenadreßabtastung (Row Address Strobe)
$\overline{\text{WE}}$	Eingang	Schreibfreigabe (Write Enable)

U_{ss} U_{cc} U_{dd}
(-5V)(0)(+5V)(+12V)

Dyn. 16 KBit-RAM U256C Funktion

- Der Tri-state-Ausgang wird von $\overline{\text{CAS}}=0$ in den niederohmigen Zustand gesteuert; die gelesenen Daten liegen am Ausgang an, bis $\overline{\text{CAS}}$ wieder inaktiv wird. Die am Ausgang einmal anliegenden Daten werden nicht mehr verändert, so daß während $\overline{\text{CAS}}=0$ ein Schreiben in die angewählte Speicherstelle erfolgen kann (kombinierter Lese-Schreib-Zyklus) oder Auffrischen mit $\overline{\text{RAS}}$ ausgeführt werden kann.
- Mit jeder $\overline{\text{RAS}}$ -Aktivierung wird die gesamte zugegriffene Zeile aufgefrischt, wobei $\overline{\text{RAS}}$ den Datenausgang nicht beeinflusst. Das Auffrischen muß für jede der 128 Zeilen mindestens alle 2 ms erfolgen. Es kann bewirkt werden durch normale Lese- bzw. Schreibzyklen, durch Auffrischzyklen, bei denen nur $\overline{\text{RAS}}$ aktiviert wird oder durch "verstecktes Auffrischen" in Zusammenhang mit einem Lesezyklus wie oben beschrieben.
- Eine besonders niedrige Zugriffszeit ergibt sich, wenn nur die Speicherstellen einer Zeile bearbeitet werden (Seiten-Modus), Die Übergabe der Zeilenadresse (mit $\overline{\text{RAS}}$) ist dann nur einmalig notwendig. Diese Betriebsart ist aber im Mikrorechnersystem mit U880D im allgemeinen nicht erforderlich.
- Eine bestimmte Reihenfolge beim Zuschalten der Betriebsspannungen ist nicht erforderlich. Nach dem Einschalten oder nach längeren Pausen ohne Auffrischen müssen mindestens 8 Zugriffszyklen (z.B. Auffrischzyklen) ausgeführt worden sein, bevor der Speicher richtig arbeitet.

Dyn. 16 KBit-RAM U256C Elektrische Kennwerte

Grenzwerte:

Betriebsspannung U_{DD}	-1...+15V
U_{CC}	-1...+
Eingangsspannung U_{BB} (-5V)	-0,5...+20V
Betriebstemperaturbereich	0...70 °C

Statische Kennwerte und Kapazitäten:

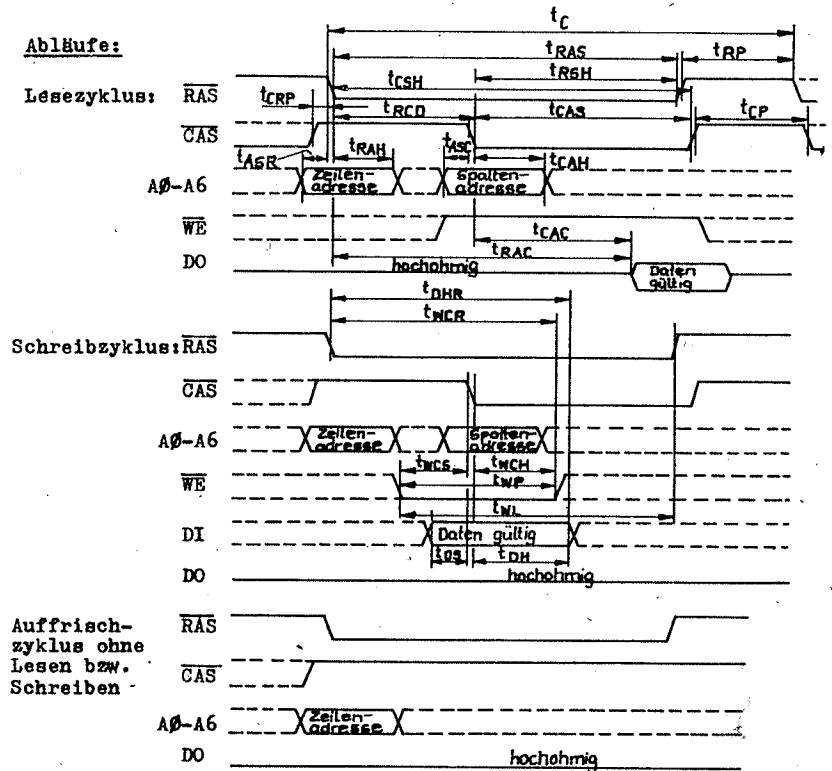
Kenngröße	Zeichen	Min	Max	Einheit	Bemerkung
Betriebsspannungen bezogen auf U_{SS} (0-Potential)	U_{BB}	-5,5	-4,5	V	
	U_{CC}	4,5	5,5		
	U_{DD}	10,8	13,2		
Eingangsspannung RAS, CAS, WE	U_{IH}	2,7	7		
	U_{IL}	-1	0,8		
Eingangsspannung A $\bar{0}$ -A6, DI	U_{IH}	2,4	7		
	U_{IL}	-1	0,8		
Ausgangsspannung	U_{OH}	2,4			bei $I_{OH} = -5mA$ bei $I_{OL} = 4,2mA$
	U_{OL}		0,4		
Eingangsströme und Reststrom des hochohmigen Ausgangs	I_R		10	μA	
Stromaufnahmen	I_{BB1}		0,05	mA	Ruhezustand $\overline{RAS}=0$ $\overline{CAS}=1$ (sonst: Ausgangsstrom) Ruhezustand Zykluszeit $t_{RC} = 375 ns$, $t_{RAS} = 200 ns$
	I_{BB2}		0,3		
	I_{CC}		0,01		
	I_{DD1}		1,5		
	I_{DD2}		35		
Eingangskapazität A $\bar{0}$ -A6, DI	C_{I1}		5	pF	
	C_{I2}		7		
	C_{I3}		10		
Ausgangskapazität DO	C_O		7		

Dyn. 16 KBit-RAM U256C Elektrische Kennwerte

Dynamische Kennwerte:

Kenngröße	Zeichen	Min	Max	Einheit
Zugriffszeit nach \overline{RAS}	t_{RAC}		200	ns
Zugriffszeit nach \overline{CAS}	t_{CAC}		135	
Verzögerung von bis DO hochohmig	t_D	0	60	

Abläufe:



Dyn. 16 KBit-RAM U256C Elektrische Kennwerte

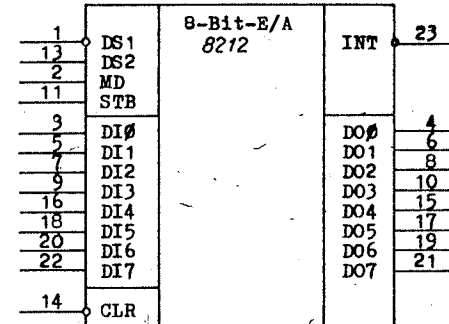
Dynamische Betriebsbedingungen (für Schreib. Lese- und Auffrischzyklen)

Kenngröße	Zeichen	Min	Max	Einheit
Auffrischzeitabstand	t_{REF}		2	ms
Vorladezeit (Dauer $\overline{RAS}=1$)	t_{RP}	120		
\overline{RAS} - Verzögerung von $\sqrt{-CAS}$ bis $\sqrt{-RAS}$	t_{CRP}	-20		
Haltezeit ab $\sqrt{-CAS}$	t_{RSH}	135		
- Impulslänge $\overline{RAS}=0$	t_{RAS}	200	10000	
Vorladezeit (Dauer $\overline{CAS}=1$)	t_{CPN}	25		
\overline{CAS} - Verzögerung von \sqrt{RAS} bis \sqrt{CAS}	t_{RCD}	25	65	
Haltezeit ab $\sqrt{-RAS}$	t_{CSH}	200		
Impulslänge $\overline{CAS}=0$	t_{CAS}	135	10000	
Setzzeit vor $\sqrt{-CAS}$	t_{WCS}	-20		
\overline{WE} Haltezeit nach $\sqrt{-CAS}$	t_{WCH}	55		
Haltezeit nach $\sqrt{-RAS}$	t_{WCR}	120		
Impulslänge $\overline{WE}=0$	t_{WP}	55		
Zeitabstand von $\sqrt{-WE}$ zu $\sqrt{-RAS}$ bzw. $\sqrt{-CAS}$	t_{WL}	80		
Zeilenadr.-setzzeit vor $\sqrt{-RAS}$	t_{ASR}	0		
A ₀₋₆ Zeilenadr.-haltezeit nach $\sqrt{-RAS}$	t_{RAH}	25		
Spaltenadr.-setzzeit vor $\sqrt{-CAS}$	t_{ASC}	-10		
Spaltenadr.-haltezeit nach $\sqrt{-CAS}$	t_{CAH}	55		
nach $\sqrt{-RAS}$	t_{AR}	120		
Setzzeit vor $\sqrt{-CAS}$	t_{DS}	0		
DI Haltezeit nach $\sqrt{-CAS}$	t_{DH}	55		
nach $\sqrt{-RAS}$	t_{DHR}	120		
Dauer eines Lese- oder Schreibzyklus	t_C	375		
Dauer eines Lese- oder Schreibzyklus im Seiten-Modus	t_{CP}	225		
Anstiegs- und Abfallzeiten der Steuersignale	t_r, t_F	3	50	

8-Bit-E/A-Schaltkreis 8212 Anschlußbeschreibung

Merkmale:

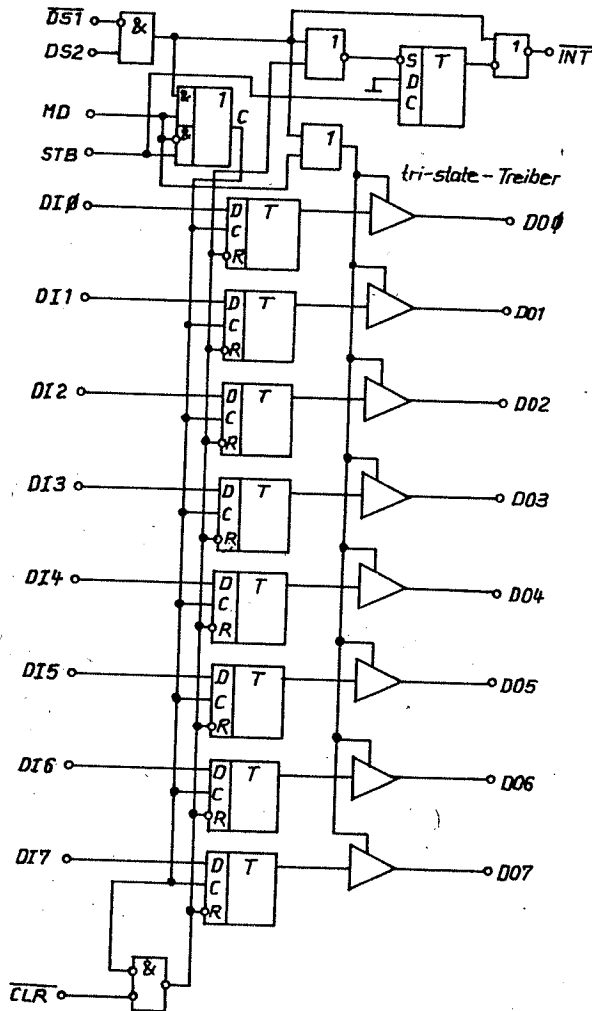
- 8-Bit-Pufferregister mit tri-state-Ausgängen
- Verwendbar zur Eingabe, Ausgabe, als Bustreiber (in einer Richtung) u.a.
- Low-power Schottky-TTL, damit Eingangslast nur 0,25 mA,
- Ausgangslastfaktor 10, Ausgangsspannung $U_{OH} = 3,65V$ (EPROM-Ansteuerung u.a.)



- DI₀-DI₇ Eingänge Daten (Data In)
- DO₀-DO₇ Ausgänge Daten (Data Out)
(tri-state)
- $\overline{DS1}$ Eingänge Bausteinauswahl, (Device Select)
- DS₂ Eingänge $\overline{DS1}=0$ und $DS2=1$: Baustein ausgewählt
- \overline{CLR} Eingang Rücksetzen (Clear)
0-Rücksetzen der Flip-Flops
- \overline{INT} Ausgang 0-Unterbrechungsanmeldung (Interrupt)
- MD Eingang Betriebsartenauswahl (Mode)
0-Eingabebaustein
1-Ausgabebaustein
- STB Eingang Übernahmeimpuls (Strobe)
1-Übernahme der Eingangsbelegung (statisch)

8-Bit-E/A-Schaltkreis 8212 Funktion

Innenschaltung

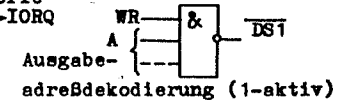


8-Bit-E/A-Schaltkreis 8212 Funktion

- Die Ausgänge der statischen D-Flip-Flops in den Datenleitungen folgen unmittelbar den Eingängen, wenn der (interne) Takt C=1 ist, wenn C=0 wird, bleibt die letzte Belegung gespeichert.
Die Flip-Flops werden durch $\overline{CLR}=0$ rückgesetzt, wenn der interne Takt C=0 (passiv) ist.
- Betrieb als Eingabebaustein (MD=0):
Die tri-state-Treiber am Ausgang schalten durch, wenn der Baustein angewählt ist ($DS1=0$ und $DS2=1$), sonst sind die Ausgänge hochohmig.
Die Datenübernahme der Daten-Flip-Flops wird durch STB gesteuert (C=STB)
- Betrieb als Ausgabebaustein (MD=1):
Die tri-state-Treiber sind ständig durchgeschaltet (kein hochohmiger Zustand)
Die Datenübernahme der Daten-Flip-Flops wird durch die Auswahl-signale $DS1$ und $DS2$ gesteuert (C= $DS1 \cdot DS2$)
- Das Unterbrechungsanmeldungs-Flip-Flop wird von der fallenden Flanke von CLR sowie bei Vorliegen der Auswahlbedingung ($DS1=0$, $DS2=1$) gesetzt (Unterbrechung dann inaktiv!) das Rücksetzen (Unterbrechungsanmeldung) erfolgt mit der fallenden Flanke von STB.

Anwendungen:

- Lastfaktorenerweiterung für unidirektionale Busse (Adreßbus...) mit Abschaltungsmöglichkeit: STB, $\overline{CLR} \rightarrow 1 (+5V)$
MD, $DS1 \rightarrow 0$
DS2 - Ausgangsaktivierung (1-Ausgänge aktiv)
Die Eingangsbelegungen werden sofort durchgeschaltet
- Ausgabebaustein am U880D-System (ohne Hardware-Quittungsbetrieb)
DI0-DI7 an Systemdatenbus (bzw. Ausgabedatenbus)
DO0-DO7 zur Peripherie
MD $\rightarrow 1 (+5V)$, $DS2 \rightarrow IORQ$



8-Bit-E/A-Schaltkreis 8212 Elektrische Kennwerte

Grenzwerte, gültig für 8212, 8216, 8205

Betriebsspannung	-0,5...+7V
Eingangsspannungen	-1...+5,5V
Ausgangsströme	≤ 125mA

Statische Kennwerte

bei $T_a = 0...70\text{ }^\circ\text{C}$, $V_{CC} = 4,75...5,25\text{V}$

Kennwert	Zeichen	Min	Max	Einheit	Bemerkung
Eingangsströme DS2, CLR, DI \emptyset -DI7 STB	I _{IL}	-250		μA	alle I _{IL} bei U _{IL} =0,45V I _{IH} bei U _{IH} =5,25V
	I _{IH}		10		
Eingangsströme MD	I _{IILMD}	-750		μA	
	I _{IHMD}		30		
Eingangsstrom DS1	I _{IIL}	-1000		μA	
	I _{IHDS1}		40		
Eingangsspannungen	U _{IL}		0,85	V	bei I _{OL} =15mA bei I _{OL} =1mA
	U _{IH}	2,0			
Ausgangsspannungen	U _{OL}		0,45	V	
	U _{OH}	3,65			
Stromaufnahme	I _{CC}		130	mA	

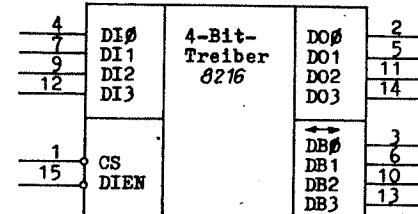
Dynamische Kennwerte:

Kennwert	Symbol	Min	Max	Einheit
Impulslänge an STB bzw. DS1 · DS2	t _{PW}	30		ns
Durchlaufverzögerung DI→DO im durchgeschalt. Zustand	t _{PD}		30	
Verzögerungszeit von STB bzw. DS1 · DS2 bis DO	t _D		40	
Datensetzzeit bis zur STB bzw. DS1 · DS2 Aktivierung	t _S	15		

4-Bit-bidirektionaler Treiber 8216 Anschlußbeschreib.

Merkmale:

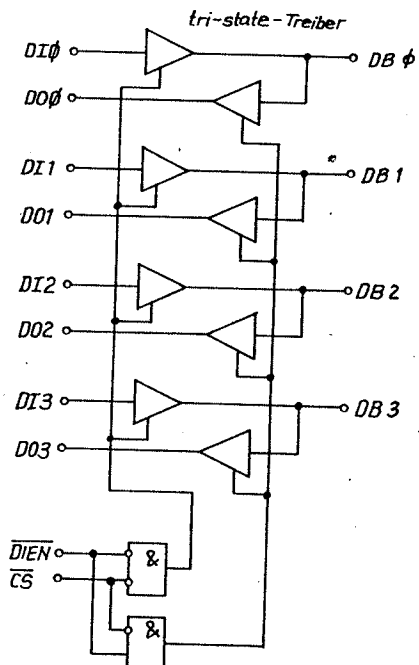
- Zweirichtungs-Treiberschaltung als Bustreiber für bidirektionale Busse oder Aufspaltung bidirektionaler Busse.
- Low-Power-Schottky-TTL, Eingangslast nur 0,25 mA.
- Ausgangsbelastbarkeit I_{OL} ≤ 55 mA; Ausgangsspannung U_{OH} (DO₃) ≥ 3,65V.



- CS** Eingang Bausteinaktivierung (Chip Select)
0-Baustein aktiv
1-alle Ausgänge hochohmig
- DIEN** Eingang Richtungsumschaltung
0-DI auf DB durch schalten (Eingabe)
1-DB auf DO durch schalten (Ausgabe)
- DB \emptyset -DB3** Ein/Ausgänge (tri-state) bidirektionaler Datenbus
- DI \emptyset -DI3** Eingänge Eingabedatenbus
- DO \emptyset -DO3** Ausgänge (tri-state) Ausgabedatenbus

4-Bit-bidirektionaler Treiber 8216 Funktion

Innenschaltung:



Funktionstabelle:

CS	DIEN	Funktion
0	0	DI → DB, DO hochohmig
0	1	DB → DO
1	0	Ausgänge DB, DO hochohmig
1	1	Ausgänge DB, DO hochohmig

Anwendungen:

- Treiberschaltung für bidirektionalen CPU-Datenbus
 CS → BUSRQ-Signal (Freigabe auch des gepufferten Datenbusses)
 DIEN → M1 v RD
 alle DI an entsprechende DO → CPU-Datenbus
 DB → Datenbus mit erweitertem Lastfaktor
- Ankopplung von Speicherbausteinen mit getrennten Datenein- und Ausgängen an einem bidirektionalen Datenbus:
 CS → CS des Speichers DO → DI des Speichers
 DIEN → RD DB → Datenbus zur CPU
 DI → DO des Speichers

4-Bit-bidirektionaler Treiber 8216 Elektrische Kennwerte

Grenzwerte: siehe 8212

Statische Kennwerte:

Kennwert	Zeichen	Min	Max	Einheit	Bemerkung
Eingangstrom für DIEN, CS	I _{ILS}	-500		µA	alle I _{IL} bei U _{IL} = 0,45V I _{IH} bei U _{IH} = 5,25V
	I _{IHS}		80		
Eingangstrom DI0-DI3	I _{ILDI}	-250		µA	
	I _{IHDI}		40		
Eingangstrom und Reststrom der tri-state Ausgänge DB0-DB3	I _{ILDB}	-250		µA	
	I _{IHDB}		100		
Reststrom der tri-state Ausgänge DO0-DO3	I _{RDO}		20	µA	
Eingangsspannung	U _{IL}		0,95	V	
	U _{IH}	2,0			
Ausgangsspannung DO0-DO3	U _{OL}		0,45	V	bei I _{OL} = 15 mA bei I _{OH} = -1 mA
	U _{OH}	3,65			
Ausgangsspannung DB0-DB3	U _{OL}		0,45	V	bei I _{OL} = 25 mA bei I _{OL} = 55 mA bei I _{OH} = -10 mA
	U _{OH}	2,4			
Stromaufnahme	I _{CC}		130	mA	

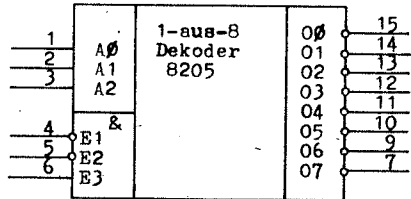
Dynamische Kennwerte:

Kennwert	Max	Einheit
Verzögerung von DB nach DO	25	ns
Verzögerung von DI nach DB	30	
Verzögerung von DIEN/CS-Aktivierung bis DO, DB aktiv	65	
Verzögerung von DIEN/CS-Deaktivierung bis DO, DB hochohmig	35	

1-aus-8-Dekoder 8205 Anschlußbeschreibung

Merkmale:

- Speicher- oder E/A-Adreßdekoder
- Low-Power-Schottky-TTL; Eingangslast nur 0,25 mA; Durchschaltzeit ≤ 18 ns
- Drei zusätzliche Freigabesignale zur Kaskadierung mehrerer Bausteine bzw. zur Verknüpfung mit bestimmten Steuersignalen.



- $\overline{A0-A2}$ Eingänge Dekodereingänge
- $\overline{E1, E2, E3}$ Eingänge Freigabe, es wird nur dann ein Ausgang aktiviert, wenn $\overline{E1}=0$; $\overline{E2}=0$; $E3=1$.
- $\overline{O0-O7}$ Ausgänge Dekoderausgänge, nur der ausgewählte Ausgang führt 0-Pegel.

1-aus-8-Dekoder 8205 Funktion

Funktionstabelle:

A2	A1	A0	E1	E2	E3	O0	O1	O2	O3	O4	O5	O6	O7
0	0	0	0	0	1	0	1	1	1	1	1	1	1
0	0	1	0	0	1	1	0	1	1	1	1	1	1
0	1	0	0	0	1	1	1	0	1	1	1	1	1
0	1	1	0	0	1	1	1	1	0	1	1	1	1
1	0	0	0	0	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	1	1	1	0	1	1
1	1	0	0	0	1	1	1	1	1	1	1	0	1
1	1	1	0	0	1	1	1	1	1	1	1	1	0
beliebig			jede Belegung außer										
			0 0 1			1 1 1 1 1 1 1 1							

Anwendung:

- Dekoder zur Speicheransteuerung
z.B. für 1 KByte-Blöcke:

$\overline{A0-A9}$ von CPU direkt an Speicher
 $\overline{A0, 1, 2}$ des 8205 \rightarrow $\overline{A10, 11, 12}$ von CPU
 $\overline{E2} \rightarrow$ MREQ (oder $\overline{E3} \rightarrow$ MREQ)
 mit den restlichen Freigabeeingängen können z.B. $\overline{A13, 14, 15}$ in die Dekodierung einbezogen werden.
 Die Ausgänge $\overline{O0-O7}$ können direkt mit den CS-Eingängen der Speicherblöcke verbunden werden.

- Dekoder zur E/A-Ansteuerung

z.B. CS-Ansteuerung für 8 PIO's U855D
 $\overline{A0-A1}$ von CPU \rightarrow Kanalauswahl und Daten/Steuerwahl für PIO
 $\overline{A0, 1, 2}$ des 8205 \rightarrow $\overline{A2, 3, 4}$ von CPU
 mit den Freigabeeingängen kann die Lage im E/A-Adreßraum bestimmt werden,

$\overline{E1} \rightarrow \overline{A5}$
 $\overline{E2} \rightarrow \overline{A6}$
 $\overline{E3} \rightarrow \overline{A7}$ } von CPU

ergibt Basisadresse 80H für 1.PIO
 84H für 2.PIO
 9CH für 8.PIO

1-aus-8-Dekoder 8205 Elektrische Kennwerte

Grenzwerte: siehe 8212

Statische Kennwerte:

bei $T_a = 0 \dots 70 \text{ }^\circ\text{C}$, $U_{CC} = 4,75 \dots 5,25\text{V}$

Kennwert	Zeichen	Min	Max	Einheit	Bemerkung
Eingangsstrom	I_{IL}	-250		μA	bei $U_{IL} = 0,45\text{V}$ bei $U_{IH} = 5,25\text{V}$
	I_{IH}		10		
Eingangsspannung	U_{IL}		0,85	V	bei $I_{OL} = 10 \text{ mA}$ bei $I_{OH} = -1,5 \text{ mA}$
	U_{IH}	2,0			
Ausgangsspannung	U_{OL}		0,45		
	U_{OH}	2,4			
Stromaufnahme	I_{CC}		70	mA	

Dynamische Kennwerte:

Kennwert	Zeichen	Min	Max	Einheit
Verzögerungszeit von Adresse bzw. Freigabe bis zum Ausgang	t_V		18	ns

Internationales Alphabet Nr. 2 (Fernschreibkode)

Nr.	Buchstabe	Ziffer/ Zeichen	b_4	b_3	b_2	b_1	b_0	Hex
1	A	-	0	0	0	1	1	03
2	B	?	1	1	0	0	1	19
3	C	:	0	1	1	1	0	0E
4	D	+	0	1	0	0	1	09
5	E	3	0	0	0	0	1	01
6	F		0	1	1	0	1	0D
7	G		1	1	0	1	0	1A
8	H		1	0	1	0	0	14
9	I	8	0	0	1	1	0	06
10	J	\bar{U}	0	1	0	1	1	0B
11	K	(0	1	1	1	1	0F
12	L)	1	0	0	1	0	12
13	M	.	1	1	1	0	0	1G
14	N	,	0	1	1	0	0	0C
15	O	9	1	1	0	0	0	18
16	P	0	1	0	1	1	0	16
17	Q	1	1	0	1	1	1	17
18	R	4	0	1	0	1	0	0A
19	S	'	0	0	1	0	1	05
20	T	5	1	0	0	0	0	10
21	U	7	0	0	1	1	1	07
22	V	=	1	1	1	1	0	1E
23	W	2	1	0	0	1	1	13
24	X	/	1	1	1	0	1	1D
25	Y	6	1	0	1	0	1	15
26	Z	+	1	0	0	0	1	11
27		<	0	1	0	0	0	08
28		≡	0	0	0	1	0	02
29		A...	1	1	1	1	1	1F
30		1...	1	1	0	1	1	1B
31		Leerschritt	0	0	1	0	0	04
32		Sonderverwendung	0	0	0	0	0	00

Achtung! Das niederwertige Bit b_0 ist das zuerst gesendete!

Internationales Alphabet Nr.5 - Sonderzeichenbelegung nach TGL 23 207

höherwertig niederwertig	b ₆	0	0	0	0	1	1	1	1
	b ₅	0	0	1	1	0	0	1	1
	b ₄	0	1	0	1	0	1	0	1
	b ₃ b ₂ b ₁ b ₀	Hex	0	1	2	3	4	5	6
0 0 0 0	0	NUL	DLE	SP	0	@({})	P	-	P
0 0 0 1	1	SOH	DC1	!	1	A	Q	a	q
0 0 1 0	2	STX	DC2	"	2	B	R	b	r
0 0 1 1	3	ETX	DC3	#(£)	3	C	S	c	s
0 1 0 0	4	EOT	DC4	□(\$)	4	D	T	d	t
0 1 0 1	5	ENQ	NAK	%	5	E	U	e	u
0 1 1 0	6	ACK	SYN	&	6	F	V	f	v
0 1 1 1	7	BEL	ETB	'	7	G	W	g	w
1 0 0 0	8	BS	CAN	(8	H	X	h	x
1 0 0 1	9	HT	EM)	9	I	Y	i	y
1 0 1 0	A	LF	SUB	*	:	J	Z	j	z
1 0 1 1	B	VT	ESC	+	;	K	[(Å*)	k	{ (Å)
1 1 0 0	C	FF	FS	,	<	L	0(00)	l	(0)
1 1 0 1	D	CR	GS	-	=	M] (U)	m	} (u)
1 1 1 0	E	SO	RS	.	>	N	↑ (^-)	n	↑ (B~)
1 1 1 1	F	SI	US	/	?	O	-	o	DEL

Bedeutung der wichtigsten Steuerzeichen:

- BEL - Klingel
- BS - Rückwärtsschritt (Back Space)
- HT - Horizontaltabulator
- LF - Zeilenschaltung (Line Feed)
- VT - Vertikaltabulator
- FF - Formularvorschub (Form Feed)
- CR - Wagenrücklauf (Carriage Return)
- ESC - Abbruch (Escape)
- SP - Leerzeichen (Space)

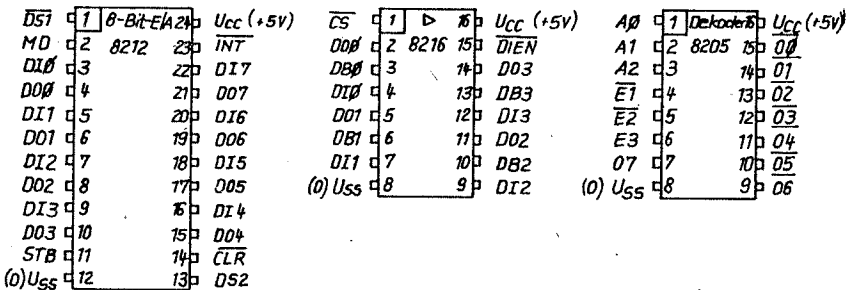
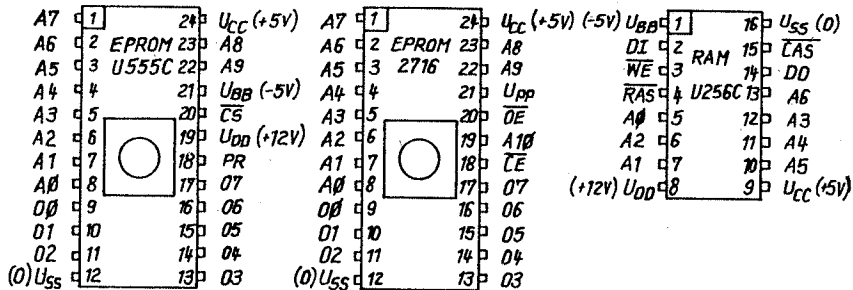
anschlußbelegungen

A11	1	40	A10	D2	1	40	D3
A12	2	39	A9	D7	2	39	D4
A13	3	38	A8	D6	3	38	D5
A14	4	37	A7	CE	4	37	MT
A15	5	36	A6	CIO	5	36	TORQ
C	6	35	A5	BIA	6	35	RD
D4	7	34	A4	PA7	7	34	PB7
D3	8	33	A3	PA6	8	33	PB6
D5	9	CPU	A2	PA5	9	32	PB5
D6	10	U880D	A1	PA4	10	31	PB4
(+5V)Ucc	11		Aφ	PA3	11	30	PB3
D2	12		Uss (0)	PA2	12	29	PB2
D7	13		RESH	PA1	13	28	PB1
Dφ	14		MT	PAφ	14	27	PBφ
D1	15		RESET	PAφ	15	26	Ucc (+5V)
INT	16		BUSRQ	ASTB	16	25	C
NMI	17		WAIT	BSTB	17	24	IEI
HALT	18		BUSAK	ARDY	18	23	INT
MREQ	19		WR	Dφ	19	22	IEO
TORQ	20		RD	D1	20	21	BRDY

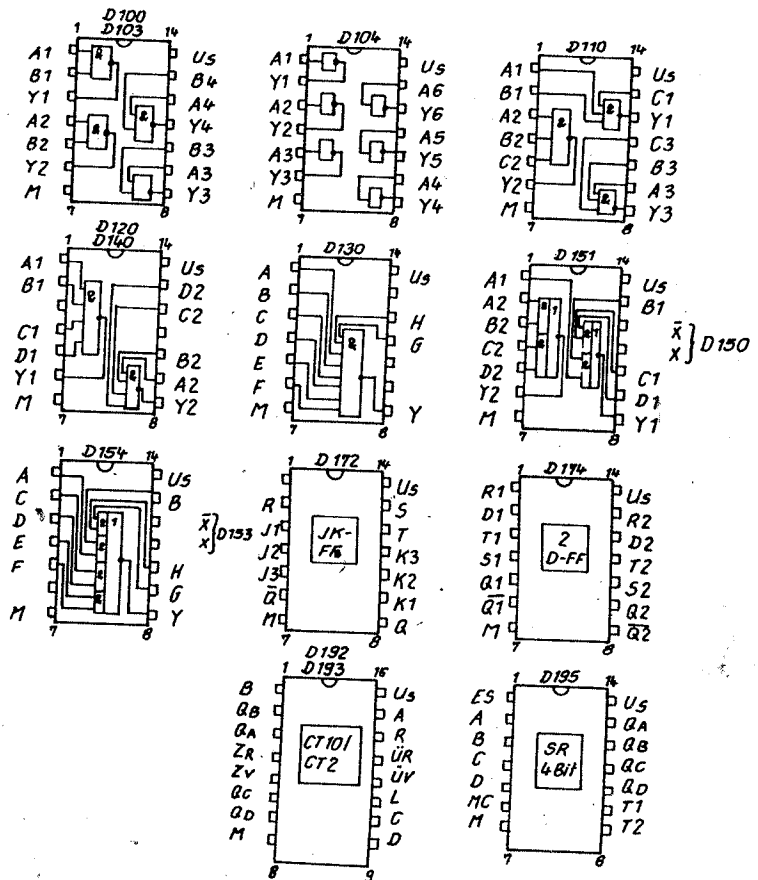
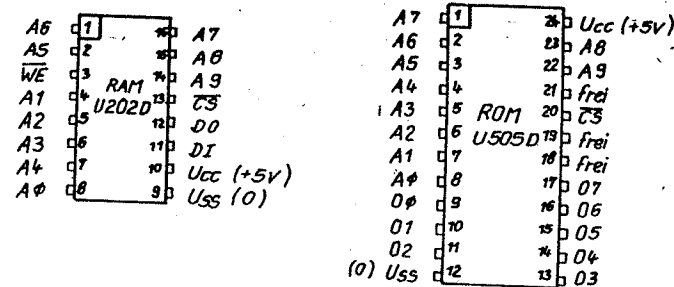
D1	1	40	Dφ	D4	1	28	D3
D3	2	39	D2	D5	2	27	D2
D5	3	38	D4	D6	3	26	D1
D7	4	37	D6	D7	4	25	Dφ
INT	5	36	TORQ	(0)Uss	5	24	Ucc (+5V)
IEI	6	35	CE	RD	6	23	CITRG φ
IEO	7	34	BIA	ZCITOφ	7	22	CITRG 1
MT	8	33	CIO	ZCITO 1	8	21	CITRG 2
(+5V)Ucc	9	32	RD	ZCITO 2	9	20	CITRG 3
WIRDYA	10	SIO	Uss (0)	TORQ	10	19	KS 1
SYNCA	11	U856D	WIRDYB	IEO	11	18	KS φ
RxDA	12		SYNCB	INT	12	17	RESET
RxCA	13		RxDB	IEI	13	16	CE
TxCA	14		RxTxCB	MT	14	15	C
TxDA	15		TxDB				
DTRA	16		DTRB				
RTSA	17		RTSB				
CTSA	18		CTSB				
DCDA	19		DCDB				
C	20		RESET				

* Bondversion φ

Anschlußbelegungen



Anschlußbelegungen



Hersteller:

VEB KOMBINAT POLYTECHNIK UND
PRÄZISIONSGERÄTE KARL-MARX-STADT



Stammbetrieb

VEB POLYTECHNIK
KARL-MARX-STADT

DDR - 9023 Karl-Marx-Stadt
Melanchthonstraße 4/8 · PSF 93

Exporteur:

MLW intermed · export · import

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik

DDR-1020 Berlin, Schicklerstraße 5/7 · PSF 17
Deutsche Demokratische Republik