

robotron

1715

**Service-
handbuch**

Computer

Inhaltsverzeichnis

	Seite
1.0 Technische Beschreibung	2
1.1. Konstruktiver Aufbau	2
1.2. Zentrale Recheneinheit	4 - 34
1.3. Technische Beschreibung Anschlußsteuerung 2xV.24	35 - 39
1.4. STE Schnittstelle 2xIFSS	40 - 43
1.5. Anstewereinheit für Floppy-Disklaufwerke	44 - 56
1.6. Floppy-Disklaufwerke	57 - 77
1.7. Display K7221.25/K7222.25	78 - 86
1.8. Testatur 1715	87 - 92
1.9. Stromversorgung	93 - 101
2.0. Serviceempfehlung	102
2.1. Meß- und Prüfmittel	102
2.2. Hinweise zur Fehlersuche	105
2.3. Baugruppenaustausch	106 - 110
3.0. Steckerbelegung	111 - 115
4.0. Vergleichsliste	116 - 117
5.0. Pin-Belegung	118 - 148
6.0. Einstellvorschrift	149 - 165
7.0. Wartungsvorschrift	166 - 171
8.0. Anstewereinheit für Folien- speicherlaufwerke 20-330-0202-5	172

© VEB Robotron BÜromaschinenwerk Sommerda 1985

VEB NACHRICHTENELEKTRONIK

-ERNST THALMANN- ARNSTADT

Postfach 10 VEB Kombinat Nachrichtenlabor

Postweg 6

Arnstadt

M.B.B.

Kundendienst-AS

1. Technische Beschreibung
 1.1. Konstruktiver Aufbau

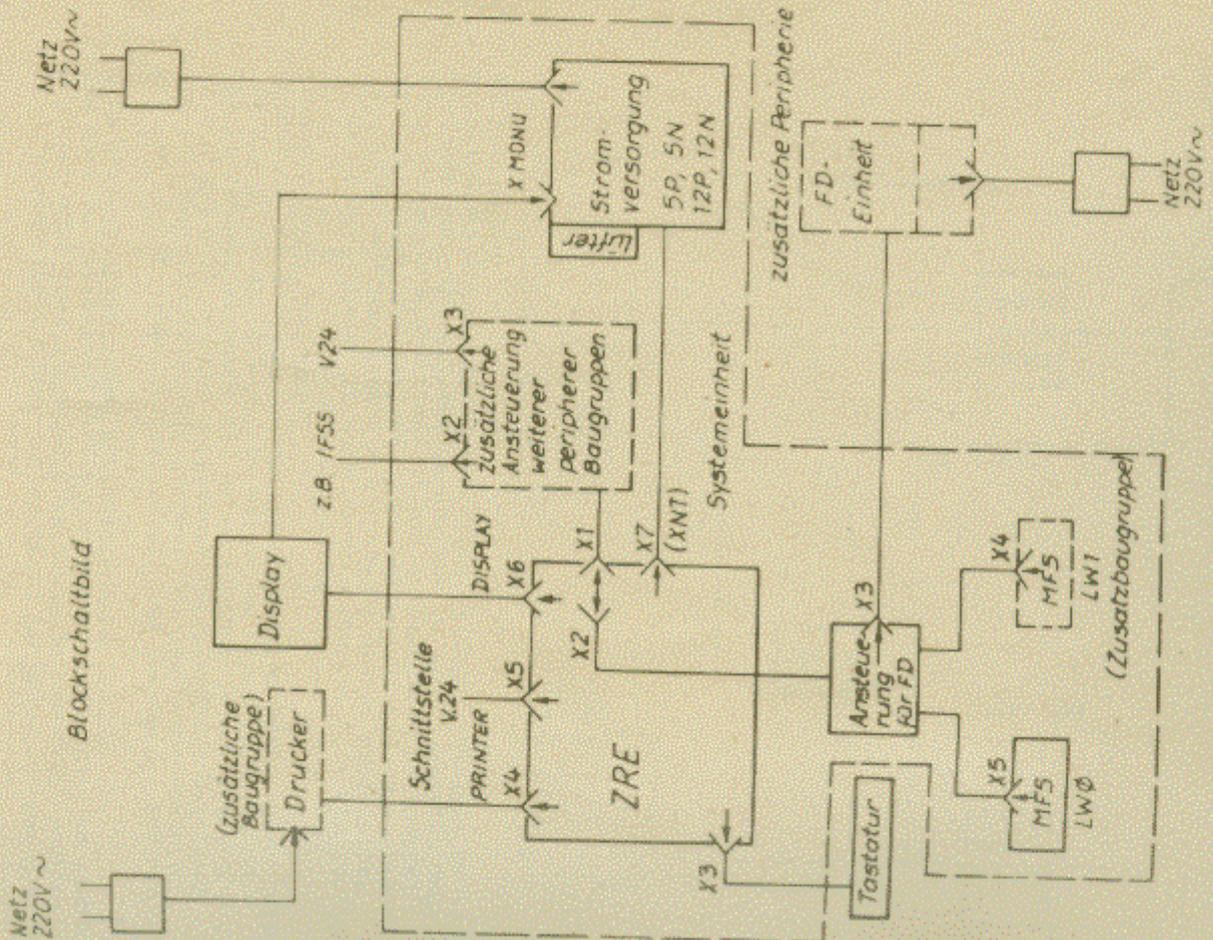
- Der 1715 setzt sich, wie aus nachstehendem Blockschaltbild ersichtlich ist, aus einem System von modularen Baugruppen zusammen:
- Systemeinheit, bestehend aus:
 - Zentrale Recheneinheit (ZRE) mit CPU, Takterzeugung, Reset-erzeugung, Anfangslader-PRON, RAM-Speicher max. 64 K, Bildschirmsteuerung mit umschaltbarem Zeichengeneratort, 3 seriellen Schnittstellen (Tastatur; Drucker; V.24 frei verfügbar), je einer Schnittstelle für Anschluß der FD-Ansteuerung und einer zusätzlichen Peripherielessteuerung
 - FD-Ansteuerung für max. 4 Laufwerke
 - 1 (Standard) oder 2 Minifolienpeicher
 - Stromversorgungsbaugruppe mit Lüfter
 - zusätzliche Peripherielessteuerung (IFSS/V.24)
 - Tastatur (Anschluß über serielle Schnittstelle) mit alphanumerischer Funktions- und Zeilenlastat und den Kursorasten
 - Bildschirm: Display 1 (16x64 Zeichen)
 Display 2 (24x80 Zeichen)
 - FD-Einheit (zusätzlich) mit 2 Laufwerken und eigener Stromversorgung
 - Drucker (wahlweise Typend- oder Matrixdrucker mit entsprechender Formelartechnik)

Die Systemeinheit ist die Hauptbaugruppe des Rechners. Sie übernimmt die Verteilung der anstehenden Aufgaben und den Informationsaustausch mit den peripheren Geräten.

Die Anordnung der Baugruppen kann dem jeweiligen Anwenderproblem durch zweckentsprechende Zuordnung von Tastatur, Bildschirm und dem jeweiligen Drucker angepaßt werden.

VERBODEN
 VERLEHND
 VERWANDLUNG
 VERBREITUNG

Handwritten notes in blue ink, possibly a signature or date.



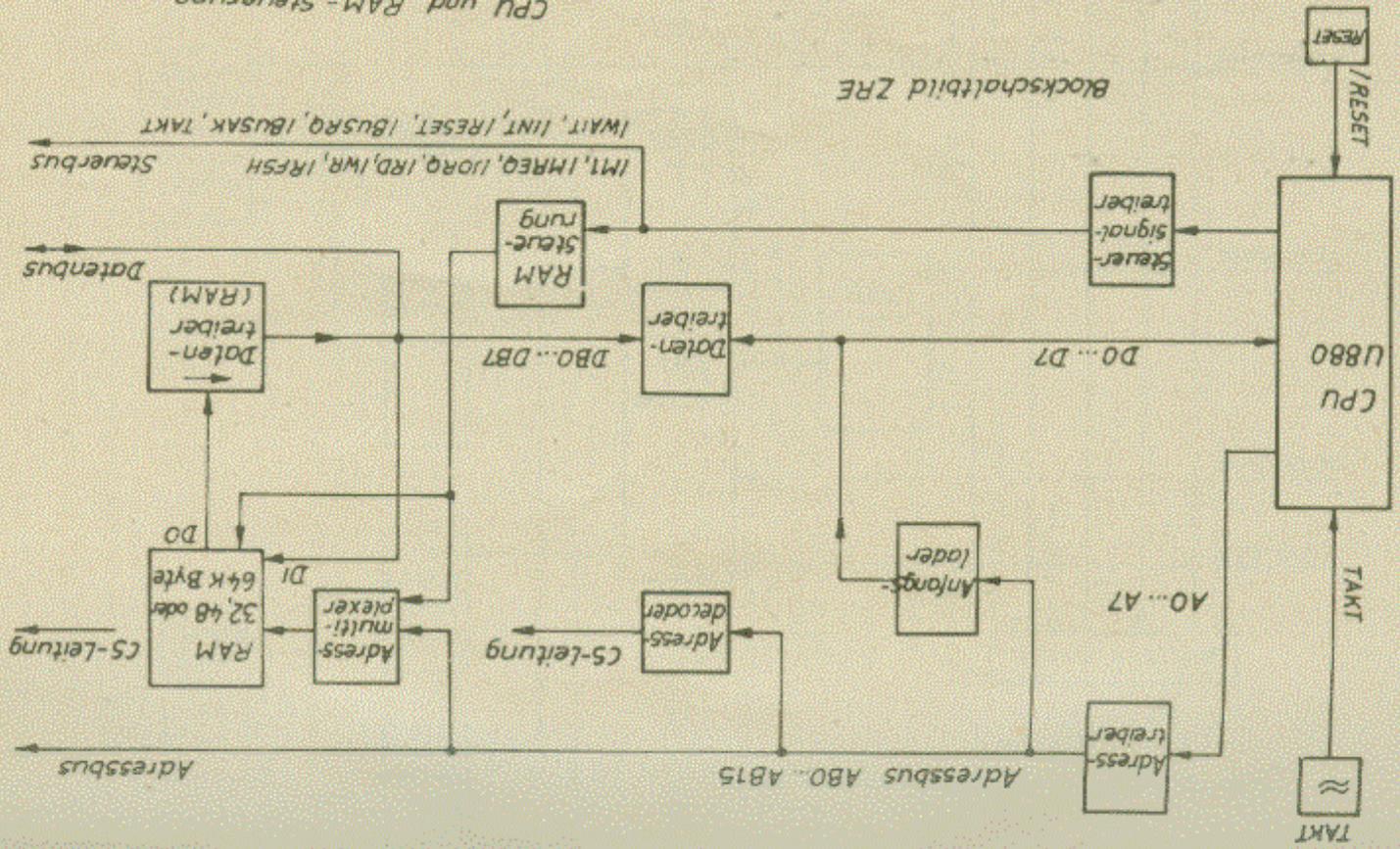
1.2. Zentrale Recheneinheit

Die Zentrale Recheneinheit, in den folgenden Ausführungen ZRE genannt, ist auf der Systembasis des Mikroprozessors U 880 aufgebaut.

Der Mikroprozessor U 880, im weiteren CPU genannt, hat die Aufgabe, sämtliche Systeminformationen zu erzeugen, auszuwerten oder im Dialogbetrieb die peripheren Baugruppen zu steuern oder deren Informationen auszuwerten.

Die CPU ist zur Synchronisation mit dem Systemtakt verbunden. Die Taktversorgungseinheit besteht aus dem Quarzgenerator ($f = 9,832 \text{ MHz}$) und dem nachgeschalteten Flip-Flop-Teiler. Der Systemtakt schwingt mit einer Frequenz von $2,458 \text{ MHz}$, er ist somit zur Versorgung von seriellen Schnittstellen zur Erzeugung der gewünschten Übertragungsraten durch eine Zählerbaustein (CIC) geeignet.

An den Flip-Flop-Teiler sind Leistungsgatter über den Schalter S1.1 (1-8) angeschlossen. Die Ausgänge dieser NAND-Gatter sind mit den Systemtaktleitungen verbunden. Die Schaltergruppe S1.1 bietet die Möglichkeit, bei Instandsetzungsarbeiten die Eingänge der Leistungsgatter von der internen Takterzeugung abzutrennen und mit einem von außen (X1:421) zugeführten Takt zu verbinden.



CPU und RAM-Steuerung

1.2.1. Systembusbelegung

Der Systembus besteht aus den Leitungsbündeln:

- Adressbus A00 - A015
- Datenbus D00 - D07
- und den Steuerungssignalleitungen /MI, /MREQ, /IORQ, /RD, /WR, /RFSH, /WAIT, /INT, /RESET, /BUSREQ, /BUSACK, TAKT, TART-X1, TART-X2.

Es ergibt sich folgende Bedeutung und Funktion:

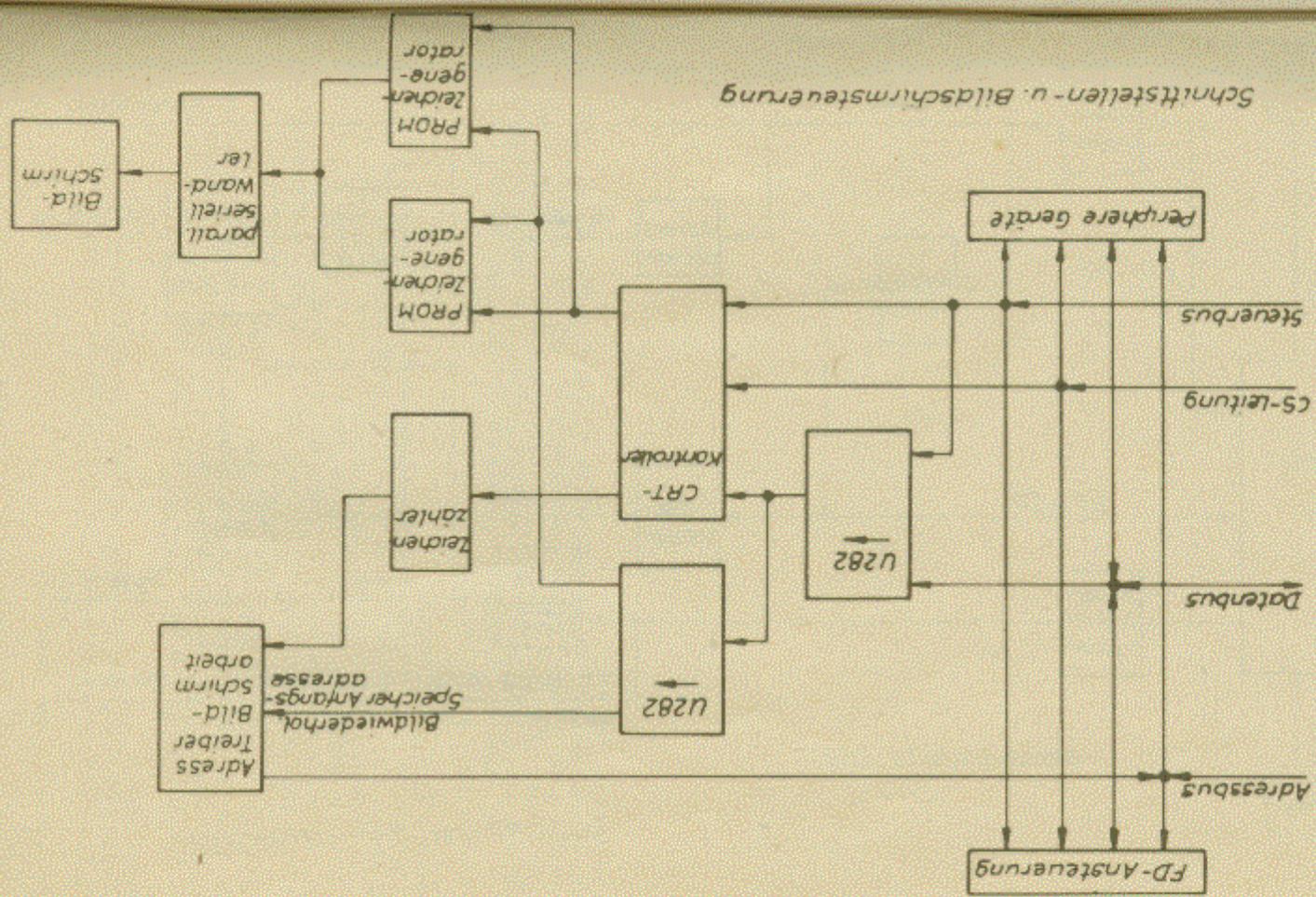
A00 - A015: Der Adressbus liefert die Adressen für Speicher-Daten-Transporte (bis zu 64 KBytes) und Daten-Transporte für E/A-Geräte. (IOW-ADR)
 Die E/A-Adressierung benutzt die unteren 8 Adressen-Bits, um eine direkte Anwahl von 256 Eingangs- oder 256 Ausgangskanälen zu ermöglichen.
 Während des Refreshzyklus enthalten die unteren 7 Bits die gültige Adresse für die Speicheraufrischung. Die von der CPU erzeugten Adressen-Bits A0 bis A15 werden über Treiberschaltkreise zum Adressbus A00 bis A015 verstärkt. Während der Datenholzeit (RFSH-Zeit) vom Bildwiederholer werden die Adressbus-Treiber durch /F3 = Low in den hochohmigen Zustand versetzt.

D00 - D07: D00 bis D07 bilden den bidirektionalen 8-Bit-Datenbus. Der Datenbus dient den Datentransporten von oder zum Speicher und von oder zu E/A-Geräten.
 Der Datenbus D00 bis D07 steht über einen Treiberschaltkreis mit dem Datenbus D0 bis D7 der CPU in Verbindung. Während der Datenholzeit (RFSH-Zeit) vom Bildwiederholer wird der Datenbusstreiber durch /F3 = Low in den hochohmigen Zustand versetzt.

Richtungssteuerung:

Operation	/PROMCS	RD	M1	IURQ	T	Richtung
Lesen Anfangslader-PROM	0	1	X	0	1	A → B
Lesen RAM oder INPUT	1	1	X	X	0	A ← B
Schreiben RAM oder OUTPUT	1	0	0	X	1	A → B
INTA-Zyklus (Les./INT-Vektor)	1	0	1	1	0	A ← B

X = 0 oder 1



Schnittstellen- u. Bildschirmsteuerung

/M1: (Maschinenzyklus 1). /M1 ist low-aktiv und zeigt an, daß sich der laufende Maschinenzyklus der Befehlsabarbeitung im Zustand "Aufzug des Operationscodes" befindet. /M1 wird während der Ausführung eines 2 Byte langen Operationscodes beim Aufruf eines jeden OP-Code-Bytes erzeugt. /M1 tri: auch zusammen mit /IORQ auf, um einen Interrupt-Akzeptanzzyklus anzuzeigen.

/MREQ: Speicheranforderung (memory request). Das low-aktive Signal zeigt an, daß der Adreßbus eine gültige Adresse für eine Speicher-Lese- oder Schreiboperation enthält.

/IORQ: Ein-Ausgabeanforderung (input/output request). /IORQ ist low-aktiv und zeigt an, daß die untere Hälfte des Adreßbusses eine gültige E/A-Adresse für eine E/A-Lese- oder Schreiboperation hat. Ein /IORQ-Signal wird auch während der /M1-Zeit aktiv generiert, um bei Interrupt-Akzeptanzzyklen, daß ein entsprechender Interruptvektor auf den Datenbus gelegt werden kann. Interrupt-Akzeptanz-Operationen treten während der /M1-Zeit auf, wogegen E/A-Operationen niemals während der /M1-Zeit durchgeführt werden.

/RD: Lesen (read). /RD ist low-aktiv und zeigt an, daß die CPU Daten vom Speicher oder von einem E/A-Gerät lesen will.

/WR: Schreiben (write). /WR ist low-aktiv und zeigt an, daß der Datenbus gültige Daten enthält, die im adressierten Speicherplatz oder E/A-Gerät gespeichert werden sollen.

/RFSH: Speicherauffrischen (refresh). Das low-aktive Signal zeigt an, daß die unteren 7-Bits des Adreßbusses eine Auffrischadresse für den dynamischen Speicher enthalten.

/HALT: Halt-Zustand (HALT-state). Befindet sich dieser Ausgang im Zustand low, zeigt die CPU an, daß sie einen Software-HALT-Befehl ausführt und nun entweder einen nicht maskierten oder einen maskierbaren Interrupt erwartet. Nur dadurch kann die CPU diese Operation wieder verlassen. Die CPU führt in diesem Zustand NOP-Befehle aus, um die Auffrischung der Speicher durchzuführen.

/WAIT: Warten (WAIT). Low-aktiver Eingang an der CPU. /WAIT zeigt an, daß der adressierte Speicherplatz oder das E/A-Gerät noch nicht für einen Datentransport bereit sind. Solange dieses Signal aktiv ist, generiert die CPU WAIT-Zustände. Mit Hilfe dieses Signals können besonders E/A-Geräte mit abweichender Geschwindigkeit mit der CPU synchronisiert werden. Dabei ist zu beachten, daß durch die zusätzlichen WAIT-Zyklen des Auffrischen des Speichers

nicht beeinträchtigt wird.

/INT: Interrupt-Aufforderung (Interrupt-request). Eingang, low-aktiv. Das Interrupt-Anforderungssignal wird durch ein E/A-Gerät erzeugt. Eine Anforderung wird am Ende des laufenden Befehls beachtet, wenn das Interrupt-Akzeptanz-Flip-Flop, das durch die interne Software gesteuert wird, bereit ist und wenn das /BUSRQ-Signal nicht aktiv ist. Nimmt die CPU den Interrupt an, so wird das Interrupt-Akzeptanzsignal bei Beginn des nächsten Befehlszyklus (/IORQ während M1) ausgesandt.

/NMI: Nicht maskierbarer Interrupt (non maskable interrupt) Eingang, triggert auf low-Flanke. Triggerflanke aktiviert ein internes NMI-Flip-Flop. Die Funktion NMI hat eine höhere Priorität als des INT und wird am Ende des anliegenden Befehls getestet, unabhängig von der Lage des Interrupt-Akzeptanz-Flip-Flop. /NMI zwingt die CPU automatisch zu einem RESTART ab Speicherplatz 0066H. Der Befehlszähler wird automatisch im Kellerspeicher gerettet, so daß der Anwender zu dem Programm zurückkehren kann, das unterbrochen wurde. Es muß beachtet werden, daß zusätzliche WAIT-Zyklen das Ende des anliegenden Befehls verhindern und ein /BUSRQ ein /NMI überschreibt.

/BUSRQ: Busanforderung (bus request). Eingang low-aktiv. Das Busanforderungssignal wird benutzt, um die CPU aufzufordern, den Adreß- und Datenbus und die Drei-Zustands-Ausgangssignale in den hochohmigen Zustand zu bringen. Das erfolgt, sobald der laufende Maschinenzyklus der CPU abgeschlossen ist.

/BUSAK: Busbestätigung (bus acknowledge). Ausgang low-aktiv. Die Busbestätigung wird benutzt, um die Bustreiber-Schaltkreise nach Busanforderung in den hochohmigen Zustand zu bringen.

/RESET: Eingang, low-aktiv. /RESET stellt den Befehlszähler auf Null und weist der CPU die Anfangswerte zu.

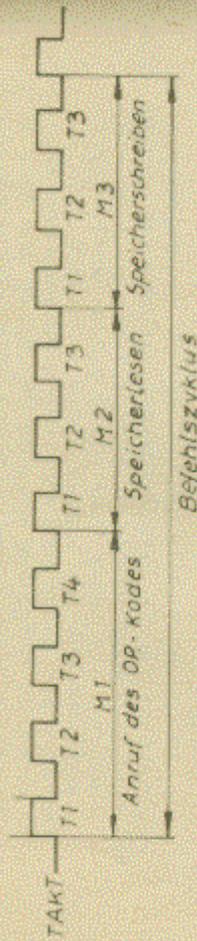
Diese Anfangswertzuweisung umfaßt:

- Ausschalten des Interrupt-Akzeptanz-Flip-Flops
- Setzen des Registers I = 00H
- Setzen des Registers R = 00H
- Setzen der Interruptart 0

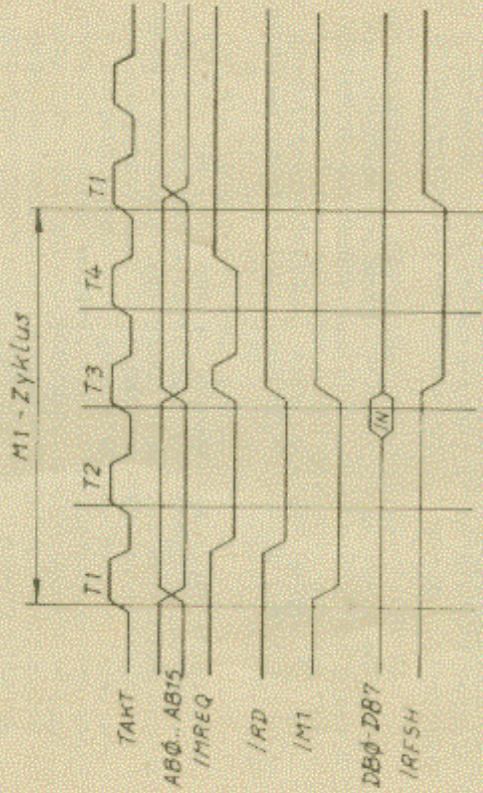
Während der RESET-Zeit gehen der Adreßbus und der Datenbus in den hochohmigen Zustand und alle Steuerausgänge gehen in den inaktiven Zustand. /RESET wird gebildet beim Einschalten durch eine Schaltungsanordnung, die eine low-Zeit von 53 ms bis 146 ms ergibt. Ein /RESET = low für 10 µs bis 25 µs erreicht man beim Betätigen der RESET-Taste. Die Schaltungsanordnung dazu ist mit M1 synchronisiert, um eine Zerstörung des RAM-Speicher-Inhaltes zu vermeiden.

1.2.2 Zeitabläufe CPU

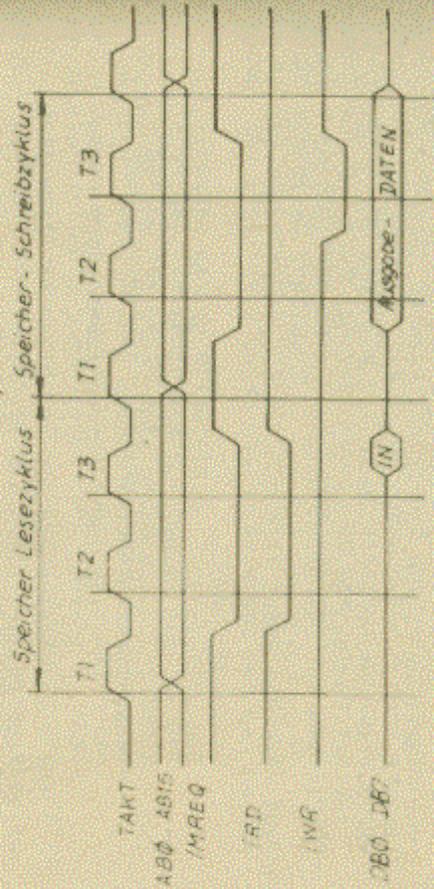
1. Genereller Zeitablauf



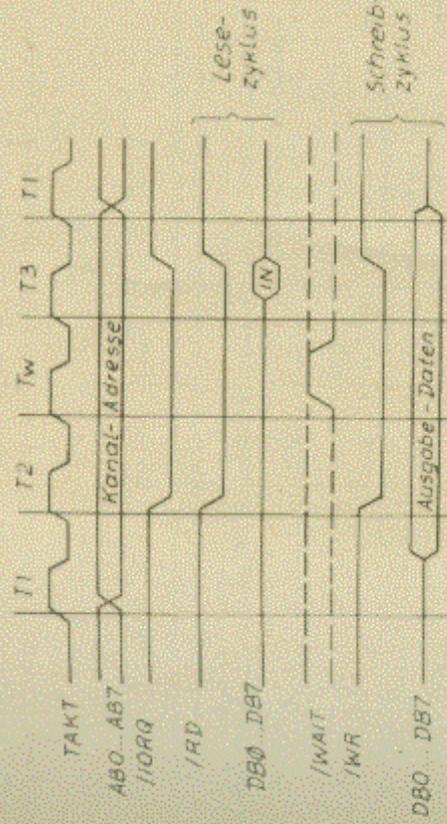
2 Aufruf des OP-Kodes eines Befehls



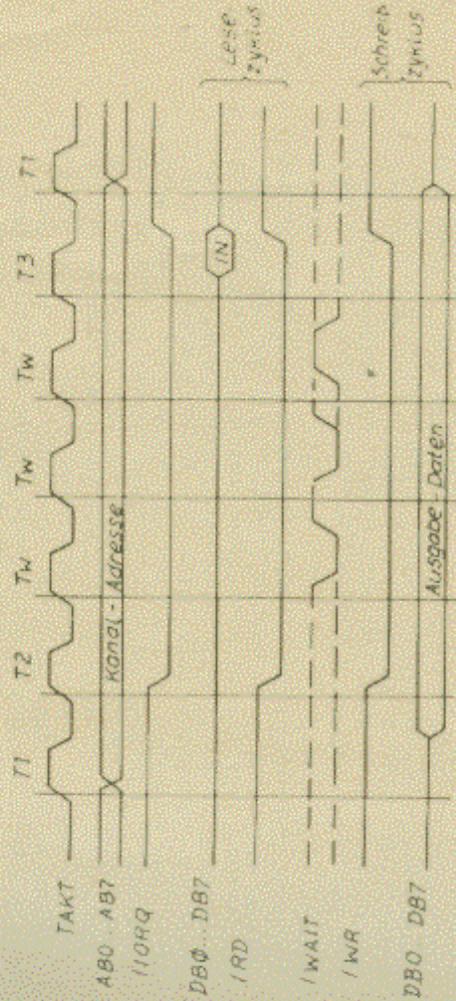
3 Speicher Lese- oder Schreibzyklus



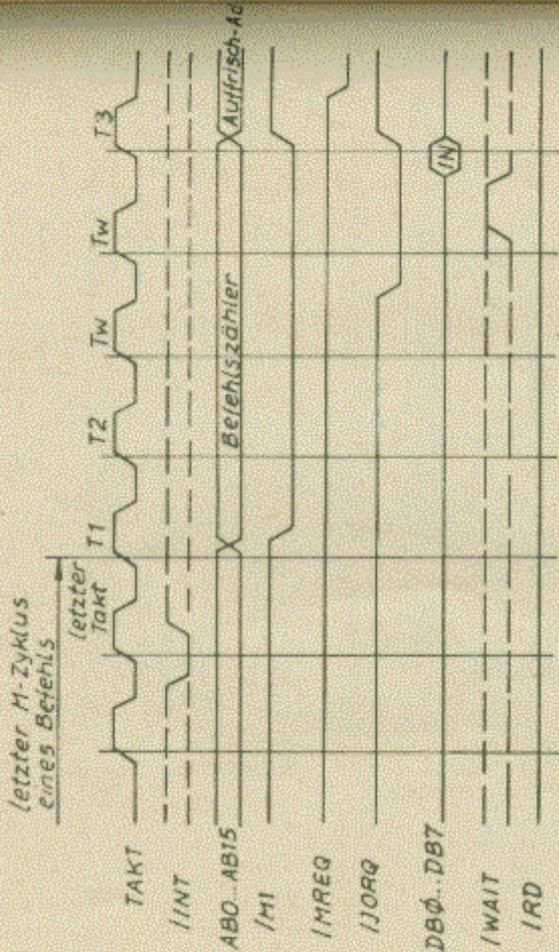
4. Eingabe- oder Ausgabe - Zyklen



5. Eingabe- oder Ausgabe - Zyklen mit WAIT-Zuständen



6. Interrupt - Anforderungs - / Annahme - Zyklus



1.2.3. Prioritätenkette

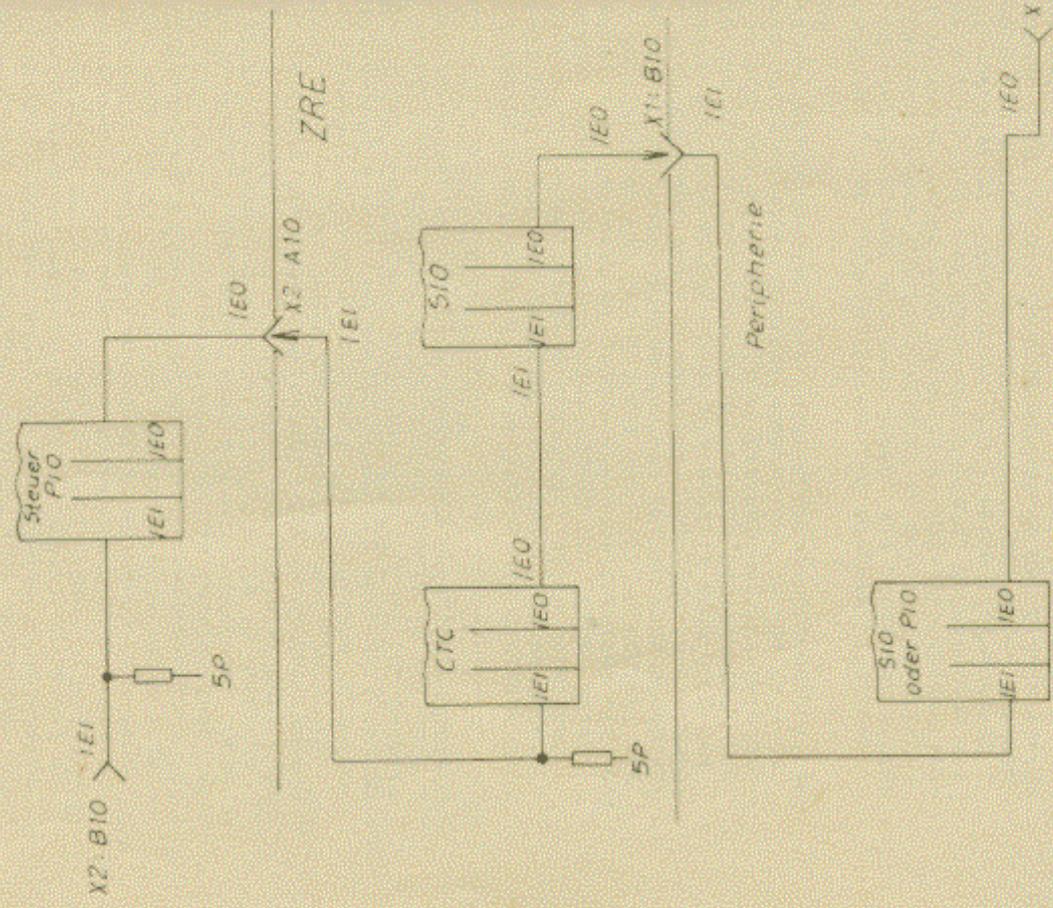
Die Verbindung von ICI mit IEO des nächsthöheren priorisierten E/A-Schaltkreises ermöglicht Interruptprioritäts-Kaskadierung. High-Pegel an ICI bedeutet, daß momentan kein Interrupt höherer Priorität abgearbeitet oder angemeldet wird. Die Interruptstrukturen aller peripheren E/A-Schaltkreise beinhalten eine automatisch wirkende Logik zur Auswahl der höchstwertigen Interruptanforderung. In dieser Prioritätenkaskadierung ist der Steuer-PIO der IO-Ansteuerung das vor-derste Element und führt an seinem ICI-Eingang High-Pegel. Dieser Pegel setzt sich in der gesamten Kette fort, vorausgesetzt, daß kein E/A-Schaltkreis eine Interruptanforderung an die CPU absetzt. Sinngemäß besteht die Kaskadierungskette auch intern in den peripheren E/A-Schaltkreisen, indem die einzelnen Kanäle über eine ICI-IEO-Linie in Reihe geschaltet sind, weiter vorn liegende Schaltkreise oder Kanäle haben immer die höhere Priorität. Die Kaskadierungskette wirkt High-aktiv. Somit kann ein E/A-Schaltkreis, der am ICI-Eingang High-Pegel empfängt, eine anstehende Interruptanforderung an die CPU weiterleiten. Er aktiviert seinen Ausgang. Der IEO-Ausgang wird gleichzeitig auf Low gesetzt und bewirkt das Durchschleifen dieses Pegels in der nachfolgenden Kette, so daß eine anstehende Interruptanforderung nicht zur CPU weitergeleitet wird.

Ein Interruptanmeldender E/A-Schaltkreis mit niedriger Wertigkeit wird durch die Interruptanforderung eines höherwertigeren E/A-Schaltkreises veranlaßt, seine Anmeldung zurückzunehmen. Die Interruptanmeldung des in der Prioritätenkette weiter vorn liegenden E/A-Schaltkreises wird bei Interruptfreigabe der CPU wirksam und die CPU schiebt die zugehörige Interrupt-Serve-Routine in den Programmablauf ein. Nach Rückkehr der CPU aus dieser Routine in das zuvor aktuelle Programm erfolgt dann die erneute Anmeldung des niederwertigeren (zwischenengespeicherten) Geräteinterrupts und es schließt sich die weitere Bearbeitung der unterbrochenen niederwertigen Bearbeitungsroutine an. So kann es zu einer Verschachtelung der Interruptbearbeitungsroutinen kommen.

Für den Fall, daß beim Bearbeiten des niederen Interrupts ein höherer Interrupt zustande kommt, die prozessorseitige Bearbeitung dieses Interrupt jedoch in der niederwertigen Interrupt-Serve-Routine enthaltenen Interruptsperr verhindert wird, legt der höher priorisierte Schaltkreis mit nicht-quittierter Interruptanmeldung seinen IEO-Ausgang während der Ausführung des RETI-Befehls auf High. Auf dem folgenden Bild ist die Zusammenschaltung der E/A-Bausteine dargestellt.

Prioritätankette

Ansteuerung Folienspeicherlaufwerke



1.2.4. I/O-Toradressen für Ein- und Ausgabekanäle

Der Decoder (U205) für die Toradressen der Ein- und Ausgabebefehle besteht aus drei 71 aus 8 Decodern, zwei davon liefern die auscodierten Toradressen, während der erste die Adressenbit A05, A06 und A07 auscodiert und der erste und zweite Ausgang ist mit den beiden anderen Decodern (IE2) verbunden. Die erste Gruppe ist ohne /IORQ, jedoch mit GACK als Bedingung beschaltet, da hier die Toradressen für E/A-Schaltkreise gebildet werden, wo als Eingang-PIN /IORQ vorhanden ist.

Die zweite Gruppe ist für Logik-Elemente vorgesehen, die ohne Eingang für /IORQ aufgebaut sind. Dieser Decoder enthält deshalb als weiteren Bedingungsengang (/EI) /IOWQ. Der erste Decoder ist nur aktiv, wenn \bar{M} (an /E1, /E2) auf Low liegt und kein /RESET = low anliegt. Über die Eingänge E3 können die Ein- und Ausgabe-Toradressen durch /IOWQ gesperrt werden.

In folgender Übersicht sind die Toradressen konkret dargestellt.

I/O-Toradressen

Signal	Zuordnung	Codierungen
/PIOC50	FO-Datentransport	Steuerregister: Kanal A: 01H Kanal B: 03H Datenregister: Kanal A: 00H Kanal B: 02H
/PIOC51	FO-Steuersignale	Steuerregister: Kanal A: 05H Kanal B: 07H Datenregister: Kanal A: 04H Kanal B: 06H
/MRFO	FO-Steuersignale	Datenwort 20H, (21H, 22H, 23H)
/CTCC50	CTC (TAKT für SIO)	Kanal 00: 08H Kanal 01: 09H Kanal 02: 0AH Kanal 03: 0BH
/SIOC50	SIO Drucker, Tastatur V.24	Steuerregister: Kanal A: 0EH Kanal B: 0FH Datenregister: Kanal A: 0CH Kanal B: 0DH
/CTCC51	CTC (Takt für SIO)	Kanal 00: 10H Kanal 01: 11H Kanal 02: 12H Kanal 03: 13H
/SIOC51	SIO	Steuerregister: Kanal A: 16H Kanal B: 17H Datenregister: Kanal A: 14H Kanal B: 15H
/CRTCS	Bildschirmkontrollier LHT	Kommandoregister: 19H, 16H Parameterregister: 18H, 14H 5ter:

Signal	Zuordnung	Codierungen
/MEMCS0	PROM aktiv	24H, (25H, 26H, 27H)
/MEMCS1	PROM inaktiv	28H, (29H, 24H, 28H)
/LT107CS	1. Abfrage LT107 20H, (2FH)	
	2. Setzen Ltg. 111 20H, (2EH)	
/LT111CS	Setzen Ltg. 111 ZRE	30H, (31H, 32H, 33H)
/BUSCS	Bildwiederhol- speicheranfangs- adresse und Um- schaltung Zeich.- generator (PROM)	34H, (35H, 36H, 37H)

1.2.5. Anfangslader ROM

Nach dem Einschalten oder nach dem Betätigen der RESET-Taste wird das System in den Zustand "Anfangsladen" versetzt. Das bedeutet, daß ein in einem PROM (ROM) enthaltenes Mikroprogramm (Lader) ein auf einer Diskette enthaltenes Maschinennprogramm (Betriebssystem) in den RAM-Speicher transportiert.

Die Speicherorganisation ist dabei folgende:

0000H - 07FFH	ROM nur Lesen möglich
0800H - 07FFH	RAM nur Schreiben möglich
0800H - FFFFH	Lesen und Schreiben möglich

Die Lese-/Schreibsteuerung im Bereich 0000H - 07FFH erfolgt durch einen Decoder, der nur im Adreßbereich 0000H - 07FFH aktiviert wird, wenn eine Schaltungsanordnung, bestehend aus einem Haltekreis und einer Torschaltung MREQ · RD · /MEMO1 auf High-Pegel liegt. Der erste Ausgang des Decoders ist mit der RAM-Speicher-freigabe-Steuerung, mit der Datenbustreiber-Richtungssteuerung und mit dem CE-Eingang des PROM verbunden.

Ein Low auf dieser Leitung sperrt den RAM-Speicher, schaltet den Datenbustreiber in Richtung RAM-Speicher und aktiviert den PROM. Nach Abschluß des Anfangsladerzustandes wird der Haltekreis durch die Ausführung eines "OUT" auf die Toradresse 28H, 29H, 2A oder 2B in den "Auszustand" versetzt.

Das Einschalten für das Anfangsladen erfolgt durch /RESET oder durch ein "OUT" mit der Toradresse 24H, 25H, 26H oder 27H.

1.2.6. RAM-Speicher

Der RAM-Speicher mit einer maximalen Kapazität von 64 K Byte dient als Arbeitsspeicher sowie als Speicher für das Betriebssystem und für Nutzerprogramme. Er ist als dynamischer Speicher mit 16 K x 1-DRAM-Schaltkreisen aufgebaut. Verwendbar sind folgende Schaltkreistypen:

- U 256
- K 565.RU3A
- K 565.RU3G

sowie andere äquivalente Importschaltkreise. Die Refreshbedingungen der verwendeten Schaltkreise sind: 128 Refreshzyklen pro 2 ms, d.h. die 128 Reihen (Adressen A0-6) müssen mindestens alle 2 ms einmal aufgerufen werden (Refresh-, Lese- oder Schreibzyklen). Die Einhaltung der Refreshbedingungen wird gewährleistet durch die DMA-Lesezyklen der Displaysteuerung (siehe 1.2.7.) und während der Pause, die durch den Strahlrücklauf entsteht, durch die Refreshzyklen des U880. Die verwendeten 16 K x 1-DRAMS benötigen zur Adressierung ihrer internen Speichermatrix eine 14-Bit-Adresse, die, um mit einem 16 Pin-Gehäuse auskommen zu können, in 2 Schritten über die Adreßanschlüsse A0 - A6 in schaltkreisinterne Adreßregister übernommen wird.

Die Reihenadresse (A80 - A86) wird mit der HL-Flanke von /RAS übernommen und die Spaltenadresse (A87 - A91) mit der HL-Flanke von /CAS1-4. Die Umschaltung von der Reihen- auf die Spaltenadresse wird über die Adreßmultiplexer A28.1 und A28.2 durch das Adreßumschaltensignal \overline{AS} vorgenommen, das durch das Flip-Flop A33.1 bei RAS*H (high) mit der LH-Flanke des Taktes erzeugt wird. Das Flip-Flop wird durch RAS* \overline{L} wieder zurückgesetzt (Diagramm 1).

/RAS wird durch das Steuerbussignal MREQ erzeugt. Die konjunktive Verknüpfung mit F2 dient der schnellen Abschaltung von /RAS im M1-Zyklus, um die von den langsamsten einsetzbaren DRAM-Schaltkreisen (K565.RU3A) geforderte H (high)-Zeit von /RAS (min. 200 ns) zu gewährleisten. F1 dient als Vorbereitungsflipflop für F2. Die Funktion von F1 und F2 im normalen M1-Zyklus (mit Refreshdurchführung durch die CPU) zeigt Diagramm 2.

Vom Einschalten der Spaltenadresse durch \overline{AS} H (high) bis zur HL-Flanke von /CAS1-4 wird eine Verzögerung von min. 20 ns benötigt. Diese Verzögerung wird gewährleistet, indem das durch den Adreßmultiplexer A28.1 erzeugte Signal /CAS über 2 in Reihe geschaltete D108-Gatter als Verzögerungstrecke am Decoder A10.1 anliegt, der aus den Adreßleitungen Ab14 und Ab15 die 4 Steuerleitungen /CAS1 - /CAS4 für die 4 16 K-Speicherbänke entschüsselt.

/RAS liegt an allen Speicherschaltkreisen ständig an, um die Refreshdurchführung zu gewährleisten (beim sog. RAS-only-Refresh ist nur /RAS und die Reihenadresse nötig). Um eine Speicherbank lesen oder schreiben zu können, muß

Jedoch /RAS und das Entsprechende der Signale /CA51-4 gleichzeitig aktiv sein (durch /CA51-4 werden die Ausgänge der Speicherschaltkreise aktiviert).

Beim Schreiben liegen die Schreibdaten über den Datenbus DB0-DB7 direkt an den Dateneingängen DI der DRAMS an und werden mit der HL-Flanke des /WR-Impulses übernommen.

Beim Lesen, gekennzeichnet durch /MR=H (high) an den Speicherschaltkreisen, werden die Lesedaten von den Ausgängen DO der DRAMS über den Treiber A22.2. auf den Datenbus geleitet. Der Treiber A22.2 wird aktiviert durch /ADRAN=L, gebildet aus den Signalen RO und PASK (Diagramm 1). RAS*, das bei Lese- und Schreiboperationen H (high) sein muß, kann gesperrt werden in 2 Fällen:

1. /MEMDI = L (low) (allg. Speichersperre)
2. /PROMCS = L (low) (PROM Lesen)

Die Sperre wird wirksam über NAND-Gatter A9 (Ausg. 11) und AND-NOR-Gatter A2.

1.2.7. Displaysteuerung

Kern der Displaysteuerung ist der CRT-Controller KR 800 WS75 (8275). Die Blöschirmsteuerung hat die Aufgabe, in einem Teilbereich des RAM-Speichers befindliche Daten auf einem der beiden Monitore (X 7221.25 oder K 7222.25) abzubilden.

1.2.7.1. Kurzcharakteristik des CRT-Controllers

Der CRT-Controller 8275 besteht aus folgenden Funktionsgruppen:

Zeichenzähler: betrieben mit dem Zeichentakt CLK; programmierbar auf 1 - 80 Zeichen/Zeile; bestimmt auch die Länge des horizontalen Strahlrücklauf-Intervalles (programmierbar 2 - 32 Zeichentakte)

Linienzähler: programmierbar auf 1 - 16 Linien/Zeile; seine Ausgänge LCD-LC3 werden benutzt, um den externen Zeichengenerator zu adressieren.

Zeilenzähler: programmierbar auf 1 - 64 Zeilen/Bild; bestimmt außerdem die auf 1 - 4 Zeilen programmierbare Länge des vertikalen Strahlrücklauf-Intervalles.

Master- und Displaysteuerung: Die Mastersteuerung erzeugt die Ausgangssignale HRTC (horizontaler Strahlrücklauf) und VRTC (vertikaler Strahlrücklauf).

Die Displaysteuerung erzeugt die Ausgangssignale: LAQ-1 (Linienattribut); werden benutzt zur Erzeugung von

graphischen Zeichen zur Darstellung eines lückenlosen orthogonalen Rasters (Formulargestaltung)

MCUT: Einschaltung einer 2. Helligkeitstufe

RVV: Inversdarstellung

LVN: Strahleinschaltung (z.B. Unterstreichen)

VSP: Videounterdrückung (z.B. bei Strahlrücklauf)

6P40-1: Ausgänge für allg. Verwendungszwecke

Zeilenpuffer: 2 Zeilenpuffer für je 80 Zeichen zu 8 Bit. Während einer die Zeichen für eine Zeile über die Ausgänge CGO-6 bereitstellt, gesteuert durch den Zeichentakt CLK, wird der andere im DMA-Betrieb aus dem RAM-Speicher neu gefüllt.

FIFO-Speicher: Jedem Zeilenpuffer ist als Erweiterungsmöglichkeit ein FIFO-Speicher (First In - First Out) für 16 Zeichen zu je 7 Bit zugeordnet, der im transparenten Attributmodus das auf ein Feldattribut (Steuerzeichen, das z.B. Blinken, Inversdarstellung, Unterstreichen ein- oder ausschaltet) folgende darstellbare Zeichen aufnimmt. Dadurch ist es möglich, pro Zeile außer max. 80 darstellbaren Zeichen 16 Steuerzeichen einzulesen.

Die Programmierung des CRT-Controllers erfolgt durch insgesamt 8 Befehle (teilweise mit Parametern), von denen beim Robotron 1715 nur die folgenden verwendet werden:

Befehl	Zahl der Parameter
Reset	4
Start Display	0
Stop Display	0
Load Cursor	2

Zwischen Befehlen und Parametern wird durch den Eingang AO (niedrigstes AdreBit A80) unterschieden:

AO = H (high) Befehl
AO = L (low) Parameter

Übersicht über die verwendeten Befehle:

Befehl/Parameter	AO	Datenbus
Resetbefehl	1	0 0 0 0 0 0 0 0
Parameter 1	0	S H H H H H H H
Parameter 2	0	V V H H R R R R
Parameter 3	0	U U U U L L L L
Parameter 4	0	M F C C Z Z Z Z
Start Display	1	0 0 1 5 5 5 8 8
Stop Display	1	0 1 0 0 0 0 0 0

Befehl/Parameter	AD	Datibus
Load Cursor	1	1 0 0 0 0 0 0 0
Zeichen-Nr.	0	Zeichen-Pos. in Zeile
Zeilen-Nr.	0	Zeilen-Nr.

Bedeutung der Parameter:
 S = 0: normale Zeilen
 S = 1: Zeilen mit Zwischenraum
 HHHHHH: Anzahl der Zeichen pro Zeile (1 - 80)
 VV: Länge des vertikalen Strahlrücklauf-Intervalls (1 - 4 Zeilen)
 RRRRR: Anzahl Zeilen/Bild (1 - 64)
 UUUU: Linien-Nr. des Unterstrichstrichs
 LLLL: Anzahl der Linien/Zeichenzeile
 M: Linienzähler-Modus
 M = 0: duale Zählweise, mit 0000 beginnend
 M = 1: Zählweise um 1 versetzt (mit höchster Linien-Nr. beginnend, dann 0000, 0001, ...)

F: Feldattribut-Modus
 F = 0: Transparent (Feldattribute werden auf dem Bildschirm nicht sichtbar; Benutzung des FIFO-Speichers)
 F = 1: Nicht-Transparent (Feldattribute stehen an Stellen darstellbarer Zeichen und werden als Blank dargestellt)

Beispiel: Unterstreichen
 F = 0 : A B C D E F G H
 F = 1 : A B C D E F G H
 CC: Cursor-Modus
 00: Blinkend invers
 01: Blinkend unterstreichen
 10: Nicht-blinkend invers
 11: Nicht-blinkend unterstreichen
 ZZZZ: Länge des horizontalen Strahlrücklauf-Intervalls (2 - 32 Zeichentakte)
 SSS: Anzahl der Zeichentakte zwischen 2 DMA-Anforderungen (bei 1715: 0 Takte, zu progr. 000)

88: Anzahl der DMA-Zyklen pro Busanforderung (Beim 1715 1 DMA-Zyklus, zu progr. 00)

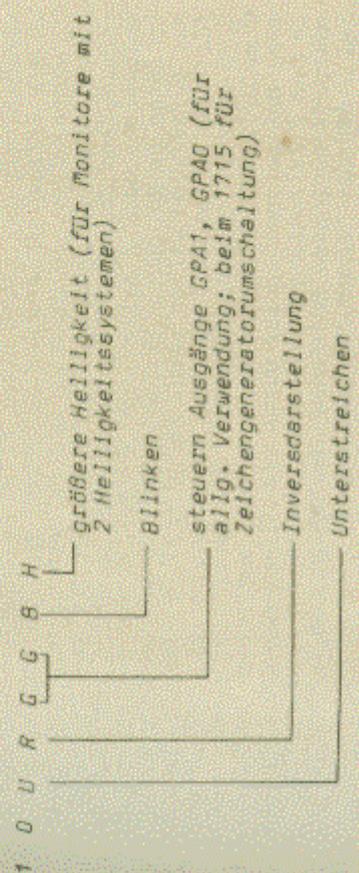
Die Eingabe der Befehle und Parameter in den CRT-Controller erfolgt über die Dateneingänge DD-D7 bei Aktivierung von /CS und /MR.

Das Füllen der Pufferspeicher geschieht im transparenten DMA-Betrieb während der Refreshzyklen. Der CRT-Controller gibt zu Beginn einer Zeile (für die 1. Bildschirmzeile bereits zu Beginn der letzten Zeile des vertikalen Strahlrücklaufs VRTC = H (high)) DMA-Anforderungen DR0 = H (high) aus. Die DMA-Steuerung meldet dem CRT-Controller mit dem DMA-Anerkennungssignal /DACK = L (low), daß auf DD-07 ein Datenbyte bereitsteht, das mit /MR = L (low) in den Pufferspeicher (oder FIFO) übernommen wird.

Das höchstwertige Bit (D7) des Datenbytes entscheidet, ob es sich um ein auf dem Bildschirm über den Zeichengenerator darstellbares Zeichen (D7=0) oder bei D7=1 um einen Zeichenattributcode (11 graphische Zeichen, die ohne Zeichengenerator mit L40-1 durch eine Zusatz-Hardware erzeugt werden), einen Spezialcode (Ende der Zeile mit oder ohne Stop DMA, Bildende mit oder ohne DMA) oder um einen Feldattributcode handelt.

Ein Feldattributcode (als Blank dargestellt oder transparent) schaltet einen bestimmten Zustand ein, der vom folgenden Zeichen an solange wirkt, bis er durch einen weiteren Feldattributcode, in dem das betreffende Bit 0 ist, wieder aufgehoben wird oder bis zum Bildende.

Codierung:



z.B.: B = 1 Blinken ein B = 0: Blinken aus

1.2.7.2. Programmierung des CRT-Controllers bei Display 1/2
 Die Programmierung (Initialisierung) des CRT-Controllers bei Anschluß des Display1 (16 x 64 Zeichen) = K 7221.25

oder des Display 2 (24 x 80 Zeichen) = K 7222.25 kann in folgender Weise erfolgen:

Befehl/Par.	7oradresse	K 7221.25	K 7222.25
Reset	19	00	00
Par. 1	18	3F	4F
Par. 2	18	4F	57
Par. 3	18	5E	6B
Par. 4	18	6B	60
Start-Display	19	20	20

1.2.7.3. DMA-Steuerung

Der CRT-Controller 8275 ist von der Konzeption her für DMA-Betrieb ausgelegt. Normaler DMA-Verkehr mit Übernahme der Bus Herrschaft vom U 880 durch /BUSFQ = L und damit verbundener Programmunterbrechung war wegen zeitlicher Kollision mit dem programmgesteuerten Floppy-Disk-Betrieb nicht möglich und hätte außerdem Zeitverluste von 20 - 25 % ergeben. Der Einsatz eines separaten Bildwiederholerspeichers ergibt erheblichen Aufwand, da die Zeichenadresse durch den CRT-Controller nicht ausgegeben wird.

Aus diesen Gründen erfolgt beim 1715 das Füllen der Zeilenpuffer des CRT-Controller im transparenten DMA-Betrieb unter Verwendung eines Teils der Refreshzyklen des U 880. Da die übrigen Refreshzyklen, außer während des vertikalen Strahlrücklaufs, nicht unter allen Bedingungen ausreichen, um die Refreshforderungen der DRAMS zu erfüllen, müssen die DMA-Lesezyklen gleichzeitig die Refreshdurchführung übernehmen. Beim Zeilenpufferfüllen werden die Speicheradressen fortlaufend durchgezählt, so daß bei Anschluß des Display spätestens nach 2 Zeilen (bei K 7221.25 mit 64 Zeichen Zeilenlänge genau nach 2 Zeilen) alle 128 Refreshadressen einmal aufgerufen worden sind. Bei K 7221.25 beträgt die Zeit für 1 Zeile gerade 1 ms (bei 15 Linien/Zeile), bei K 7222.25 0,75 ms (bei 12 Linien/Zeile). Die Refreshforderung, daß in 2 ms alle 128 Refreshadressen einmal aufgerufen werden, wird also bei beiden Display durch die DMA-Lesezyklen erfüllt. In der 2 Zeilenlängen Dauernden, durch den vertikalen Strahlrücklauf bedingten DMA-Pause übernehmen die Refreshzyklen des U 880 die Refreshdurchführung.

Die für den DMA-Lesevorgang nötigen Signale erzeugen die Flip-Flops F3 und F4 unter Zuhilfenahme des Flip-Flops F1 (Diagramm 3). Während F1 in jedem M1-Befehlslesezyklus einschaltet, können F3 und F4 nur einschalten, wenn eine DMA-Anforderung DRQ = H (high) vom CRT-Controller am Eingang 10 vom D108-Gatter A3.1 anliegt. Durch /F3 = L (low) werden /B40 = L (low) und alle U880-Treiber hochohmig. Durch /F3 = L (low) an /OE der Treiber A22.4 und A22.5 wird die Adresse des RAM-Speicherbereiches aktiviert, in dem die Displaydaten

abgespeichert sind. Der niederwertige veränderliche Teil der Adresse wird vom Adreßzähler A26.1-3 erzeugt (10 Bit bei K 7221.25, 11 Bit bei K 7222.25, 11. Bit über F1.X12 zuschalten). Der höherwertige Adreßteil, der die Lage des Bildschirmspeichers im 64 K-Bereich festlegt, wird aus dem Speicherregister A23.2 übernommen, wo er mit einem OUTPUT-Befehl mit der Toradresse 24 eingestellt werden kann (bei K 7221.25 wird der 11. Adreßbit über F1.X12 auch von A23.2 übernommen).

Der Eingang 10 des D108-Gatter A3.1 ist über einen Umschalter S2 mit dem DMA-Anforderungssignal DRQ verbunden. Das bietet die Möglichkeit, bei Instandsetzungsarbeiten den Eingang 10 des D108-Gatter A3.1 von DRQ auf D1 umzuschalten.

Die Schaltereinstellung ist dem Abschnitt 5.1.5.2. zu entnehmen.

Der Adreßzähler wird am Ende jedes DMA-Lesezyklus mit der Rückflanke von F4 weitergeschaltet. Die Synchronisation des Zählers (Nullsetzen) erfolgt bei jedem Bildwechsel mit dem vom vertikalsynchronen Signal VRTC abgeleiteten Impuls /VVP.

Im DRAM-Speicher muß das Signalspiel für einen Lesevorgang erzeugt werden. Durch F3.F4 wird über AND-OR-Gatter A27.11 erzeugt (verzögerte Einschaltung, um die Mindest-H (high)-Zeit von /RAS zu gewährleisten). Die Erzeugung von /RAS und damit von einem der Signale /CAsT-k wird durch /F4 = L (low) am Eingang 1 von A2 ermöglicht, auch wenn der DRAM-Speicher durch /MEMOI = L (low) gesperrt sein sollte. /RAM = L (low) wird gleichzeitig durch F3.F4 (A1) aktiviert.

Die Lesezeiten können nicht direkt vor Datenbus DRQ-1 in den Zeilenpuffer des CRT-Controller übernommen werden, da die Forderung "Datensatzzeit mind. 150 ns" nicht erfüllt werden kann. Aus diesem Grund erfolgt eine Zwischenpufferung mittels S18 = L (low) (Diagramm 3) im Speicherregister A27.1. Die Übernahme der Daten in den CRT-Controller geschieht mit der Rückflanke des Schreibimpulses /WRCT. Die Übernahme der Daten in den Zeilenpuffer (oder FIFO-Speicher) wird gesteuert durch das DMA-Quittungssignal /DRCK = L (low), dabei muß /CS = H (high) sein (bei /DRCK = H (high) und /CS = L (low) werden die Daten mit /WRCT = L (low) in ein Befehls- oder Parameterregister übernommen.

1.2.7.4. VIDEO-Steuerung

Durch einen quartzesteuerten Multivibrator wird der Bildpunkt takt BPT1/2 (Entkopplung aus Belastungsgründen) erzeugt.

10,7 MHz für K 7221.25
13,8 MHz für K 7222.25

Da ein Zeichenfeld 8 Punkte breit ist (bei Verwendung von K 7221.25 8 x 15 Punkte, bei K 7222.25 8 x 17 Punkte) Zeichendarstellung mit 6 x 9 Punkten, muß der Bildpunkttakt

mit Hilfe des aus Zeitgründen aus Schottky-Flip-flop 47.1/47.2 aufgebauten Qualitätszählers 1:8 untersetzt werden, um den Zeichentakt CCLK zu erhalten. CCLK dient als Grundtakt für den CRT-Controller, der /CCLK als Synchronisationsstakt für die Videosteuerungssignale (Diagramm 4). Der CRT-Controller stellt den Zeichencode und die Attribut- und Steuerungssignale gegenüber der H-/Flanke von CCLK verzögert zur Verfügung (max. 150 bzw. 275 ns). Der Zeichencode (CCO-6) liegt gemeinsam mit den Ausgängen des Linienzählers (LCO-3) an den Adressengängen A0-A10 der beiden umschaltbaren Zeichengeneratoren PROMS 425.1 und 425.2 an. Die Auswahl eines der beiden ZG geschieht mit 086 = low/high durch OUTPUT 34 (42.2). Durch GP40 = low/high (Feldattributcode) kann zeichenweise (auch innerhalb einer Zeile) auf den jeweils anderen ZG umgeschaltet werden. Es kann also innerhalb einer Zeile oder eines Bildes mehrfach zwischen den Zeichensätzen gewechselt werden.

Die Zeichengeneratorausgänge sind über trennbare Brücken mit den Paralleleingängen des Schieberegisters 418.1/2 verbunden, das der Parallel-Serien-Wandlung von jeweils einer Punktzeile eines Zeichens dient. Bei Auftrennung der Brücken kann eine Sondereinrichtung eingefügt werden, die es gestattet, mit Hilfe der Ausgänge LA0/LA1 des CRT-Controllers, die durch die Zeichenattributcodes gesteuert werden, 11 graphische Zeichen (senkrechte und waagerechte Linien) zu erzeugen (ohne Benutzung des ZG, dessen Ausgänge gesperrt werden, wenn LA0 oder LA1 High ist).

Die Punktzeilen werden bei V=H (high) parallel in das Schieberegister übernommen und mit den 7 folgenden Takten (V=L (low)) seriell herausgeschoben. Dabei bewirkt H= (high) Helligkeitssteuerung, L= (low) Dunkelsteuerung des Bildpunktes.

Durch die dem SR-Ausgang nachgeschalteten Gatter können die Punktzeilenbits noch verändert werden: RVIX=H (high) bewirkt durch das Antivalenzgatter A17 eine Negation und damit Inversdarstellung; durch /VSPK=L (low) erfolgt Dunkelsteuerung VIDEO=L (low), was z.B. beim Strahlrücklauf und beim Blinken verwendet wird; durch /LIFIX=L (low) erfolgt Helligkeitssteuerung (VIDEO=H (high) z.B. beim Unterstrichen). Durch /HLGPK=L (low) wird INTENS=H (high). Damit kann beim Display mit 2 Helligkeitsstufen die größere Helligkeit eingeschaltet werden.

1.2.7.5. Synchronsteuerung

Die Synchronsteuerung hat die Aufgabe, aus den vom CRT-Controller gelieferten Signalen

HRTC: = H (high) bei horizontalem Strahlrücklauf
 VRIC: = H (high) bei vertikalem Strahlrücklauf

das von den zum Anschluß vorgesehenen Display benötigte Synchronsignal BSYN, das die Informationen für horizontale

und vertikale Strahlrücklauf mit spezifischen Zeitbedingungen enthalten muß, zu erzeugen.

Technische Daten bei Verwendung von Display

Parameter: K 7221.25 K 7222.25

Anzahl Zeichen/Bild	16 x 64	24 x 80
Linien/Zeile	15	12
Punktfrequenz	10,7 MHz	13,8 MHz
Punktaktperiode (BPT1/2)	93,5 ns	72,3 ns
Zeichenaktperiode (CCLK)	750 ns	580 ns
Linien Schreibzeit	48,0 us	46,2 us
Strahlrücklaufzeit/Linie	18,0 us	16,2 us
Anzahl Zeichentakte/Rücklauf	24	28
Gesamtzeit/Linie	66,0 us	62,4 us
Zeit für 1 Zeile	1,0 ms	0,75 ms
Zeit für vertikalen Strahlrücklauf (zu progr. 2 Zeilen)	2,0 ms	1,50 ms
Zeit für 1 Bild (16/24 Zeilen)	16,0 ms	18,0 ms
Gesamtzeit für 1 Bild mit Strahlrücklauf (18/26 Zeilen)	18,0 ms	19,5 ms
Bildwechselfrequenz	55 Hz	51 Hz

Die Synchronisation der Strahlrücklaufsteuerung im Display erfolgt durch die HL-Flanken des Signals BSYN, die ständig im gleichen Abstand erzeugt werden müssen.

Während der Bildarstellung hat BSYN den Grundzustand H (high) und der horizontale Strahlrücklauf wird synchronisiert durch 6 us lange negative Impulse (Diagramm 5). Das Synchronsignal für den vertikalen Strahlrücklauf wird erzeugt durch den Grundzustand L (low) von BSYN und positive Impulse von 6 us Länge. Der Zustand L (low) von BSYN darf jedoch nicht während der gesamten Zeit VRIC=H (high) vorhanden sein, sondern nur während der 1. Hälfte. Deshalb wird der Haltekreis VSYN durch den von der LH-Flanke von VRIC abgeleiteten negativen Impuls /VIMP (ca. 100 ns) eingeschaltet und zu Beginn der 2. Zeile (VRIC=H (high) dauert 2 Zeilenlängen) durch /F3=L (low) beim 1. DMA-Lesevorgang wieder zurückgesetzt. Das Zurücksetzen von VSYN erfolgt in Abhängigkeit von den M1-Zyklen des u880, also asynchron zu den Signalen des CRT-Controllers, so daß die LH-Flanke, die den Grundzustand L (low) von BSYN beendet, zeitlich schwenkt.

Die positiven und negativen Impulse von BSYN werden durch UV1 und UV2 mit einer Haltezeit von je 6 us erzeugt. UV1 wird durch die positive Flanke von HRTC und UV2 durch die Rückflanke von UV1 eingeschaltet.

BSYN wird L (low) während /UVI=L (low) und während /UVI=H (high) während des horizontalen und vertikalen Streifenrücklaufs erfolgt eine Dunkeltestung (VIDEO=L (low) durch /UVI=L (low))

Diagramm 1: RAM-Speicher Lesen / Schreiben

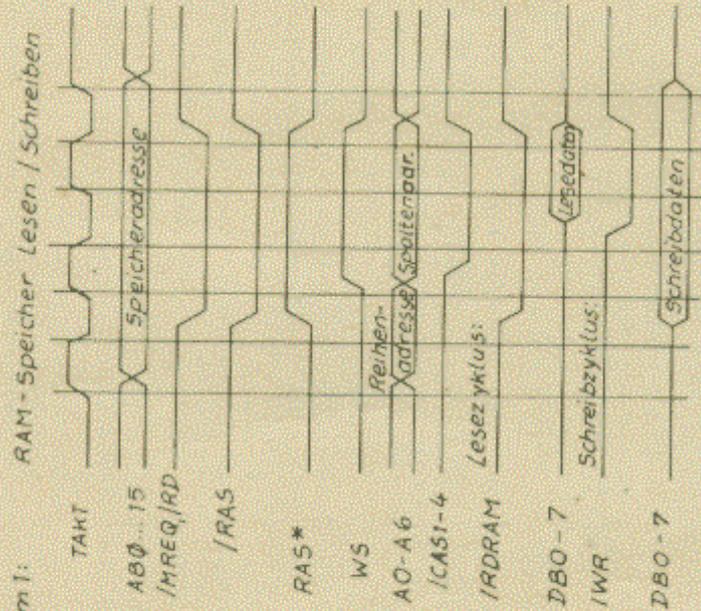


Diagramm 2: M1-Zyklus mit Refreshdurchführung

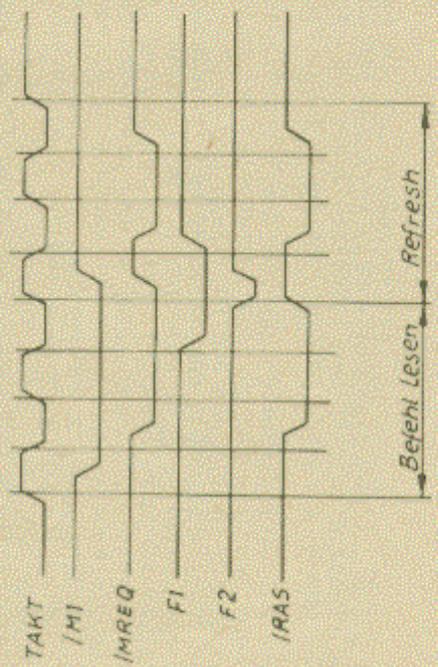


Diagramm 3: M1-Zyklus mit DMA-Lesezyklus

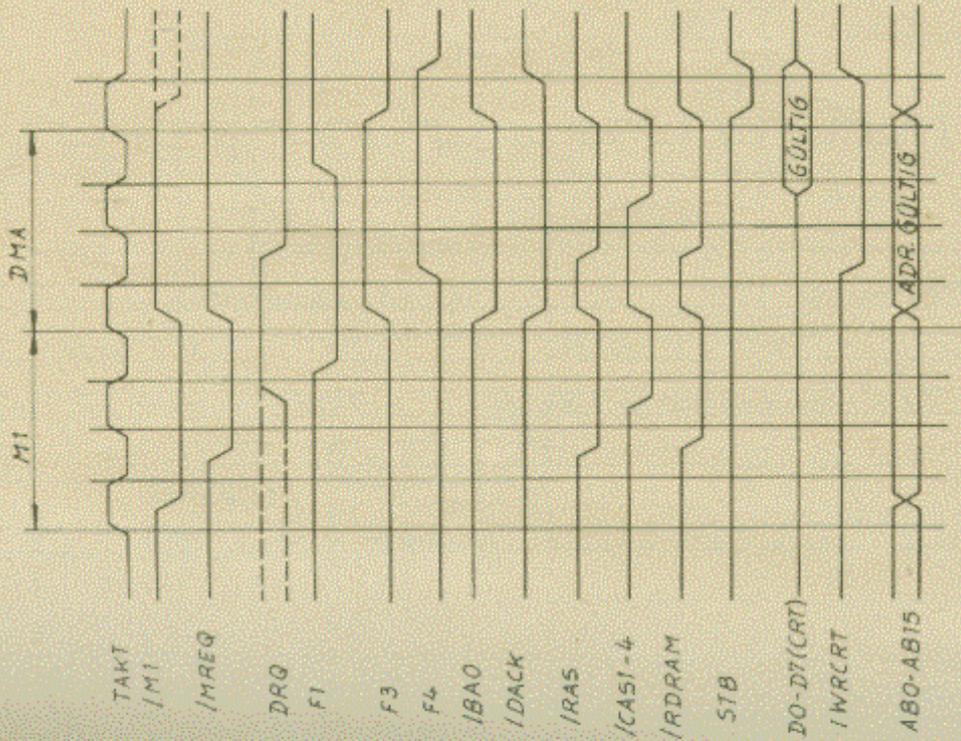


Diagramm 4: VIDEO - Steuerung

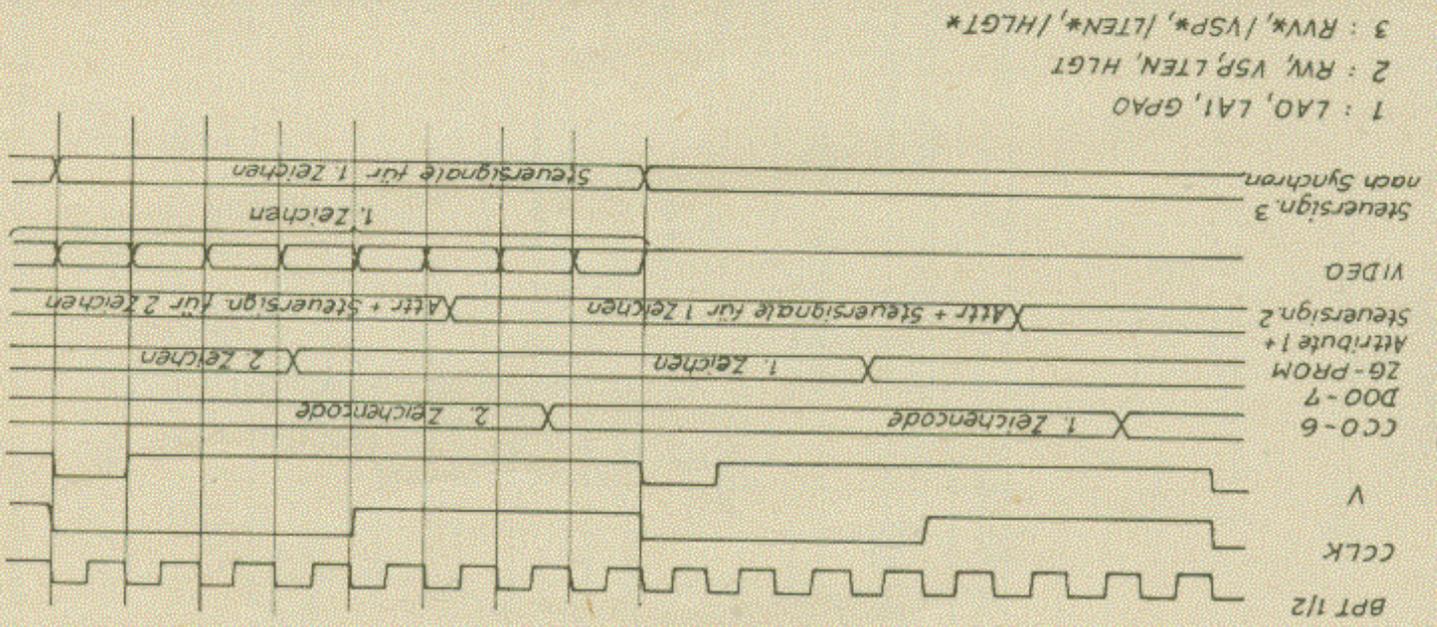
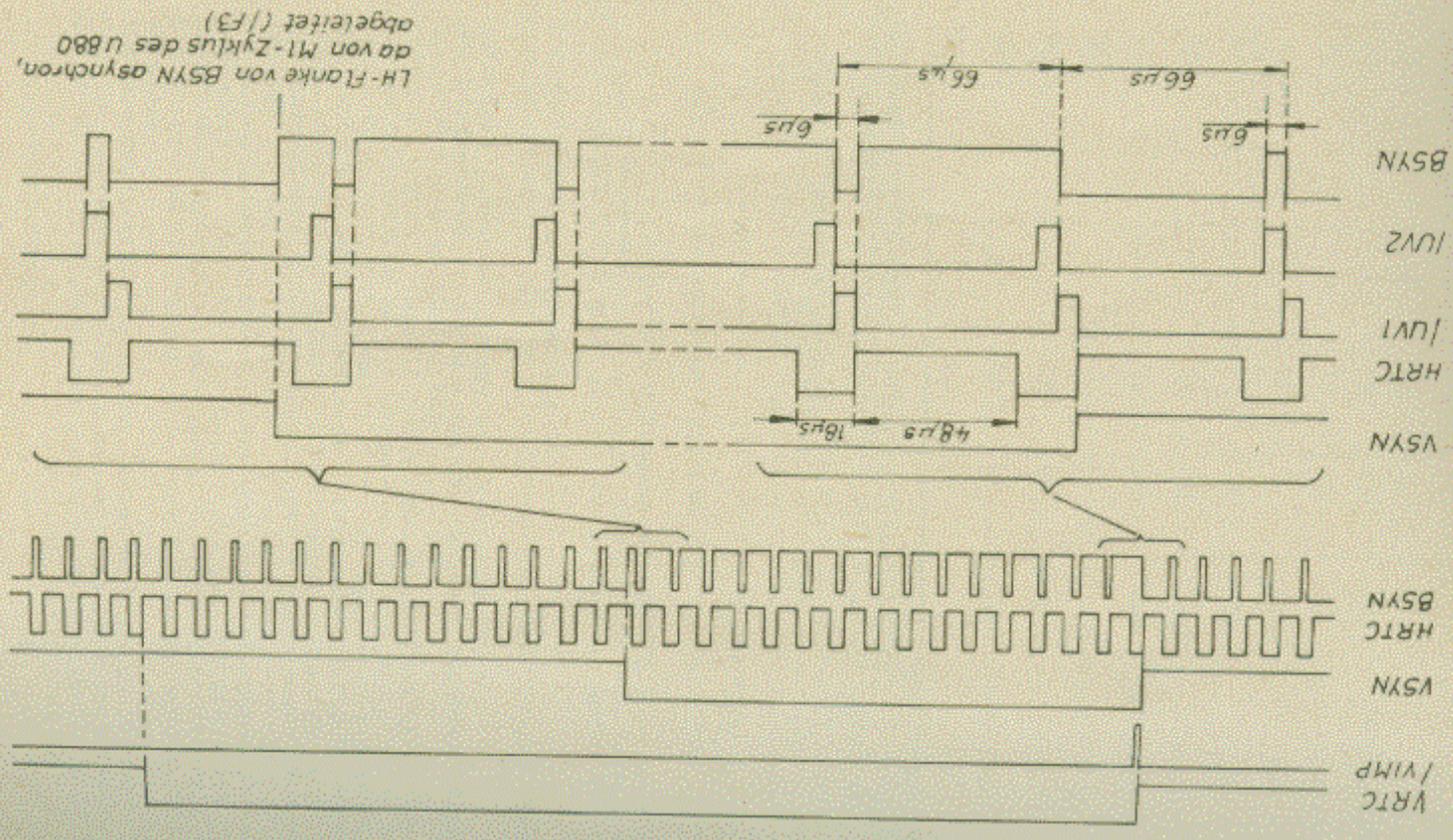


Diagramm 5: Erzeugung des Synchronsignals (MON1)



Paritätsprüfung: ohne, gerade, ungerade
 Anschlussgröße: Modem, G0N oder Terminals mit Schnittstellen nach V.24

Länge der Anschlusskabel: max. 15 Meter
 Art des Kabels: HYF (C) Y(12x2x0,14)mm²

1.2.8.3. Funktionskomplexe

Die Schnittstellensteuerung besteht aus den Funktionskomplexen:

- Taktzeugung
- Schnittstellensteuerung V.24 durch SIO Kanal B und Treiber- und Empfängerschaltkreise

1.2.8.4. Takttauswahl

Die Taktbereitstellung für den SIO-Kanal B erfolgt über einen Multiplexerschaltkreis, der durch Schalter programmierbar ist. Es ist möglich, den gewünschten Takt entweder durch die zwei CTC-Kanäle oder durch die Leitungen 113, 114 sowie 115 zur Verfügung zu stellen. Am Kanal B steht bei der eingesetzten Bondvariante 0 nur 1 Takteingang zur Verfügung. Es ist möglich, bei unterschiedlichen Taktfrequenzen des Senders und Empfängers über den Taktmultiplexer durch Steuerung mit der Leitung 105 den gewünschten Takt zur Wirkung zu bringen. Die Einstellenleitung ist im Abschnitt 3.2. Schnittstellenstecker und Einstellschalter beschrieben.

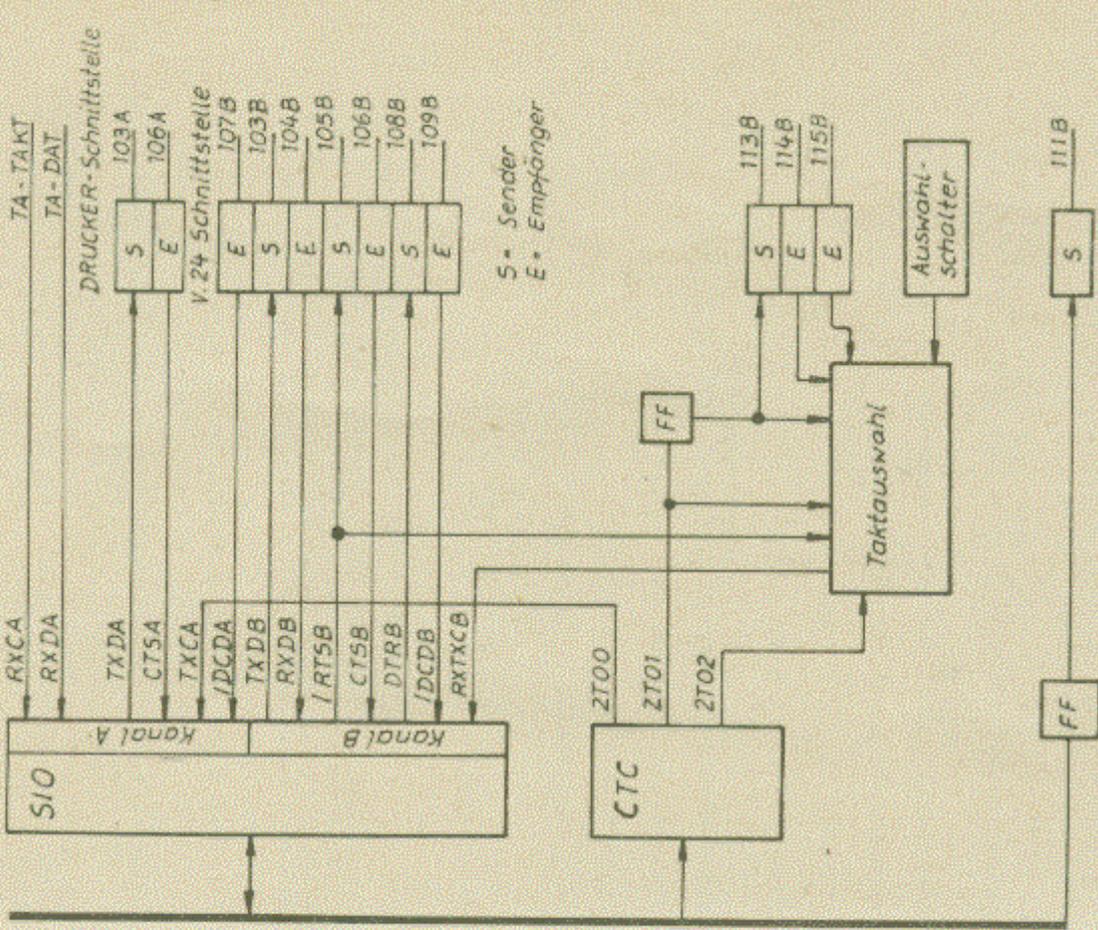
1.2.8.5. Bedeutung der Schnittstellenleitungen

SIO-Anschlüsse Kanal B

SIO-Anschlüsse Kanal B	Schnittstellenleitung	Übertragungsricht. DEE-DUE 1715-Peripherie
TxB8	102 Betriebsende	↔
RxB8	103 Sendegaten	↔
/RTSB	104 Empfangsdaten	↔
/CTSB	105 Aufforderung zum Senden	↔
/DCOA	106 Bereit zum Senden	↔
/DTRB (nur bei Bondvariante 0)	107 Betriebsbereitschaft (DUE)	↔
/DCDB	108/1 Datenendstelle mit Übertragungsweg verbinden	↔
	108/2 Datenendstelle betriebsbereit	↔
	109 Empfangssignalegel	↔
Bondvar. 0	113 Sendeschrittakt (Quelle DEE)	↔
/TxCB	114 Sendeschrittakt (Quelle DUE)	↔
/RxTxCB	115 Empfangsschrittakt (Quelle DUE)	↔
Flip-Flop 0174	111 Wahl der Übertragungsgeschwindigkeit	↔
Toradresse /LT111CS 30H, 31H, 32 H		
oder 33H		
0B1 = 0 = 111 AUS		
0B1 = 1 = 111 EIN		

1.2.8.6. Blockschaubild

Systembus-
 leitung



S = Sender
 E = Empfänger

ABO $\hat{=}$ Kanalauswahl SIO und KSO beim CTC

AB1 $\hat{=}$ Daten- od. Steuerwort beim SIO und KSI beim CTC

1.3.1. Serielle Schnittstelle zur Ansteuerung der Tastatur
Der Informationsaustausch zwischen Tastatur und Systemeinheit findet über eine serielle Schnittstelle statt.

Die Serien-Parallel-Umwandlung erfolgt über den Kanal A des SIO. Die seriellen Daten der Tastatur gelangen über den Eingang RX74 des SIO zur weiteren Umwandlung in parallele Daten ins Empfangsdatenregister und werden durch die CPU von dort gelesen. Der dazugehörige Empfangstakt wird vom /WR-Steuersignal des Mikroprozessors der Tastatur abgeleitet.

1.3.10. Serielle Schnittstelle zur Ansteuerung eines Druckers

Der Sendeteil des SIO-Kanals A wird zur Bildung einer seriellen Schnittstelle zur Ansteuerung eines Druckers verwendet. Dabei werden die Leitungen 102, 103 und 106 einer V.24-Schnittstelle verwendet. Der Sendetakt wird durch den CTC-Kanal 00 erzeugt.

1.3. Techn. Beschreibung Anschlußsteuerung V.24

1.3.1. Kurzcharakteristik

Die Anschlußsteuerung übernimmt die Anpassung der parallel arbeitenden Systembusen an die serielle Schnittstelle entsprechend EISA-Standard für 32 bzw. 16 Bit (ICL171-V.24).

Die Anschlußsteuerung stellt, von der Schnittstelle aus betrachtet, eine Datenendstelle (DEU) dar, die über Datenübertragungseinrichtungen (DUE) mit fernaufgestellten DEU oder mit nehaufgestellten DEU direkt verbunden werden kann.

1.3.2. Technische Daten

Abmessungen: 150 mm x 150 mm

Steckverbinder: 1 x Buchsenleiste 202-58 (58polig)
TGL 29331/03

2 x Steckerleiste 102-13 (13polig)
TGL 29331/04

Stromversorgung: + 5 V +/- 5 % typ 0,4 A
+ 12 V +/- 5 % typ 0,03 A
- 12 V +/- 5 % typ 0,02 A

Kanäle: 2 unabhängige V.24-Kanäle

Betriebsweisen: duplex, halbduplex

Gleichlaufverfahren: synchron, asynchron

Übertragungsgeschwindigkeit: 200, 300, 600, 1200, 2400, 4800, 9600 Bd.

Zeichenformat: 5 ... 8 Bit/Zeichen

Stoppbitlänge: 1, 1 1/2, 2 Bit

Paritätsprüfung: ohne, gerade, ungerade

Anschlußgeräte: Modem, GDN oder Terminale mit Schnittstellen nach V.24

Schnittstellenleitungen: 102, 103, 104, 105, 106, 107, 108, 109, 111, 113, 114, 115 nach V.24

Länge der Anschlußkabel: max. 15 m

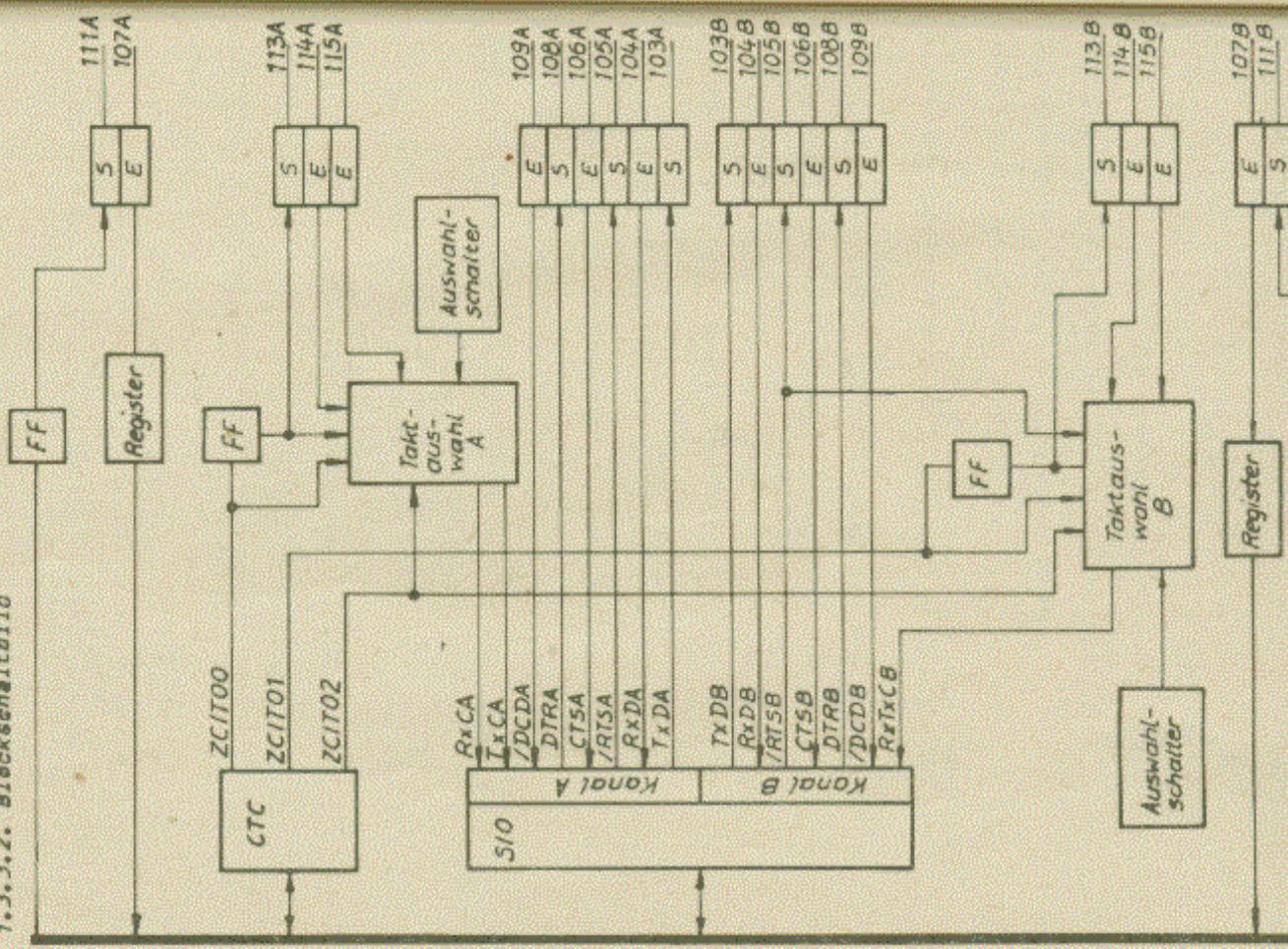
Art des Kabels: HYF (C) Y 12 x 2 x 0,14 mm²

Anschluß zum Systembus: 2 Adreßleitungen (ADR, AB1)

8 Datenleitungen (DB0 ... DB7)

9 Steuerleitungen (/M, /IORQ, /RD, /TAKT, /RESET, /IE1, /REQ, /WAIT, /INT)

- 1.3.3. Funktionsbeschreibung
 1.3.3.1. Funktionskomplexe
 Die Anschlußsteuerung besteht aus den Funktionskomplexen
- Taktverteilung
 - Schnittstellensteuerung für V.24 durch SIO
 - Treiber und Empfängerschaltkreise
- 1.3.3.2. Blockschaltbild



Systembus - Schnittstelle

1.3.3.3. Taktauswahl

Die Takteingänge des SIO können über Multiplexerschaltkreise mit den gewünschten Takten verbunden werden.

Es ist möglich, den jeweiligen Takt durch die 3 CTC-Kanäle oder durch die Leitungen 113, 114 sowie 115 zur Verfügung zu stellen. Am Kanal B steht bei der Bondvariante 0 nur ein Takteingang für Sende- und Empfangstakt zur Verfügung. Es ist möglich, bei unterschiedlichen Taktfrequenzen des Sende- und Empfangstaktes über den zum Kanal B gehörenden Taktmultiplexer durch Steuerung mit der Leitung 105 den gewünschten Takt zur Wirkung zu bringen.

Die Zuordnung der Sende- und Empfangstakte ist in folgender Tabelle dargestellt:

SIO-Kanal A		SIO-Kanal B	
Sendetakt TXCA	Empfangstakt RXCA	Sendetakt TXCB	Empfangstakt RXCB
		Steuerung durch Ltg 105	
		Sendetakt	Empfangstakt
		1-4	2-3
		S1:1	
		S1:2	
Ltg 114	Ltg 115	Ltg 114	Ltg 115
Ltg 113	Ltg 115	ZC/T02	ZC/T00
ZC/T00	ZC/T02	ZC/T00	ZC/T00
ZC/T00	ZC/T00	ZC/T00	ZC/T00
SIO-Kanal B			
Steuerung durch Ltg 105			
		Sendetakt	Empfangstakt
		1-4	2-3
		S1:1	
		S1:2	
-	Ltg 114	Ltg 114	Ltg 115
-	Ltg 113	Ltg 113	Ltg 115
x	Ltg 114	Ltg 115	Ltg 115
x	Ltg 113	Ltg 115	Ltg 115

1.3.3.4. Bedeutung der Schnittstellenleitungen und Kontakt-
 02 (Legende)

SIO-Anschlüsse		Schnittstellen- leitung	Schnitt- stellen- kontakt X2, X3	Übertra- gungsrich- tung DEE -> DUE
Kanal A	Kanal B			
		102 Betriebsrde	A1	↔
TxD A	T x OB	103 Sendedaten	A3	→
RxD A	R x OB	104 Empfangsdaten	B4	→
/RTSA	/RTSB	105 Aufforderung zum Senden	A5	→
/CTS A	/CTS B	106 Bereit zum Senden	B6	→
		108/1 Datenendstelle mit Übertragungsweg verbinden.	B8	→
/DTFA	/DTFB	108/2 Datenendstelle be- triebsbereit	A9	→
/DCDA	/DCDB	109 Empfangssignalpegel	A11	↔
/TxCA	/RxTxCB	113 Sendeschrittakt	B12	→
/RxCA		114 Sendeschrittakt	A13	→
Register-Abfra- ge Datenbit		107 Betriebsbereitschaft (DUE)	A7	↔
DB0	DB2			
Flip-Flop Datenbit		111 Wahl der Übertragungs- geschwindigkeit	B10	→
DB0	DB2			

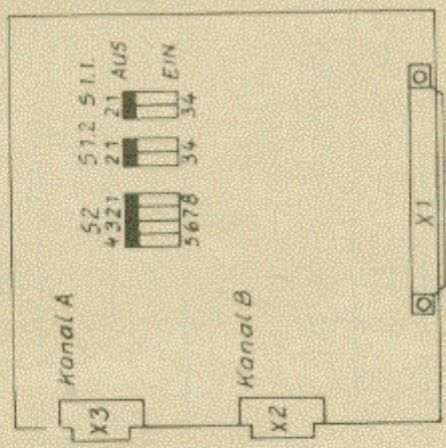
Leitung 107 und 111

Leitung	Kanal A (DB0)		Kanal B (DB2)		Toradresse
	EIN	AUS	EIN	AUS	
107	0	1	0	1	20H oder 2FH /LT107CS
111	1	0	1	0	2CH oder 2EH

-	LC/115	LC/115	-	-	-
-	ZC/102	ZC/102	-	-	-
x	ZC/102	ZC/101	-	-	-
-	ZC/101	ZC/101	-	-	-

x = geschlossener Schalter

Schalteranordnung



1.4. STE Schnittstelle 2 x IFSS

1.4.1. Kurzcharakteristik

Diese Steckereinheit enthält die Anschlußsteuerung für zwei IFSS-Datenübertragungskanäle. Die Anschlußsteuerung realisiert zwei Interface zum sternförmigen Anschluß von Ein-/Ausgabegeräten mit serieller Informationsübertragung (IFSS). Das angewendete Interface entspricht dem im System der Kleinrechner (SKR) vereinbarten System zur seriellen Informationsübertragung zwischen Ein-/Ausgabegerät (E/A-Gerät) und Anschlußsteuerung (AS) eines SKR-Rechners in der speziellen Auslegung für eine 20 mA Stromschleife.

1.4.2. Technische Daten

Abmessungen: 150 mm x 150 mm

Steckverbinder: 1 x Buchsenleiste 202-58 (58polig)
TGL 29337/03
2 x Steckerleiste 103-5 (Spolig)
TGL 29337/04

Stromversorgung: +5 V \pm 5 % typ 0,3 A
+12 V \pm 5 % typ 0,1 A

Kanäle: 2 unabhängige IFSS-Kanäle
Betriebsweisen: duplex, halbduplex
Gleichlaufverfahren: asynchron
Zeichenformat: 5 ... 8 Bit/Zeichen

Stopbitlänge: 1, 1 1/2, 2 Bit

Parität: gerade, ungerade, ohne

Übertragungsgeschwindigkeit: 150, 200, 300, 600, 1200, 2400, 4800, 9600 Bd

Übertragungsentfernung: max. 500 m

Elektrische Bedingungen der Stromschleifen: Logisch "0": 0 ... 3 mA
Logisch "1": 15 ... 25 mA

Anschluß zum Systembus (X1)

2 Adreßleitungen (AB0, AB1)

8 Datenleitungen (DB0 ... DB7)

9 Steuerleitungen (/IM, /IORQ, /RD, TAKT, /RESET, IEI, IEO, /WAIT, /INT)

1.4.3. Funktionsbeschreibung

1.4.3.1. Funktionskomplexe

Die Anschlußsteuerung besteht aus den Funktionskomplexen:

- Taktzeugung durch CIC
- Schnittstellensteuerung für IFSS durch SIO
- Kabelstufen für IFSS
- Konstantstromquellen

1.4.3.2. Taktzeugung durch CIC

Der Baustein U857 (CIC) wird als programmierbarer Frequenzteiler zur Bereitstellung der vom U856 benötigten Sende- und Empfangstakte benutzt. Die Kanäle 0, 1 und 2 des CIC sind zu diesem Zweck als Zeitgeber entsprechend der zu realisierenden Übertragungsgeschwindigkeit der seriellen Daten (Baudrate) zu programmieren. Dabei gilt folgende feste Zuordnung:

Kanal A Sendetakt Kanal 0

Empfangstakt Kanal 1

Kanal B Sende-/Empfangstakt Kanal 2

1.4.3.3. Steuerung der Datenübertragung durch SIO

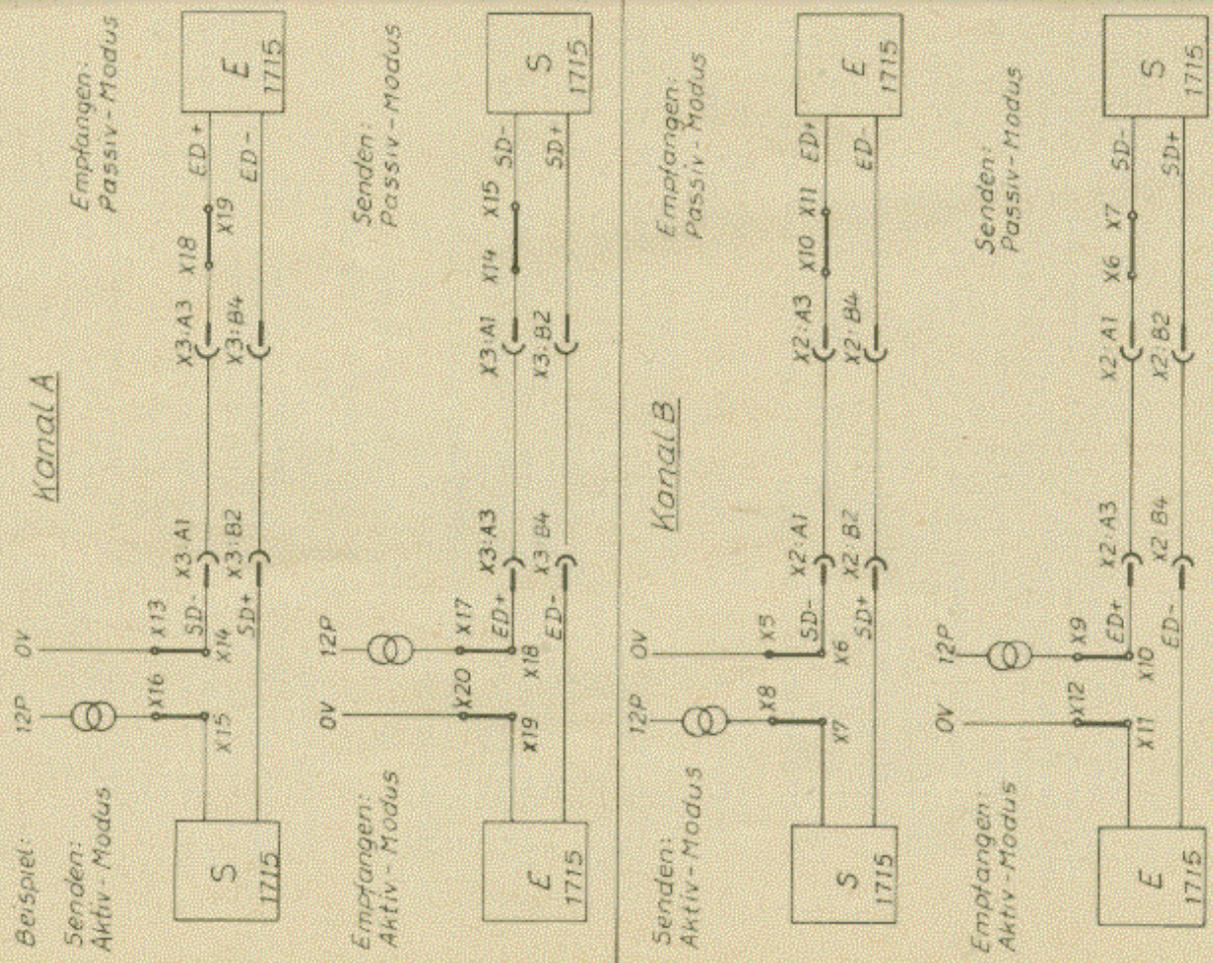
Die Aufgabe des SIO U856 besteht in der Parallel-Serien-Wandlung der Ausgabedaten der ZVE sowie der Rückwandlung der über die Kabelstufen empfangenen seriellen Eingabedaten und der zugehörigen Schnittstellensteuerung. Die Kanäle A und B des SIO sind unabhängig voneinander zu betreiben und zu programmieren. Betüglich der spezifische Technische Beschreibung des U856 sei auf die umfangreiche Technische Beschreibung des Schaltkreisherstellers verwiesen.

1.4.3.4. IFSS-Kabelstufen

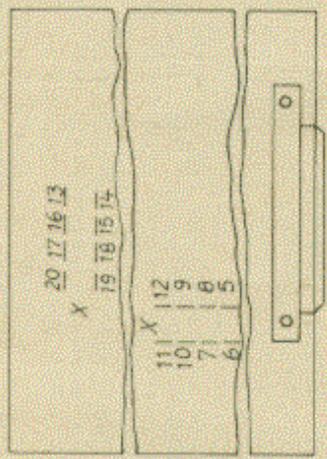
Das IFSS ist ein serielles Interface zur direkten Kopplung von Ein-/Ausgabe-Geräten über Entfernungen bis zu 500 m in der Auslegung als 20 mA-Stromschleife. Der Datenaustausch erfolgt asynchron im Start-Stop-Verfahren über eine vieradrige Duplexverbindung. Je 2 Leitungen bilden eine Stromschleife (Sende- und Empfangschleife), die über optoelektronische Koppler mit der Ein- und Ausgabe-Schaltungsanordnung verbunden ist. Der Strom in der Schleife beträgt im Zustand der logischen "1" (Ruhezustand) 15 mA ... 25 mA (Nennwert 20 mA) und im Zustand logisch "0" 1 mA ... 3 mA (Nennwert 2 mA). Die Einspeisung des Schleifenstromes kann sowohl von der Anschlußsteuerung (Aktivmodus) als auch auf der jeweiligen Gegenstelle (Passivmodus) erfolgen. Die Anschlußsteuerung besitzt zur Realisierung des gewünschten Arbeitsmodus zwei Konstantstromquellen, die in die Sende- und Empfangschleife eingeschaltet werden können.

Die Kabelketten der Anschlusssteuerung (IFSS) sind so angeordnet, daß Vertauschungen der Anschlüsse oder Schließungen auf Übertragungsleitungen nicht zu Schäden führen.

1.4.3.5. Zusammenschaltungsmöglichkeiten



Der spezifiziert Anschlussmodus ergibt sich aus folgenden Brücken:



Kanal	Modus	Brücken
A	aktiv senden	X 13 - X14; X15 - X16
	aktiv empfangen	X 17 - X18; X19 - X20
B	passiv empfangen	X 14 - X15
	passiv empfangen	X 18 - X19
A	aktiv empfangen	X 5 - X6; X7 - X8
	aktiv senden	X 9 - X10; X11 - X12
B	passiv empfangen	X 6 - X7
	passiv empfangen	X 10 - X11

1.4.3.6. Anschlüsse zur seriellen Datenübertragung

Die Anschlüsse der beiden Datenübertragungskanäle befinden sich an der Griffseite der Anschlusssteuerung. Die beiden Spaltigen Steckerleisten X2 (Kanal B) X3 (Kanal A) sind durch ein Fenster in der Verkleidung erreichbar.

Die Schnittstellenleitungen der IFSS-Kanäle sind folgenden Kontakten der beiden Steckverbinder zugeordnet:

Kontakt	Leitung
A01	SD-
A02	SD+
A03	ED+
B04	ED-
A05	Schirm

1.4.3.7. Konstantstromquellen

Die Konstantstromquellen sind für den Betriebsfall einer maximalen Leitungslänge von 500 m (200 Ohm) konzipiert. Sie liefern einen Strom von 15 bis 25 mA bei einer Spannung (gegen Masse) von 2 V bis 9 V. Dieser Spannungsabfall entsteht durch die Summe der Spannungen über Sendestufe, Kabelwiderstand und Empfängerstufe. Im Leerlauf bzw. "0" Zustand stellt sich eine Spannung von ca. 12 V ein. Die Schaltungen in der Stromschleife einschließlicher der Stromquellen sind so dimensioniert, daß beim Vertauschen von Leitungen keine Schäden entstehen.

1.5. Ansteuereinheit für Floppy-Disklaufwerke 20-330-0102-4 und 20-330-0202-5

1.5.1. Allgemeines

Die Steckeinheit 20-330-0102 bzw. -0202 dient der Ansteuerung von maximal vier Floppy-Disklaufwerken der Typen MF 3200, MF 6400, K5602.10 und K 5600.10. Dabei können 5,25 Zoll und 8 Zoll Disketten in den Aufzeichnungsverfahren FM und MFM *) bearbeitet werden. Eine gemischte Bestückung und damit Ansteuerung von Floppy-Disklaufwerken ist möglich. Auf der Steckeinheit befinden sich ein bzw. zwei (Variante -0202) Kabel mit 26-pol. Steckverbindern, über die je ein geräteinternes Floppy-Disklaufwerk angeschlossen werden kann. Über einen weiteren 39-pol. Steckverbinder können noch zwei externe Floppy-Disklaufwerke angeschlossen werden. Entfallen die zwei internen Laufwerke, können über den 39-pol. Steckverbinder maximal vier Floppy-Disk gesteuert werden.

*) MFM vorerst nur bei 5,25 Zoll Laufwerken möglich.

1.5.2. Schnittstellen

1.5.2.1. Schnittstelle zum Rechnerbus

Die Ansteuersteckeinheit für Floppy-Disklaufwerke ist mit der ZSTE über einen 58-pol. Steckverbinder direkt verbunden. Über diese Verbindung wird der Datenbus, der Steuerbus (/M, /IORQ, /RD, /RESET, /WAIT, /INT, /TEI, /IEO), der Adressbus, der Takt, die CS-Signale der PIOs und Register und die Stromversorgung geleitet. Da sich die Adressdecodierung auf der ZRE befindet, genügt es, die CS-Signale und die Adressen AB 0 und AB 1 zur Adressierung der PIOs und Register zu verwenden.

CS-Signal	AB1	AB0	Tor
/PIO CS0	0	0	Daten-PIO Kanal A Daten
/PIO CS0	0	1	Daten-PIO Kanal A Steuerwort
/PIO CS0	1	0	Daten-PIO Kanal B Daten
/PIO CS0	1	1	Daten-PIO Kanal B Steuerwort
/PIO CS1	0	0	Steuer-PIO Kanal A Daten
/PIO CS1	0	1	Steuer-PIO Kanal A Steuerwort
/PIO CS1	1	0	Steuer-PIO Kanal B Daten
/PIO CS1	1	1	Steuer-PIO Kanal B Steuerwort
/KRF0	X	0	SE-Register
/KRF0	X	1	MO-Register

x-beliebige Belegung, Daten-PIO - A1:1, Steuer-PIO - A1:2

1.5.2.2. Belegung der PIO's und Register

Die Steuerung der Ansteuereinheit und der Laufwerke erfolgt durch den Steuer-PIO A1:2 sowie die Register A13:1 und A13:2. Der Daten-PIO A1:1 dient der Pufferung des Datenaustausches zwischen den Follenspeichern und dem Datenspeicher. Die beiden PIO's arbeiten in den Betriebsarten:

Steuer-PIO	Kanal A - OUTPUT (Mode 0)
	Kanal B - BIT (Mode 3)
Daten-PIO	Kanal A - OUTPUT (Mode 0)
	Kanal B - INPUT (Mode 1)

Steuer-PIO

Anschluß Signalbezeichnung Kurz- Wirkrichtung Bedeutung
zei.

A0	/WRITE ENABLE	/WE	zum Laufwerk, /WE=LOW gibt Schreib- zur internen Steuerung auf d. STE und im Lauf- werk frei
A1	MARK	TK	z. int. St. Doppelbedeutung Lesen: (A2:2/23) /MK=LOW Markener- kennung FM und Synchr.-Byte C2 bei MFM /MK=HIGH Erkenn. Synchr.-Byte A1 bei MFM Schreiben: (A2:1/22)/MK=LOW/ Markenschreiben FM u. Synchr.- Byte MFM /FA=LOW Rücksetzen des Fehlerbit i. Laufwerk
A2	/FAULT RESET	/FR	z. LW
A3	/START	/STR	z. int. St. /STR=LOW gibt in- terne Steuerung frei STE
A4	MARK 1	MK 1	z. int. St. Doppelbedeutung Lesen: (A7:5/2) /MK1=HIGH Information ins Schieberegist. einlesen /MK1=LOW ständig 1 ins Schiebereg. einlesen Schreiben: (A2:1/ 20)/MK1=LOW Schreib- Marken FM, Synchr.- Byte und Daten MFM /MK1=HIGH Schreiben Daten FM

Anschluß Signalbezeichnung kurz- Wirkricht. Bedeutung
Zeich.

85	STEP DIRECTIONAL PULSE RESET	S0-D6	Z.LU z. Int. St.	Spaltenrichtung, für Laufwerk; /S0-HIGH Schritt- richtung nach höherer Spur- nr. /S0-HIGH Schrittrichtung n. niedrigerer Spur-nr. für Int. Steuerung; (S7:3/13)/MR-L0H Rücksetzen Mar- ken-FF /MR-I Inaktiv - Kopfandruck /HL-L0-Diskette wird gegen Mag- netkopf gedrückt
86	HEAD LOAD	/HL	Z.LU	Schrittimpuls Kontinuität in die durch SO an- gegebene Richtung. Jeder L0H-Impuls entspr. einer Spur.
87	STEP	/ST	Z.LU	Auswertung des In- dexschrittes L-H- Flanke meldet Be- ginn des Indexio- ches. /PROYL-L0H-Signale, Bereitschaft des LW zum Lesen oder Schreiben.
88	INDEX	IX	Vom LW	V. Int. St. MKE-HIGH Marke erkannt
89	LAUFWERK BEREIT	/PROYL	V.LU	Z. Int. St. Aufzeichnungsfor- mat FO=L0H 5,25" Dis- kette FO=HIGH 8" Dis- kette
90	MARKE ERKANNT	MKE	V. Int. St.	Präkompensation PRE=0 Schreiben ohne Pr. PRE=1 Schreiben m. Pr.
91	FORMAT	FO	Z. Int. St.	Z. Int. St. Aufzeichnungsverfahren MFM=L0H FM-Verfahren MFM=HIGH MFM-Verfahren /SP=L0H Schreibschutz auf Diskette
92	MODIFIZIERT FREQUENZMODULATION	/MFM	Z. Int. St.	
93	WRITE PROTECT	/WP	V.LU	

Anschluß Signalbezeichnung kurz- Wirkricht. Bedeutung
Zeich.

86	FAULT Write	/FW	V.LU	/FW=L0H Schreibfehler
87	TRACK 00	/T0	V.LU	/T0=L0H Kopf befindet sich auf Spur 00

Gate-PIO (A11)

80 - 87	Schreibdaten (Daten, die auf Diskette geschrieben werden sollen)
FASTB	Schiebekette hat Daten vom PIO übernommen
ARDY	PIO hat Schreibdaten übernommen
88 - 87	Lesedaten
LESIO	PIO wird zur Übernahme der Lesedaten aus der Schiebekette aufgefordert.
DRDY	PIO hält Lesedaten zur Übergabe an Datenbus bereit

Register A112

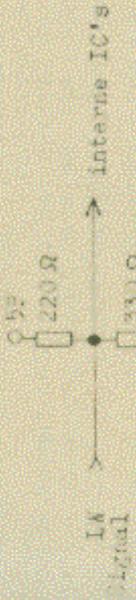
Eingang	Ausgang	Bedeutung
LS 0	/LCK 0	Türverriegelung LW 0
LS 1	/LCK 1	"
LS 2	/LCK 2	"
LS 3	/LCK 3	"
LS 4	/SE 0	Selektion LW 0
LS 5	/SE 1	" LW 1
LS 6	/SE 2	" LW 2
LS 7	/SE 3	" LW 3

Register A117

Eingang	Ausgang	Bedeutung
/SE 0	/MO 0	Motorbeschaltung LW 0
/SE 1	/MO 1	"
/SE 2	/MO 2	"
/SE 3	/MO 3	"

1.5.2.2. Schnittstelle zu 8001-8002

Die Signalleitungen sind entsprechend den technischen Farber-
kennungen der entsprechenden Leiterplatten mit folgender Abur-
stufungskombination beschriftet:



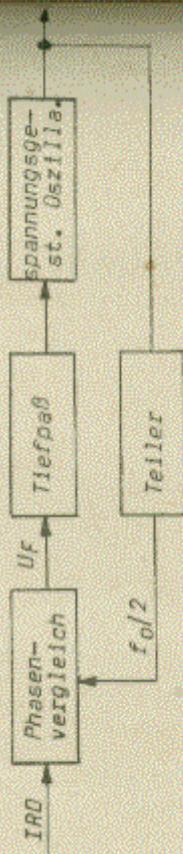
Als Leistungstreiber für die Ausgangssignale /WE, /RD, /SD, /ST, /HL, /FR wird der Schaltkreis 75 450 (A14) eingesetzt, der einen Ausgangsstrom von 300 mA ermöglicht. Die Signaleingänge der Laufwerke sind ebenfalls mit Widerstandsbeschaltung versehen und benötigen einen LOW-Eingangsstrom von je 24 mA. Da maximal 4 Laufwerke parallel angeschlossen sein können, muß der Leistungstreiber 96 mA liefern können.

Für die Signale /SE, /LCK und /MO wird als Treiber der Schaltkreis DS 8282 eingesetzt, der 32 mA liefern kann. Dies ist ausreichend, weil jede dieser Leitungen nur ein Laufwerk ansteuert.

1.5.3. Beschreibung der Funktionsgruppen (siehe Blockschaltbild).

1.5.3.1. Der Phasenregelkreis (PLL)

Der Phasenregelkreis hat die Aufgabe, einen Oszillator in Frequenz und Phase mit einem Eingangssignal zu synchronisieren. Er erzeugt Taktimpulse, die in fester Relation zu den Lesedaten /RD stehen. Damit können Langzeitschwankungen der Bitstände infolge von Gleichlaufschwankungen bzw. geringfügige Drehzahlabweichungen von Laufwerken ausgeglichen werden.



Der Phasenregelkreis besteht aus Phasenvergleich (A4:6/08 u. l. nachgeschaltetem Tiefpaß, einem spannungsgesteuerten Oszillator (A18, V2, A16, A6:5/08 u. 10, A15/08 u. 10) und einem Teiler (A7:4/09). Zwei weitere Teiler (A7:5/09 u. A7:4/05) können je nach Wahl von Aufzeichnungsverfahren und -format eingeschaltet werden. Die geteilte Oszillatorfrequenz wird gemeinsam mit dem /RD-Signal, welches mit UV A17 auf 780 ns verlängert wurde, dem Phasenvergleich zugeführt. Je nach Frequenz- und Phasenabweichung entsteht eine impulsförmige fehler Spannung am Phasenvergleich, die durch V1 begrenzt, durch Tiefpaß R9, R10, R11, und C6 geglättet und den Operationsverstärker A18 steuert, dessen Ausgang die steuerbare Konstantstromquelle V2 beeinflusst. Über V2 wird C8 aufgeladen. Die Anschlüsse 11 und 12 des Schaltkreises A16 wirken als Komparator. Erreicht die Ladespannung des C8 die Komparatorschwelle, ändert A16/09 von LOW nach HIGH und entlädt über A6:5/10 und 08 sowie A15/08 den Kondensator C8 wieder. In diesem Moment wird A16 wieder umgesteuert und C8 kann erneut aufgeladen werden. A15/10 ändert parallel dazu die Komparatorschwelle, um eine gewisse Hysterese des Schaltvorganges zu erreichen. In bestimmten Grenzen ist diese Schaltungsanordnung damit in der Lage, eine mit dem READ-Signal phasenstarr verkoppelte Impulsfolge einer bestimmten Frequenz zu liefern.

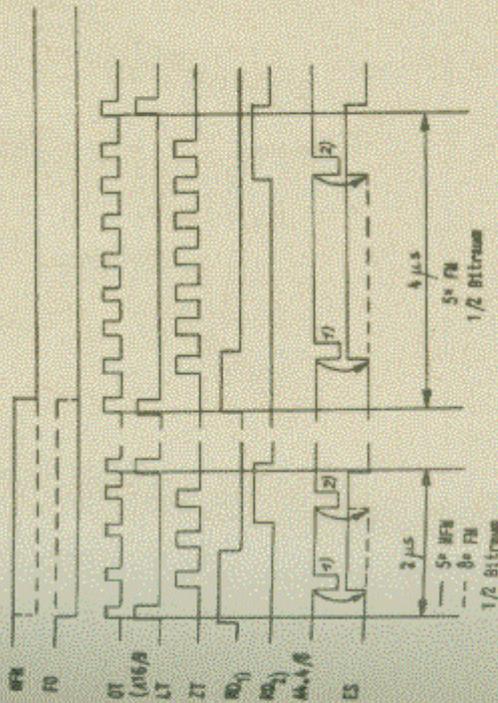
Liegen keine Lesedaten an, so schwingt der Oszillator auf der durch R23 eingestellten Freilauffrequenz von 2 MHz.

1.5.3.2. Lesedatenaufbereitung

Die Ansteuersteckeinheit kann unterschiedliche Aufzeichnungsformate bearbeiten, d.h., sie muß Lesedaten unterschiedlicher Frequenz verarbeiten können.

Die Oszillatorfrequenz wird über die FF A7:5/09 und A7:4/05 durch die Steuersignale /MFM und /FO auf $\frac{1}{4}$, $\frac{1}{2}$ oder gar nicht geteilt, je nach ausgewähltem Aufzeichnungsverfahren. Der dritte Teiler A7:4/09 dient zur Teilung der Oszillatorfrequenz für den Phasenregelkreis. Der Teiler wird mit /WE gesperrt. Vom Ausgang des Teilers werden die Signale Lesetakt LT und Zwischentakt ZT abgeleitet. Der Lesetakt kann somit eine Frequenz von 250 kHz, 500 kHz besitzen und kennzeichnet immer einen halben Bitraum. Der Zwischentakt entspricht der Differenz zwischen Oszillatortakt und dem jeweiligen Lesetakt.

Der Zwischentakt wird mit den durch UV A17 verlängerten Lesedaten konjunktiv verknüpft. Sind beide Signale "HIGH", wird über den Rücksetzring des FF A7:5/05 die Leitung ES aktiv. Mit LT schaltet das FF ES inaktiv. Durch dieses Verfahren kann auch bei sehr langsamen Aufzeichnungsverfahren (5,25 fpm) der gesamte Bitraum mit ZT sehr gut nach Daten abgetastet werden und damit ist die Lesesicherheit auch bei großen Zeittoleranzen von Bit zu Bit gewährleistet. Falls die Steuerleitung /MK1=0 ist, kann ES nicht abgeschaltet werden und damit wird ständig 1 ins Schieberegister eingelesen.



- 1) Lesedaten mit max. zulässiger Abweichung zum vorh. Impuls
- 2) Lesedaten mit max. zulässiger Abweichung zum nachfolgenden Impuls

1.5.3.3. Seriell-Parallel-Wandlung und Markenerkennung

Die Seriell-Parallel-Wandlung wird in einem 20-Bit-Schieberegister A9:1 bis A9:5 durchgeführt. Beim Lesevorgang werden die aufbereiteten Lesedaten ES zum seriellen Eingang A9:1/01 der Schiebekette geführt und mit der HI-Flanke von C1 durchgeschoben. Die Schieberegister sind während des Lesevorgangs über die Steuereingänge auf seriellen Betrieb geschaltet. Die Ausgänge der Schieberegister sind erstens mit einem rückgekoppelten festwertspeicher A2:2 verbunden, der zur Markenerkennung dient und zweitens mit dem Kanal B des Daten-PIO A1:1. Die Notwendigkeit einer Markenerkennung ergibt sich aus der Verwendung der Aufzeichnungsformate nach ISO (TC-97) SC-11 Nr. 149 und 347 bzw. XAOS 5108 und 5110. Im Kanal B des Daten-PIO werden die Lesedaten zwischengespeichert. Die zeitliche Differenz von vier C1-Takten zwischen der Datenbereitstellung am Les-ROM A2:2 und am Daten-PIO gibt dem Betriebssystem zusätzliche Zeit zur Markenerkennung.

Der C1-Takt ist eine COP-Funktion aus Les- und Schreibe-Takt (L1, SMT). Beim Lesen laufen demzufolge in jedem Bitraum zwei Schiebeteakte ab, einer für die Taktinformation und einer für die Dateninformation der Lesedaten des Follenspeichers. Da nur jeder zweite Ausgang der Schiebekette auf die Adressleitungen des Les-ROM geschaltet ist, liegt entweder das Taktbyte oder das Datenbyte der geschalteten Takt-Daten-Information als Adresse am ROM an. Die Taktinformation kommt dabei einem C1-Takt früher.

Entweder die ROM-Adresse 0-7 dem Taktteil einer Marke, wird Ausgang 8 mit HIGH belegt. Dieses Signal wird als Rückkopplung an den 0-Eingang des FF A7:3/05 → A7:3/02 geführt. Mit der nächsten C1-Takt wird der Datenteil der Marke an die Eingänge des ROM gelegt. Gleichzeitig erfolgt die Durchschaltung des FF A7:3/05 und dieser Ausgang liegt als weiterer Eingang A9 an ROM. Damit wird die Speicherzelle angesprochen, deren Inhalt bei Vorliegen der Marke ein HIGH auf Ausgang 7 ausgibt. Dieses Signal wird anschließend noch mit dem Zuleitertakt verknüpft. Der entstehende Impuls setzt das Marken-FF A7:3/09 und zum PIO A1:2/28 kommt die Duktung der Marke erkannt. Die Verknüpfung mit Z1 ist notwendig, um Verzögerungszeiten und Einschwingvorgänge an den ROM-Ausgängen auszugleichen zu können. Die Rückführung des Signals /mkf an das Rückkoppl-FF A7:3/07 bewirkt, daß keine weitere Marke erkannt werden kann, solange /mkf HIGH ist. Welche Marke erkannt wurde, entnimmt das Betriebssystem aus dem Datenbyte, das in den PIO A1:1 Kanal B eingelesen wurde.

Speicherbelegung des Les-ROM A2:2

29	48	A7-40	Speicherinh.	Bedeutung
0	0	14	80	Taktteil Synchr. C2 - MFM
0	0	07	80	Taktteil ID-Mark, Datenmarke, gelöschte Datenmarke
0	0	07	80	Taktteil Indexmarke
0	1	04	80	Taktteil Synchr. A1 - MFM

A9 A8 A7-40 Speicherinh. Bedeutung

1	0	C2	40	Datenteil Synchr. C2 - MFM
1	0	F8	40	Datenteil gelöschte Datenmarke
1	0	F8	40	Datenteil Datenmarke
1	0	FC	40	Datenteil Indexmarke
1	0	FE	40	Datenteil ID-Mark
1	1	A1	40	Datenteil Synchr. A1 - MFM

alle anderen 00 keine Marke

1.5.3.4. Parallel-Seriell-Wandlung

für die eigentliche Parallel-Seriell-Wandlung werden 16 Bit benötigt. Die Bits 17 bis 20 werden für die Schreibvorrichtung und die Auswahl der Taktinformation beim MFM-Verfahren bei Bytewechsel gebraucht. Der Daten-PIO A1:1 stellt ein Byte zur Übernahme ins Schieberegister bereit. Diese Dateninformation liegt gleichfalls am Schreib-ROM A2:1 an. Entsprechend dieser Information stellt der ROM an seinen Ausgängen die dazugehörigen Taktinformationen zur Übernahme ins Schieberegister bereit. Durch die Art der Zusammenschaltung von PIO- und ROM-Ausgängen mit den Parallelschaltungen der Schiebekette erfolgt eine Verschiebung der Daten mit der Taktinformation.

Der ROM-Finischgang A8 schaltet in Abhängigkeit des letzten Bits der vorangehenden Bytes die Taktinformation um, da beim MFM-Verfahren dieses Bit bestimmt, wie das erste Bit des nachfolgenden Bytes aufzuzeichnen wird. Der ROM nicht selektiert, während einer MFM-Aufzeichnung werden Linsen als damit hochmäßig und im Schieberegister werden Linsen als Taktbyte übernommen. Die Adressbelegung des Schreib-ROM ist folgende:

- A8:07 - zu schreibendes Datenbyte
- A9 - letztes Bit des vorangehenden Datenbytes
- A9 - bezieht beim MFM-Aufzeichnungsverfahren, ob die Taktinformation für Daten oder für Marken bzw. synchronisationsbytes an den Ausgängen anliegt, auf einen Schieberegister

Die parastatische Übernahme der Takt-Dateninformation in das Schieberegister wird durch die Schreibsteuerung realisiert.

1.5.3.5. Taktteil-Übertragung

Es besteht die Möglichkeit, daß die Toleranz der Aufzeichnungsfrägen, die bei der Taktteil-Übertragung darft. Deshalb wird ein Quarzgesteuerter Taktgenerator (A4:2) verwendet. Seine Frequenz beträgt 10 MHz ± 1% und wird über zwei FF (A7:1/05 und A9) und einen Verzögerlist A8 für die unterschiedlichen Aufzeichnungsverfahren gestellt. Gesteuert werden die FF über die Signale /r0 und /mfm, die die Aufzeichnungsverfahren bestimmen.

Der Dezimalzähler wird mit WE=High freigegeben.

Bei Aufzeichnung von Informationen auf magnetische Datenträger entsteht bei hohen Aufzeichnungsdichten der Effekt der Spitzenverschlebung, der zu Fehlern bei der Wiedergabe der Daten führen kann. Die Größe der Spitzenverschlebung ist von der Bitdichte der jeweiligen Spur und der Bitfolge abhängig. Aus diesen Gründen wird beim Aufzeichnungsverfahren MFH eine gegenläufige Verschlebung (Präkompensation) der Schreibimpulse durchgeführt, um die Spitzenverschlebung in gewissen Grenzen auszugleichen. Die auf der Steckereinheit eingesetzte Präkompensationsschaltung führt eine Verschlebung an den Übergängen von max. Bitdichte auf größere Bitabstände und umgekehrt durch.

Aufzeichnungs- max.Bitdichte min.Bitdichte Präkompensationsverfahren min.Bitabstand max. Bitabstand tion um

5,25"MFH 4 µs 6/8 µs 400 ns

Das Einschalten der Präkompensation erfolgt bei 5/4"-Laufwerken (MFS K 5600) ab Spur 25. Dabei wird über das Signal PRE der Dekoder A5:2 aktiviert, welcher die Schreibdaten mit Vorgänger und Nachfolger auswertet. Wird Ausgang 3 aktiv, muß der Schreibimpuls verzögert und bei Ausgang 5=0 vorgezogen werden.

Die Schreibakte SCHT werden im Multiplexer A10 generiert. Die Adreßeingänge A0-A2 werden vom Dezimalzähler A8 erzeugt und stellen eine Taktierung der Dateneingänge 0 bis 7 dar. Die Dateneingänge sind mit den Ausgängen des Präkompensationsdekoders verbunden, wobei Eingang 2 = 1 keine Verschlebung bedeutet.

Mit der LH-Flanke des Schreibtaktes /SCHT (A10/06) wird das FF A7:2/05 gekippt und dadurch der Multiplexer gesperrt. Damit wird die Bildung eines weiteren Schreibimpulses innerhalb eines Zyklus des Zählers A8 verhindert. Sein Ausgang A1 (A8/12) = LOW hebt die Sperre wieder auf. Der Schreibtakt SCHT wird mit dem Ausgang der Schiebekette konjunktiv verknüpft (A4:3/08) und der Ausgang über den Leitungstreiber A14:3 als Schreibdaten /LD auf das LW-Interface gelegt. (Siehe dazu auch Taktdiagramm "Schreiben mit Präkompensation")

1.5.3.6. Synchronisation der Datenübertragung

Der gleiche Impuls, der das FF-MKE einschaltet, setzt den Bitzähler A12 auf den Wert "12". Mit dem vieren C1-Impuls wird der Übertrag A12/12 des Zählers 0. Zum gleichen Zeitpunkt liegt das Markenbyte am Daten-PIO 80-87 an. Am Ausgang A4:3/03 entsteht /RSTB, das die Übernahme des Markenbytes veranlaßt. Der Zähler und das Schieberegister werden mit C1 weitergeschaltet. Nach 16 Takten entsteht erneut /RSTB und das nächste Datenbyte wird übernommen usw. Während des Schreibvorganges wird C1 durch den Schreibtakt erzeugt. Alle 16 Takte wird analog dem Lesen ein Übertrag erzeugt, zum Zeichen dafür, daß ein Byte auf die Diskette

geschrieben wurde. Eine extra Synchronisation des Bitzählers für das Schreiben ist nicht notwendig, da dem Schreibvorgang immer das Lesen eines IO-Feldes vorausgeht. Der Bitzähler-Übertrag bildet, durch einen Takt des A8 gesteuert, im FF A7:2/09 die Signale /ASTB und V.

Das FF wird mit der nächsten Flanke des Schreibtaktes rückgesetzt.

Während des Lesens ist es gesperrt. Mit V=High schaltet die Schiebekette auf parallele Übernahme und zwischen zwei Schreibtakt SCHT werden die PIO-Daten durch einen Impuls an C2 in die Schieberegister übernommen.

Das Betriebssystem und der unmittelbare Datenaustausch mit den Folienspeichern arbeiten in unterschiedlichen Zeitabläufen. Deshalb ist eine Synchronisation zwischen beiden nötig. Hier wird dies über die WAIT-Leitung realisiert. Sie soll aktiviert werden, wenn folgende Bedingungen vorliegen:

- 1) Durch das Betriebssystem erfolgt ein OUT-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in den PIO übernommen wurde.
- 2) Durch das Betriebssystem erfolgt ein IN-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in den PIO übernommen wurde.

Die Signale ARDY und BRDY werden durch das Betriebssystem vor Arbeitsbeginn auf High gestellt. Erfolgt ein IN- oder OUT-Befehl (PIO CS=High, /AB1=High) mit den Voraussetzungen STR=High und /PS=High, schaltet der Ausgang A11/08 auf LOW. Damit wird über den Rücksetzeingang des FF A7:6/06 HIGH und /WAIT wird über A3:3/11 und A15/02 aktiv.

Erfolgt eine Übernahme der Schreibdaten oder eine Übergabe der LeseDaten aus bzw. in den PIO, d.h., der /ASTB bzw. /RSTB-Impuls lag an, wird ARDY bzw. BRDY LOW, der Ausgang A11/08 damit HIGH. Mit der nächsten steigenden Flanke des Systemtaktes wird FF A7:6/09=HIGH. Das hat zur Folge, daß der PIO-Eingang für /IORQ aktiviert. Damit beginnt für den PIO der OUT- bzw. IN-Zyklus.

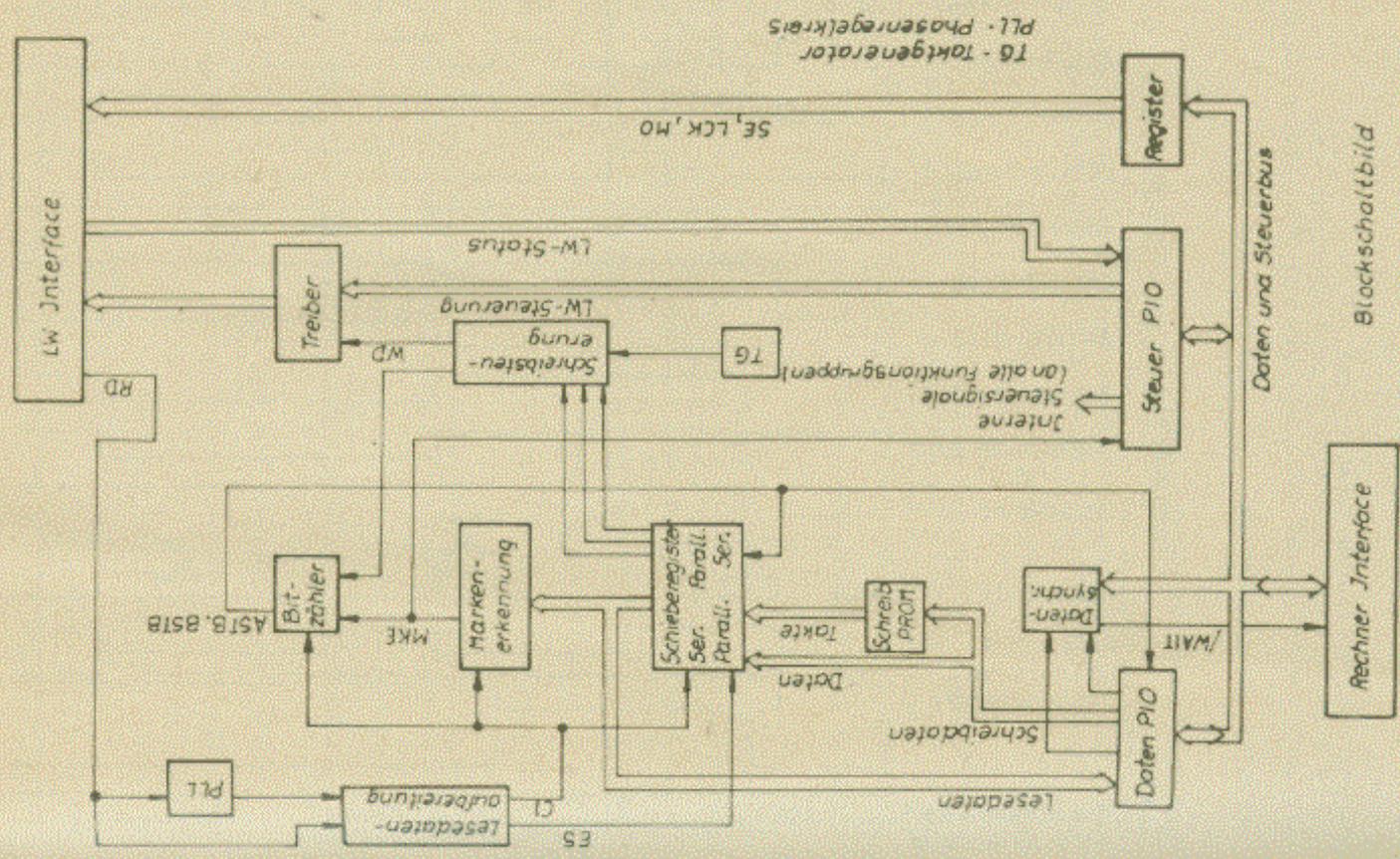
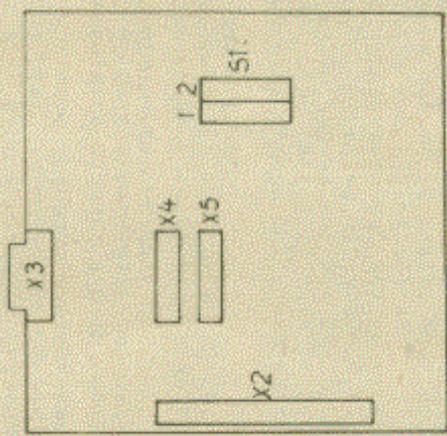
Die nächste LH-Flanke des Systemtaktes schaltet FF A7:6/06 auf LOW und inaktiviert somit /WAIT.

Der OUT- bzw. IN-Zyklus des PIO wird von der CPU-Steuerung durch /IORQ = HIGH beendet. Diese Steuerung gewährleistet durch zusätzliche WAIT-Zyklen, daß dem PIO die für eine ordnungsgemäße Durchschaltung der Daten notwendige /IORQ-Zeit wie bei normalen, ohne zusätzliches WAIT durchgeführten, OUT- und IN-Operationen zur Verfügung steht.

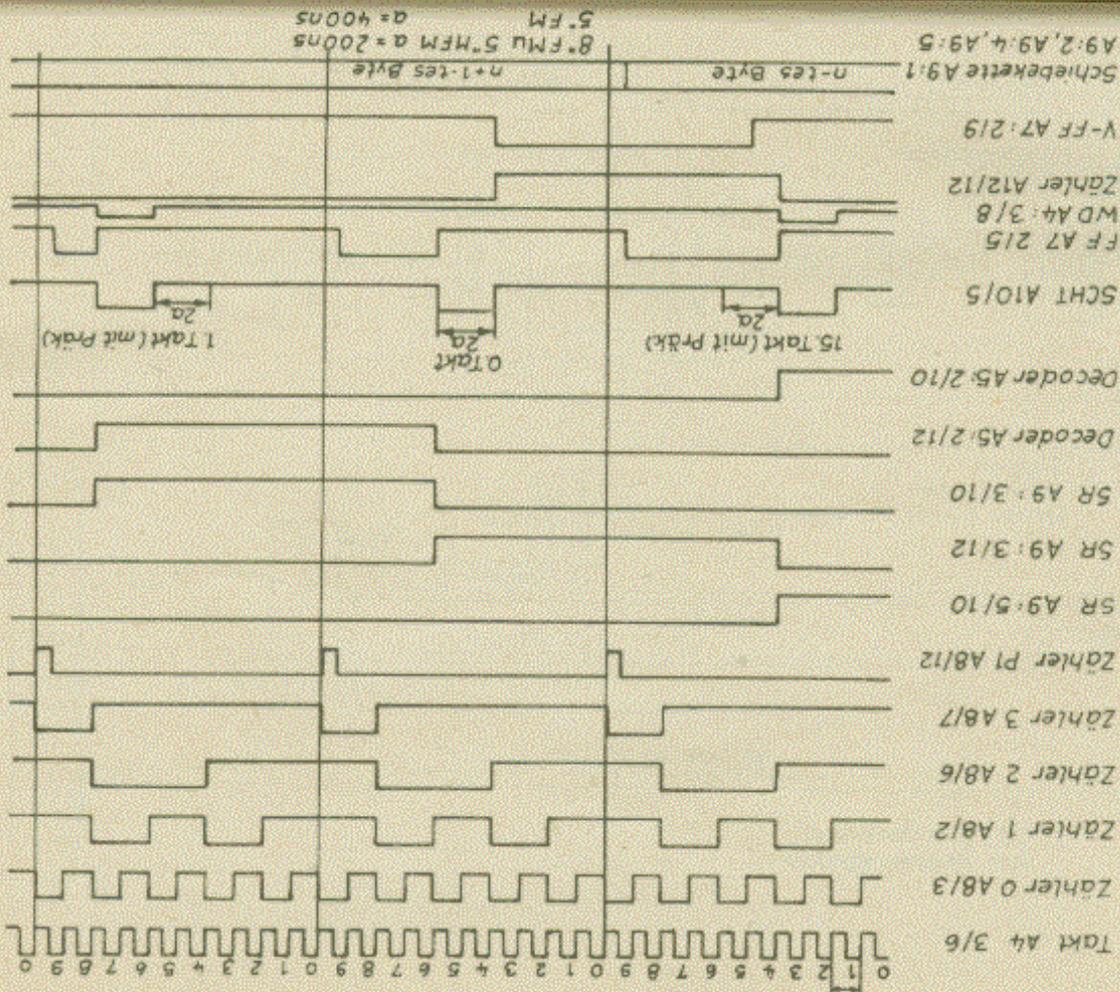
1.5.3.7. Prüfschaltung

Über den Schalter S1:1 kann /PS=LOW geschaltet werden, womit alle Signallückführungen auf der SIE aufgetrennt werden. Dies ist für eine Prüfung mit Signaturanalyse erforderlich. Über die Meßpunkte 1 und 2 bzw. 5 und 6 ist eine externe Taktierung des Quarzgenerators und des PLL-Oszillators möglich. Die Rückkopplung zwischen FF A7:3/05 und dem Lesen ROM ist über den Schalter S1:2 auftrennbar. Damit kann auch im Prüf-

Fall eine Marke erkannt und das Lesen eingestellt werden. Im normalen Betriebsfall muß S1:1 geöffnet und S1:2 geschlossen sein.



Blockschaltbild



Schreiben mit Präkompensation

1.6. Floppy-Disk-Laufwerk 1.2. (K 5600.10)

1.6.1. Allgemeines

Der K 5600.10 ist ein Speicher mit Direktzugriff und einer maximalen Speicherkapazität von $2 \cdot 10^6$ Bit

Das Gerät erhält vom Netzteil (1,93.102700.9/SU) seine Versorgungsspannungen von +5V und +12V.

Der Informationsaustausch sowie die notwendigen Steuer- und Regelvorgänge realisiert die geräteeigene Logik in Verbindung mit der Steckeinheit (21-330-1202-3). Der Anschluß des Speichers an die Steckeinheit (21-330-1202-3) erfolgt über einen 26-poligen Steckverbinder. Als Datenträger können alle international handelsüblichen Disketten mit 5,25 Zoll Durchmesser eingesetzt werden.

1.6.2. Konstruktiver Aufbau

1.6.2.1. Antriebsmechanismus

Den Antrieb der Diskette übernimmt in Zusammenarbeit mit einer Spannvorrichtung eine zentral angeordnete Spindel, welche über einen Flachtrieb von einem elektronisch getriebenen Gleichstrommotor angetrieben wird. Mit Schließen der Spannvorrichtung wird ein Mikroschalter betätigt, so daß bei entsprechender Mikrobefehlsfolge der Motor funktionstüchtig ist.

1.6.2.2. Positioniermechanismus

Die Positionierung des Schreib-Lese-Kopfes erfolgt durch eine schrittmotorgetriebene Schnecke. Dabei sind jedem Positionierschritt des Kopfschlittens 12 Motorschritte zugeordnet (entspricht 78 Motorachsumdrehung).

1.6.2.3. Schreib-Lese-Kopf

Der Schreib-Lese-Kopf ist im Kopfschlitten montiert und verfügt über ein Schreib-Lese-System und ein Tunnelölschsystem. Zur Gewährleistung eines sicheren Kopf-Schicht-Kontaktes dienen der elektromagnetisch betätigte Kopfdruckhebel und das Diskettenberührungskissen.

1.6.2.4. Indexerkennung

Die Synchronisation der mechanischen und elektronischen Abläufe erfolgt durch photoelektrische Abtastung des in der Diskette angebrachten Indexloches.

1.6.2.5. Spur 00-Erkennung

Die der demontierten Spurlage 00 entsprechenden Kopffosition wird als Synchronisationspunkt photoelektrisch erkannt.

1.6.2.6. Schreibsperre

Über die Abtastung einer in der Disketteebene befindlichen Auswertung durch einen Mikroschalter besteht die Möglichkeit eines Diskettenschreibschutzes.

1.6.2.7. Elektrische Funktionsgruppen

- Auswahllogik
- Kontroll- und Steuerelektronik
- Positionierelektronik
- Federposselektronik
- Aufzeichnungselektronik
- Interface-Treiber
- Magnetverstärker
- Schrittmotorverstärker
- Motorregelung und -versteller
- Hilfspannungserzeugung

1.6.2.8. Anzeigen

Bei Auswahl eines Mitlaufverfahrens durch den 1715 leuchtet eine in der Frontplatte befindliche LED.

1.6.2.9. Elektrischer Interface

1.6.2.9.1. Signal Interface

1.6.2.9.1.1. Floppy-Disk-Leitwerk (6600.19)

Signalaustausch und Spannungsversorgung zwischen FFS und Rechner (Controller) erfolgt über 26-polige Steckverbinder und entsprechender Kabel mit einer maximalen Länge von ca. 5 m. Insgesamt verteilen sich die 26 zur Verflüchtigung stehenden Pole auf 11 Spannungs-, 6 Sender- und 9 Empfangsleitungen.

1.6.2.9.2. Eingangssignale

MD - Motor ON

Das Signal MD schaltet den Antriebsmotor zu, setzt damit die Spindel in Bewegung. Es muß statisch anliegen. Seine Wirkung wird unterbrochen, wenn der Spannmeechanismus geöffnet ist. MD wirkt unabhängig vom Auswahlsignal SE.

SE - Select (SD, SE, SD, SE)

Mit dem Signal SE geschieht die generelle Auswahl des Lauf-

werkes. SE kommt dabei über eine LED in der Frontplatte zur Anzeige. SE ist Bedingung für das Wirksamwerden weiterer Steuerungssignale und muß statisch anliegen.

ST - Step

Das Signal ST bewirkt in MFS die Ausführung eines Positionierschrittes. Es wirkt dynamisch und wird vom MFS für die Schritte dauer intern gespeichert.

SD - Step Direction

Das Signal SD wirkt statisch und legt die Richtung des Positionierschrittes fest.

SD = 0 entgegen Spur 00

SD = 1 in Richtung Spur 00

TK - Lock

Das Signal TK wirkt statisch und unabhängig vom Auswahlsignal SE. Im aktiven Zustand speirt es durch Betätigung eines Elektromagneten den Entriegelungsmechanismus.

HL - Head Load

Das Signal HL wirkt statisch und stellt über einen Elektromagneten den Kopf-Schicht-Kontakt her. Voraussetzung für die Funktion ist das intern gebildete ROT und die Auswahl durch SE.

TE - Write Enable

Das Signal TE wirkt statisch, aktiviert das Tunnelölsystem des Magnetkopfes und die Aufzeichnungsverstärker.

DD - Write Data

Das Signal DD beinhaltet die Aufzeichnungsinformation (p/n). Jeder 7-0-Potentialewechsel (negative Flanke) führt über den Aufzeichnungsverstärker zur Flußrichtungänderung im Magnetkopf und damit zum Magnetisierungswechsel auf der Diskette.

FR - Fault Reset

Das Signal FR setzt den Infoles fehlercher Aufzeichnungssteuerabläufe im MFS gesetzten Fehlerkreis (FR) zurück.

1.6.2.10. Ausgangssignale

RDV - Ready

Das ROT-Signal wird im MFC gebildet und meldet den mechanisch betriebsbereiten Zustand (Nenngeschwindigkeit der Diskette). Es entsteht im Ergebnis eines Zählvorganges von vier Indeximpulsen und einer Verknüpfung mit RI und SE.

IX - Index

Das IX-Signal ist das Resultat der fotoelektrischen Abfrage

des Indexloches in der Diskette. Pro Indexloch entsteht ein Null-Impuls von $6 \text{ ms} \pm 3 \text{ ms}$.

T0 - Track 00

Das Signal T0 meldet beim Positionieren des Magnetkopfes das Erreichen der Spur 00. Es wird fotoelektrisch erzeugt und entsteht ab einer Wegdifferenz kleiner $0,25 \text{ mm}$ des Kopfschlittens zur Spurlage 00.

WP - Write Protect

Durch Abfühlen der charakteristischen Aussparung in der Diskettenhülle mittels eines Mikroschalters bewirkt das entstehende Signal WP einen Schreibschutz.

FW - Fault Write

Das Signal FW wird vom MFS gesendet, wenn vom Rechner (Controller) unzulässige Schreibsteuerungen vorliegen. Es entsteht bei anliegendem Signal WE und

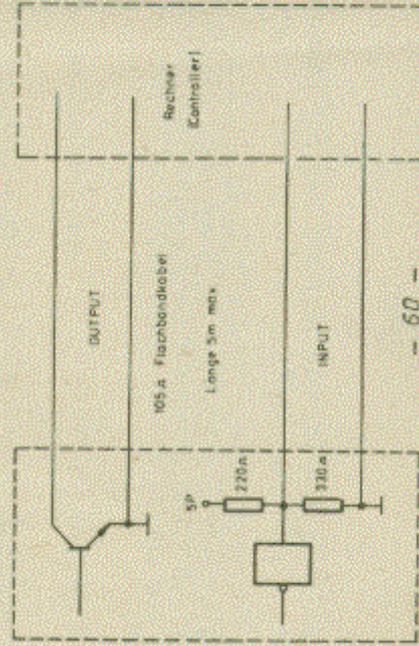
- eingeschalteter Schreibsperrre WP
- Durchführung einer Kopfpositionierung
- nicht nachfolgenden Schreibdaten WD
- fehlender mechanischer Bereitschaft RDY

Das Signal FW wird solange gesendet, bis das Rücksetzsignal FR ein Abschalten bewirkt.

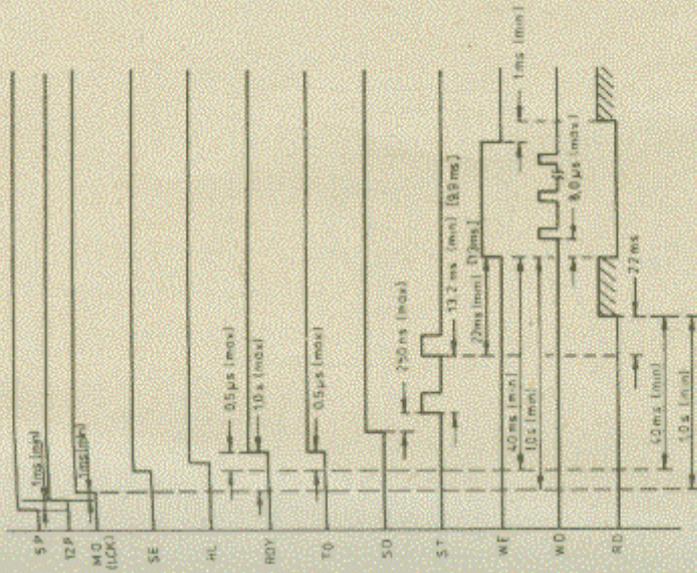
RD - Read Data

RD-Signale entstehen im Ergebnis des Wiedergabevorganges. Dabei entspricht jedem Spitzenwert der analogen Wiedergabespannung ein Nullimpuls von $600 \text{ ns} \pm 60 \text{ ns}$ Breite. Infolge der Spitzenverschiebung (Peak Shift) sind diese Impulse besonders in den inneren Spuren zeitlich versetzt. Dieser Tatsache muß bei Anwendung des MFM-Verfahrens zum Erreichen der angegebenen Zuverlässigkeit durch Schreib-Prä-kompensation von ca. 10 % des Datenfensters begegnet werden (Spur 25 ... 39).

1.6.2.11. Interface-Zeitdiagramm



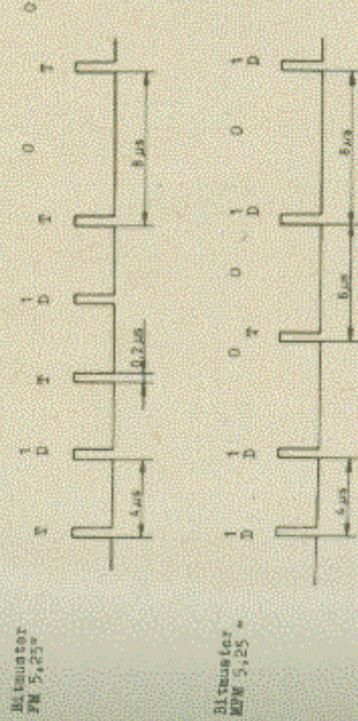
Generelle Zeitbedingungen



Aufzeichnen

(siehe V. Beschreibung spezieller Baugruppen, Punkt 1)

Zeitdiagramme



MFM bringt in der gleichen Zeit bei nicht veränderter Aufzeichnungsdichte gegenüber FM die doppelte Informationsmenge.

Datenformat und Datenorganisation:

Der Aufzeichnungsbereich besteht aus 40 einzelnen konzentrischen Spuren. Sie werden von außen nach innen mit 00 bis 39 (physisch) bezeichnet.

Die Spur 00 wird als Indexspur bezeichnet, die Spuren 01 ... 37 als Datenspuren. Die Spuren 38 und 39 dienen als Ersatzspuren.

Jede Spur beginnt mit der Indexlücke. Jeder Sektor einer Spur besteht aus dem Kennzeichnungsfeld und dem Datenfeld. Zur Abgrenzung der einzelnen Abschnitte auf der Spur dienen Lücken. Diese sind mit H⁴C-Bytes belegt.

Für die Spur 00 ist eine Länge des physischen Satzes von 128 Bytes vorgeschrieben. Bei den Spuren für die Datenaufzeichnung kann die Länge des physischen Datensatzes

- 128 Bytes bei 26 physischen Datensätzen/Spur
- 256 Bytes bei 15 physischen Datensätzen/Spur
- 512 Bytes bei 8 physischen Datensätzen/Spur
- 1024 Bytes bei 4 physischen Datensätzen/Spur

betragen.

Die Länge aller physischen Datensätze des Datenträgers ist gleich (außer Spur 00, s. o.).

Initialisierung:

Die Minidiskette wird durch das Beschreiben jeder Spur von Anfang bis Ende ohne Unterbrechung initialisiert. Der Anfang und das Ende jeder Spur ist definiert durch den Index. Die Daten werden als 8-bit (Bytes) aufzeichnet. Die Aufzeichnung erfolgt mit dem modifizierten Frequenzmodulationsverfahren (FM). Das Schreiben jedes Bytes wird mit dem höchstwertigen Datenbit begonnen und endet mit dem Schreiben des niederwertigsten Datenbit. Eine binäre Eins wird durch einen Flußwechsel vollzogen. Aufeinanderfolgende binäre Nullen erhalten zur Trennung Taktflußwechsel.

Fehlerhafte Spuren:

Liegen ein oder zwei fehlerhafte physische Spuren im Datenbereich (Spur 01 ... 37) vor, werden die fehlerhaften physischen Spuren übersprungen und die logische Nummerierung kontinuierlich mit der nächsten brauchbaren Spur fortgesetzt.

Die Kennzeichnungsfelder der fehlerhaften physischen Spuren sind mit H⁴FF aufzufüllen. Das CRC-Zeichen ist zu bilden. Alle übrigen Felder sind mit H⁴E zu initialisieren. Die Spur 00 muß in jedem Fall fehlerfrei sein. Es dürfen nicht mehr als zwei Spuren fehlerhaft sein. Sind diese Bedingungen nicht erfüllt, ist die Minidiskette unbrauchbar.

Logische Einteiliger Minidiskette:

Die Spur 00 (Index) ist für Aufgaben, die die Diskette und ihren Inhalt erhalten, reserviert.

Die Spuren 01 ... (physisch) sind für die Datenaufzeichnung nutzbar. Die Spur 38 und 39 (physisch) sind als Ersatzspuren reserviert, bei der Initialisierung zugewiesen werden, wenn Datenspur als fehlerhaft erkannt werden.

Signal Interfaceckverbinder X3 bei K 5600.10

Kontakt-Bezeichnung	Name	Benennung	Richtung
1 A	0 V	0 V-Spannung	-
2 A	+ 5 V	+ 5 V-Spannung	-
3 A	MO	Motor On	IN
4 A	RDY	Ready	OUT
5 A	TRK 00	Track 00	OUT
6 A	WRP	Write Protect	OUT
7 A	FW	Fault Write	OUT
8 A	RD	Read Data	OUT
9 A	IX	Index	IN
10 A	FR	Fault Reset	IN
11 A	0 V	0 V-Spannung	-
12 A	0 V	0 V-Spannung	-
13 A	0 V	0 V-Spannung	-
1 B	0 V	0 V-Spannung	-
2 B	+ 5 V	+ 5 V-Spannung	-
3 B	+ 5 V	+ 5 V-Spannung	-
4 B	HL	Head Load	IN
5 B	SE	Select	IN
6 B	ST	Step	IN
7 B	LC	Lock	IN
8 B	WD	Write Data	IN
9 B	WF	Write Enable	IN
10 B	SD	Step Direction	IN
11 B	+ 12 V	+ 12 V-Spannung	-
12 B	+ 12 V	+ 12 V-Spannung	-
13 B	+ 12 V	+ 12 V-Spannung	-

1.6.3. Funktionsbeschreibung

Die Elektronik des MinifolienSpeichers steuert in geeigneter Weise die einzelnen Mechanikbaugruppen, realisiert über den Magnetkopf den Informationsaustausch mit dem Speichermedium "Magnetplatte" und verwirklicht die Interface-Steuerung zum Rechner.

Insgesamt ist sie auf den zwei Steckeinheiten "Antriebssteuerung" und "Interface-Steuerung" angeordnet. Funktionell gliedert sich die gesamte Elektronik wie folgt:

- Auswahllogik
- Kontroll- und Statuslogik

- Positionierelektronik
- Wiedergabeelektronik
- Aufzeichnungselektronik
- Interface-Treiber
- Magnetverstärker
- Schrittmotorverstärker
- Motorregelung und -verstärker
- Hilfsspannungserzeugung

Steckeinheit "Interface-Steuerung"

Steckeinheit "Antriebssteuerung"

Auswahllogik

Die Auswahllogik verarbeitet als kombinatorische Logik die Eingangssignale $\overline{M0}$, \overline{SE} , \overline{ST} , $\overline{S0}$, \overline{LCK} , \overline{HL} , \overline{WE} und \overline{FR} . Alle Eingangssignale sind zur Vermeidung von Reflexionen auf dem Anschlusskabel mit Widerstandskombinationen 220 Ohm/130 Ohm gegen + 5 V bzw. Masse auf der Steckeinheit Wellenwiderstandsgerecht abgeschlossen. Die Weiterverarbeitung erfolgt über TTL-Gatter, wobei jedes Signal nur mit einer TTL-Lasteinheit belastet ist. Das Signal $\overline{M0}$ gelangt über einen Im Laufwerk angebrachten Schalter mit der Bezeichnung $\overline{SM0}$ (Schalter Motor On) auf die Ste "Interface-Steuerung". Bei betätigtem Spannmehanismus und damit geschlossenem Schalter $\overline{SM0}$ liegt bei aktivem $\overline{M0}$ über die beiden Megatoren 23/04 und 23/06 0-Potential am Steuerleitung der Motorregelung. Hierdurch wird der Motor für die Spindelbewegung eingeschaltet und läuft mit geregelter Drehzahl so lange, bis $\overline{M0}$ 1-Potential führt. Das Signal \overline{SE} ist verantwortlich für die Aktivierung des gesamten MinifolienSpeichers und ermöglicht das Wirksamwerden der Signale \overline{ST} , \overline{HL} und \overline{WE} , sowie der gesamten Kontroll- und Statuslogik. Die Auswahl des MFS durch \overline{SE} wird von einer in der Frontplatte befindlichen Leuchtensdiode sichtbar gemacht. Ihre Ansteuerung erfolgt über Kontakt X17 (LOSC) durch den A16.2 vorgeschalteten Negator. Das Schrittssignal \overline{ST} steht mit \overline{SE} verknüpft am Ausgang 06 des 2fach-Mend 18 zur Weiterverarbeitung zur Verfügung. Die gleiche Verknüpfung erfolgt mit dem Kopfladesignal \overline{HL} in 24/06 und mit \overline{WE} in 5/03.

Kontroll- und Statuslogik

Die Kontroll- und Statuslogik dient der Erfassung und Meldung charakteristischer Betriebs- und fehlerhafter Steuerungszustände. Signal IX (Index) Das Signal IX wird vom MFS durch ein Fotosystem gebildet und auf der Steckeinheit "Interface-Steuerung" mit spez. Triggerschaltkreis 13 TTL-gerecht verstärkt. Nach der Verknüpfung mit \overline{SE} im Schaltkreis 11/06 steht das verstärkte und bewertete Signal am Kontakt A9 zur Verfügung.

- Signal $\overline{T0}$ (Track zero) Die Bildung des Signals $\overline{T0}$ geschieht analog dem Indexsignal.

Der Signaleweg verläuft vom Kontakt X16 mit dem Fototransistorerweiterstand A22.1 über den Triggerschaltkreis A14 und anschließender SE-Verknüpfung bis zum Ausgang A5.

- Signal \overline{UP} (Write protect) Das Signal \overline{UP} wird im MFS von einem die entsprechende Diodekettenhüllenausparung abtestenden Mikroschalter erzeugt. Bevor das Signal den zugehörigen Kabelsender aktiviert, wird es im Schaltkreis 9/08 mit \overline{SE} bewertet und kann schließlich am Ausgang A6 entnommen werden.

- Signal \overline{RDY} (Ready) Mit dem Signal \overline{RDY} meldet das MFS seine Betriebsbereitschaft. Gebildet wird es durch Zählen von 5 Indeximpulsen in der D-F5-Zählkette Schaltkreise 8 und 19 bei gleichzeitig aktivierten Signalen \overline{SE} und \overline{HL} am Ausgang 6 des Schaltkreises 24. Der Zählvorgang von 4 Indeximpulsen entspricht der max. Motorstartzeit. Bei Impulsbeginn entspricht der max. Motorstartzeit. Bei Wegschalten von $\overline{M0}$ wird der Zähler in seinem Grundzustand versetzt, so daß bei Neustart für die \overline{RDY} -Bildung wiederum der Zählvorgang ablaufen muß. Wird das MFS nur durch Wegschalten von \overline{SE} inaktiviert, bleibt das Zählergebnis als Kennung des laufenden Motors gespeichert, bei erneuter Aktivierung steht damit das \overline{RDY} -Signal sofort zur Verfügung. \overline{RDY} kann am Ausgang A4 entnommen werden.

- Signal \overline{RW} (Fault write) Mit dem Signal \overline{RW} meldet das MFS fehlerhafte Schreibsteuerungen. Solche Steuerungen liegen vor, wenn bei aktivem Signal \overline{WE} Positionsschritte ausgeführt werden sollen bzw. das MFS sich in nicht schreibbarem Zustand (kein \overline{RDY} , $\overline{M0}$ aktiv) befindet oder dem anliegenden Signal \overline{WE} keine Schreibdaten $\overline{M0}$ folgen. Gebildet und gespeichert wird \overline{RW} in dem zu einem Zähler zusammengeschalteten 0-FF Schaltkreis 10. Das Schreibfehler bedeutende 0-Potential am Ausgang 04, Schrittkreis 10 stellt sich auf zwei Wegen unter Nutzung der statischen oder dynamischen Eingänge der FF's ein. Die statischen Bedingungen Schritt, Ready und Schreibsperre werden in Schaltkreisen X12 verknüpft und bewirken bei aktivem \overline{WE} über 5/11 und die Eingänge 10/01 und 10/10 das Einschalten des Schreibfehler. Der an den Takteingängen anliegende Zähler 20 (MFS-Positionieraktivem \overline{WE} und fehlenden \overline{RDY} -Impulsen 0-Potential am Ausgang 09). Sind Schreibdaten vorhanden, so verhindern diese nach Passieren der Impulsverkürzstufe 25/06 und 24/12 über die statischen Eingänge 10/04 und 10/13 durch ständiges Rücksetzen des Zählers das Anknüpfen des \overline{RW} 10/04 und damit ein Einschalten des Schreibfehlers. Auf die gleichen Eingänge wirken verknüpft durch das NAND-Gatter 24/08 die Signale \overline{ST} und \overline{FR} . Damit wird der Zähler rückgesetzt bzw. gehalten. Positionierelektronik Die Positionierelektronik gewährleistet in Verbindung mit

den Schrittmotorverstärker eine zeitoptimale Positionierung des Kopfschrittlings. Ausgangspunkt eines Positionierschrittes ist ein 0-Impuls am S1-Eingang. Bei aktivem Laufwerk ($SE = 0$) wird dieses Schrittssignal im Selbsthaltekreis 18/08 und 18/11 für die mechanische Schrittdauer zwischengespeichert und damit gleichzeitig über Schaltkreise 18/03 der Hilfstakt zur Steuerung des weiteren Funktionsablaufes freigegeben. Die Takterzeugung erfolgt durch Schaltkreis 2 im Zusammenwirken mit den umliegenden frequenzbestimmenden Bauelementen C10.1, R5.2, R24.1 und R23.1. Schaltungen- und Bauelementwahl gewährleisten die notwendige Stabilität des Taktes mit einem Nennwert von 20 kHz, welcher mittels Widerstand R24.1 eingestellt wird. Die einzelnen Taktimpulse werden durch zwei in Reihe geschaltete 4-bit-Zähler (Schaltkreise 16 und 17 gezählt und ändern damit alle 50 μs die 8-bit-Adresse des an die parallelen Ausgänge der Zählkette geschalteten PROM (Schaltkreise 15 06).

Der Start des Zählvorganges aus der Grundstellung 0 wird erreicht, indem in den Positionierpausen die statischen Rücksetzelngänge 14 der Zählerschaltkreise 16 und 17 vom Gatter 17/11 mit aktivem 1-Potential beschaltet werden. Von der byteserialen Ausgabe des PROM ist der Informationsinhalt der 3 hochwertigen bit den Schrittmotorphasen zugeordnet. Die niederwertigen bit 1 und 2 beenden den Positionierschritt nach 240 Takten (= 12 ms) bzw. verhindern Positionierungen über die Spur 0 hinaus. Die hierzu notwendigen logischen Verbindungen vollziehen die Gatter 3/09, 9/03 und 9/06.

Das Ändern der Drehbewegung geschieht, festgelegt durch das Signal S0, durch Vertauschen der Zuordnung der Statoren 1 und 3 (SM1, SM3) an den PROM-Ausgängen 09 und 11 mit Hilfe des Schaltkreises 20 (20/03, 20/06, 20/08, 20/11). Bei S0 = 0-Potential bewegt sich der Kopfschritt zum Diskettenstrom. Zur Reduzierung der Halteerregung des Schrittmotors in der Positionierpause ist die Steuerung der Schrittmotorphase 2 unabhängig vom PROM 15 zusätzlich mit dem Signal SM 18/11 im Speicherkreis für das Schrittmotorsignal S1. Die genaue Statoraktivierung während eines Positionierschrittes ist in Abb. 1 ersichtlich.

Interface-Treiber

Die Interface-Treiber haben eine Stromerגיעbigkeit = 48 mA und sind mit diskreten Bauelementen aufgebaut (Transistoren V10.2 - V10.7). Als Steuergatter dienen NAND-Schaltkreise mit offenem Kollektor. Im Zusammenwirken mit den 1 kOhm Lastwiderständen (Netzwerk W1.1, R12.11) stellen sie den für eine ausreichende Sättigung der Schalttransistoren notwendigen Belastestrom zur Verfügung. Bei ordnungsgemäßem Abschluss der Leitungsenden können mit den Interface-Treiberstufen Kabellängen von max. 5 m (105 Ohm-Flachbalkabel) getrieben werden.

Magnetverstärker

Die Erregung der beiden Magnete des MFS erfolgt durch die Kollektorströme der vom Open-Kollektor-Gatter gesteuerten Transistoren V7.1 und V7.2. Die induktiven Abschaltspannungen werden von den beiden Freilaufdioden V6.1 und V6.2 begrenzt.

Schrittmotorverstärker

Der Bauelementeaufwand für den Schrittmotorverstärker ist aufgrund der von der Positionierelektronik in geeigneter Weise faktoriert bereitgestellten Ansteuerimpulse relativ gering. Für die drei Motorphasen ist der Aufbau des Verstärkers gleich. Die einzelnen Wicklungen liegen dabei jeweils im Kollektorkreis der Kleinleistungstransistoren V5.1, V5.2, V5.3. Der Basisstrom für diese Transistoren fließt über die Widerstände R10.2, R10.3, R10.4 und wird von den Vorstufentransistoren V4.1, V4.2, V4.3 gesteuert. 0-Potential am Eingang der Vorstufen bewirkt einen Stromfluß in der entsprechenden Schrittmotorphase. Durch die Impulslängenmodulation der Phasensteuerung (SM1, SM2, SM3) wird in Verbindung mit den Freilaufbauelementen R12.1, V9.1, V9.2 usw. erreicht, daß im Schrittmotor nach kürzest möglicher Anstiegszeit ein günstiger Feldabbau erfolgt. Zur Reduzierung der Motorverlustleistung bei Stillstand schaltet der zusätzliche PNP-Transistor V6.1 für die Phase 2 die Betriebsspannung von + 12 V ab. Stattdessen wird über die Diode V12.1 die + 5 V-Versorgungsspannung mit einem entsprechend geringeren Motorstrom (ca. 500 mA) wirksam. Erreicht wird dieser Zustand mit 0-Potential am Eingang X1 (SM2s). Damit wird der Vorstufentransistor V4.4 stromlos.

Motorregelung und -verstärker

Die hochkonstante Regelung der Motordrehzahl kommt ohne zusätzliche Geber aus und erfolgt prinzipiell durch getastete Vergleichsmessung der drehzahlproportionalen Generatorspannung des Motors. Ausgangspunkt dieser rhythmischen Generatorspannung ist der vom Schaltkreis O3 mit Randbauelementen erzeugte Hilfstakt von ca. 1 kHz und einem Tastverhältnis von ca. 1:7. In der kurzen Taktzeit arbeitet dabei der Motor als Meßgeneratort, in der langen Taktzeit als Antriebsselement. Die lange Taktzeit erscheint am Ausgang O6 des Schaltkreises O3 als 0-Potential. Der Regelkreis selbst setzt sich aus der Schaltung zur Bildung der drehzahlproportionalen Istwertspannung, aus dem Spannungsregelungskreis mit Sollwert-Spannungsbereitstellung und dem Stellglied zusammen. Für die Zeit der Probenentnahme zur Istwertbildung wird das Stellglied V5.4 vom Regelschaltkreis O1 über den Transistor V1.2 getrennt. Damit wird dem Motor keine Energie mehr zugeführt und am Emitter von V5.4 liegt nach erfolgtem Feldabbau (Diode V11.1, Z-Diode V10.1) die drehzahlproportionale Generatorspannung an.

Diese Spannung wird über den Emitterfolger V3.1 im Kondensator C7.1 gespeichert. Nach Ablauf der Messzeit ist vom Taktgenerator G3 Ausgang G6 über die Diode V8.3 der Transistor V3.1 durch 0-Potential an der Basis gesperrt. Die emittierte Meßgröße steht für den weiteren Regelvorgang von Emitterfolger V2.1 widerstandstransformiert schließlich am Eingang G2 des Spannungsregelkreises zur Verfügung. Die bei erforderlicher Abwärtsregelung notwendige Spannungsreduzierung an C7.1 erfolgt in der Meßzeit über die Strecke V8.4, R5.2, V4.5. Die komplementäre Ausführung der Emitterfolger V3.1 und V2.1 ermöglicht eine weitgehende Kompensation der Störgröße "Temperaturgang der Basis-Emitterspannung". Der Schaltkreis G1 vergleicht den Istwert am Eingang G2 mit den eigenenerzeugten, hochkonstanten, mit R13.1 einstellbaren Sollwert und verstärkt die Spannungsendifferenz. Damit ändert sich der als Stellgröße wirkende Pegel am Ausgang G1/G6. Bei leitendem Transistor V1.1 (nichtleitend in der Meßzeit) gelangt die erzeugte Stellgröße über den Stromverstärker den Transistor V5.4 schließlich als veränderliche Betriebsspannung an den Antriebmotor (Signal M01). Zur Unterdrückung von Regelschwingungen ist eine kapazitive Rückkopplung der Stellgröße (C4.1, R14.1) vorgesehen. Der Regler bekommt hierdurch eine PI-Regelcharakteristik. Der Überstand R9.1 koppelt zusätzlich einen geringen Gleichspannungsanteil an den Eingang G1/G2 zurück und kompensiert damit die aus der endlichen Feldabbauzeit resultierende Tendenz zur Vorwärtsregelung. Das Abschalten der Regelung und damit des Motors geschieht mit dem Signal S10 unter Benutzung des Eingangs G1/G10.

Hilfsspannungserzeugung

Zur Versorgung des PDM-Schaltkreises 15 sowie des Kondensators 6 auf der Ste "Interface-Steuerung" ist eine negative Betriebssteuerung notwendig. Die Spannung $-9V$ wird intern auf der Steckleiste "Antriebssteuerung" mit dem V8-Verstärker-Schaltkreis G2 aus der positiven Betriebsspannung $+12V$ gewonnen. In Verbindung mit dem Rückkoppelwiderstand R3.7 und dem Kondensator C8.1 erzeugt der Schaltkreis G2 am Ausgang G6 Rechteckschwingungen mit einer Frequenz von ca. $50 kHz$. Diese Wechselspannung wird mit der Verdopplerschaltung C1.1, V7.1, V7.2 zu einer negativen Spannung von ca. $-9V$ gleichgerichtet. Vorhandene hochfrequente Störspitzen werden mit Hilfe des Siebgliebes C1.2, L1.2 vom Anschlußpunkt X13 ferngehalten.

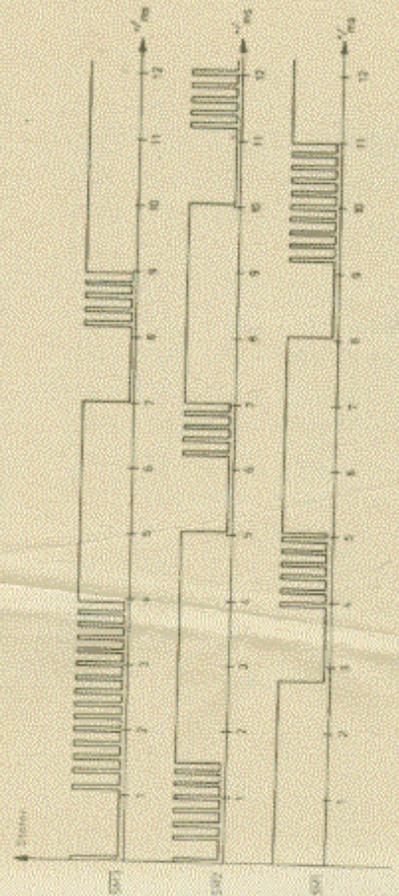


Abb. 1 Impulsverteilung auf Schrittmotorphasen (48 tpi)

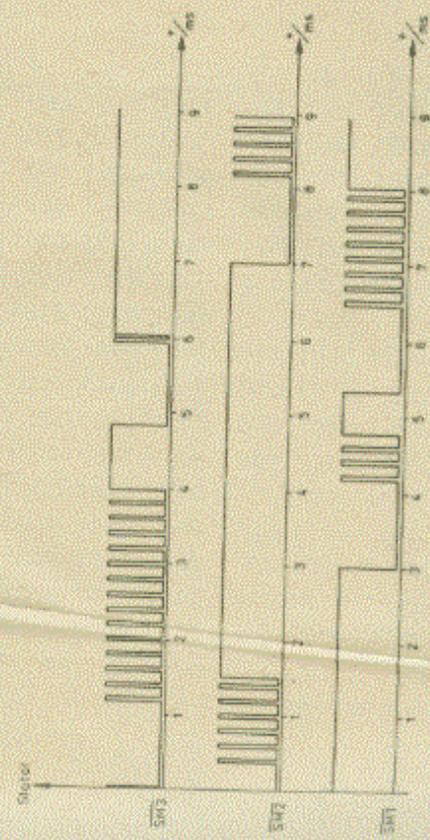


Abb. 2 Impulsverteilung auf Schrittmotorphasen (96 tpi)

Schaltkreise arbeitet durch Beschaltung des Mischereingangsgerätes C4 in Linearbetrieb als Verstärker. Die Wiedergabespannung in der Größenordnung von einigen Millivolt wird kapazitiv (C4.3, C4.4) in die Eingänge (01, 02) der HF-Vorstufe angekoppelt. Die Widerstands-Glodenkombination R8.1, R8.2, V3.1, V3.2 dient der Begrenzung der beim Aufzeichnen anliegenden hohen Wechselspannung auf zulässige Werte. Nach passiver der Vorstufe und Mischstufe steht das bereits verstärkte Signal an den Ausgängen 15, 16 zur Verfügung. Über C4.1 und C4.2 gelangt es in die symmetrischen Eingänge 11, 12 des integrierten 7V-Verstärkers, von dessen Ausgang 07 es im anschließenden diskreten Schaltkreis weiter verarbeitet wird. R4.1 legt den Arbeitspunkt der Endstufe in einen günstigen Ansteuerbereich, C6.1 dient der Unterdrückung "wild" der Schwingungen. Die anschließende Transistorstufe V2.1 entkoppelt die Regelspannungserzeugung vom Nutzsignal und paßt das nachgeschaltete Tiefpaßfilter an den relativ hochfrequenten Ausgang 07 des Schaltkreises 1 an. Die Verstärkung der Stufe ist dabei so dimensioniert, daß die in Spannungsverdoppler-Schaltung (V3.7, V3.8) arbeitende Mittelwertgleichrichtung an C5.2 eine geeignete Gleichspannung zur Verstärkungsregelung des Schaltkreises 1 bereitstellt.

C1.1 wirkt dabei als Hochpaß und verhindert zusammen mit den verkoppelten Zeitkonstanten C5.2/R1.1 und C5.3/R13.2 niederfrequente Regelschwingungen bei ausreichender Schnelligkeit der Regelung. Eine schnelle Regelung ist Bedingung für ein rasches Anpassen der Verstärkung an die unterschiedlichen Signalpegel beim Übergang von Aufzeichnungen auf Wiedergabe (Wiedergabebereitstellungszeit 1 ms).

Die erzeugte Regelspannung gelangt an den Eingang 1/09 und beeinflusst unmittelbar die Verstärkung der ZF-Stufe. Die Regelung der Vorstufe geschieht getrennt über den Eingang 1/03. Dieser erhält die Regelspannung vom Ausgang 1/10 mit einer Spannungsteilung zwischen dem Innenwiderstand und R4.2. Der geregelte Spannungspegel am Ausgang 1/07 bzw. Meßpunkt X26 beträgt ca. 1 V. Zur Unterdrückung von Störungen wird die Betriebsspannung für den Schaltkreis 1 mit dem Integrationsglied R17.2/C7.1/C3.2 zusätzlich gesiebt.

Der weitere Signalweg der Wiedergabespannung geht vom Emitter des Transistors V2.1 zum Tiefpaßfilter, bestehend aus R7.2/C11.2/C11.1/R7.1. Der Filter ist induktivitätswirksam aufgebaut und hat mit einer Grundfrequenz von ca. 240 kHz die Aufgabe, hochfrequente Störungen der Wiedergabespannung fernzuhalten. Da die Extremwerte der Differenzierschaltung den Informationsgehalt der magnetischen Flußwechselbesten dokumentieren, ist die Differenzierung des Signals eine geeignete Methode zum Erkennen der Spannungsmaxima und -minima. Der Differentiator setzt sich im wesentlichen aus der Transistorstufe V2.2 mit kapazitivem Emitterwiderstand (C3.3) und der konstantstromquelle V2.3 zusammen. Die Basiswechselspannung an V2.2 hat durch den sehr hohen Wechsel-

stromwiderstand der konstantstromquelle einen von C3.3 bestimmten 90° voreilenden Basisstrom zur Folge. Der mit der Basisstromphasenrichtige Kollektorstrom von V2.2 bewirkt am Kollektorknotenstand R11.2 einen gegenüber der Eingangsspannung 90° phasenverschobenen Spannungsabfall, was einer Differenzierung der Wiedergabespannung gleichkommt. Insgesamt wirkt die Differenzierschaltung wie ein im Sperrbereich betriebener Hochpaß 1. Ordnung, d. h. der Frequenzgang der Verstärkung hat einen Anstieg von 6 dB pro Oktave. Diese Überbewertung störender hoher Frequenzen wird durch das vorgeschaltete Tiefpaßfilter kompensiert. Das differenzierte Signal wird in der anschließenden Verstärkerstufe V4.1 von hochfrequenten Störungen auf der Betriebsspannung entkoppelt und steht am Kollektoranschluß zur Weiterverarbeitung (Digitalisierung) zur Verfügung.

Die Digitalisierung beginnt mit dem Erkennen der Spannungsnulldurchgänge durch den Komparator-Schaltkreis 6. Das kapazitiv angekoppelte (C7.5) differenzierte Signal (Meßpunkt X25) wird dabei durch den Komparator in eine Rechteckspannung mit TTL-gerechten Pegeln umgewandelt. Im Anschluß werden zu jeder Flanke über die zwischenengeschalteten NAND-Gatter (11/11 und 11/03) und kapazitive Impulsbildung (C9.1, C9.2, V3.9, V3.10, V3.11, V3.12, R1.2, V10.1) digitale Informationssignale von ca. 60 ns Breite geformt. Ein prinzipielles Impulsdiagramm zur gesamten Wiedergabe-elektronik ist in der Abbildung 5 dargestellt. (Lesesignal einer mit dem Inbetriebnahmegerät beschriebenen Diskette-Schreibdaten Schalterstellung 2, Zeitbasis 2 µs, Verstärkung 0,5 V/V)

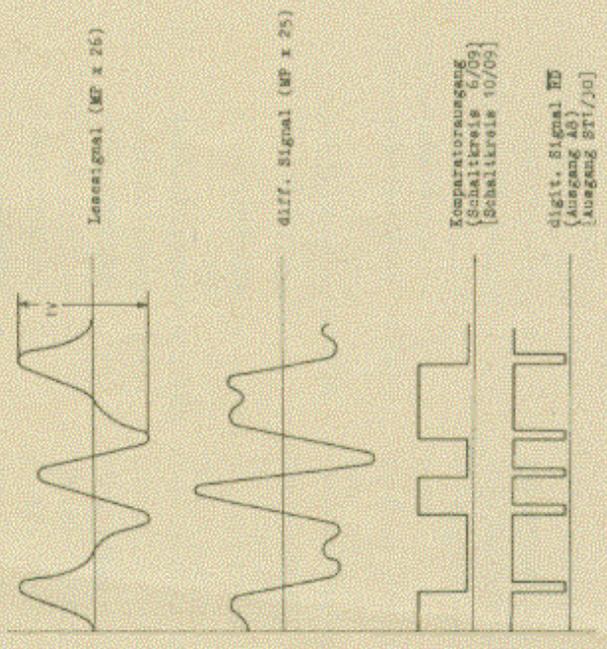


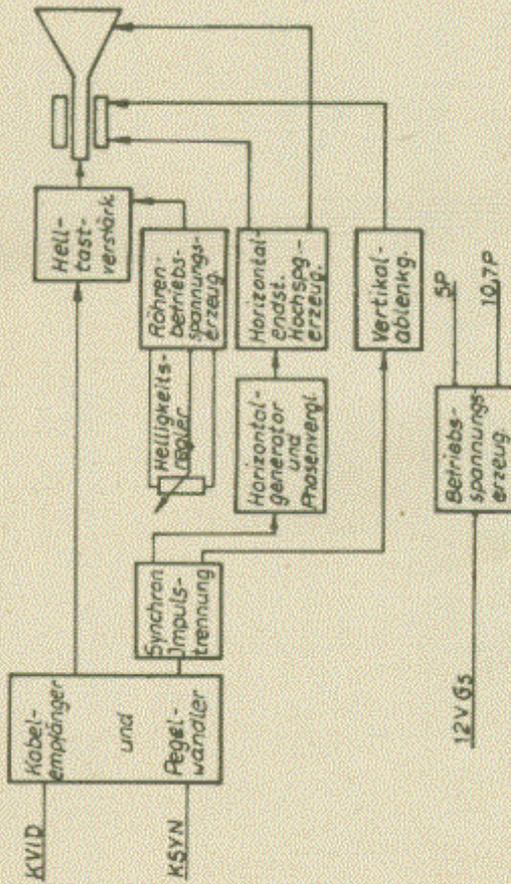
Abb. 5

Kurzzeichenübersicht

Kurzzeichen	englisch	deutsch
AM	address marker	Adressmarke
ARDY	A-ready	Quittungssignal des PIO Tor A
ASTR	A-strobe	Steuersignal des PIO Tor A
BAI	bus acknowledge input	Bus-Bestätigung-Eingabe
BAO	bus acknowledge output	Bus-Bestätigung-Ausgabe
BRDY	B-ready	Quittungssignal des PIO Tor B
BSTB	B-strobe	Steuersignal des PIO Tor B
BUSRQ	bus-request	Busanforderung
C1, C2	clock	Takt
DAM	data address marker	Datenadressmarke
DAO ... 087	bus data	Datenbus
DIEN		Steuerung der Datenflußrichtung
DÜ		Datenübernahme
EDC	error detecting code	Fehlererkennungsschlüssel
FA	fault adapter	Fehler - Adapter
FR	fault reset	Fehler rücksetzen
FÜ		Fehler - Laufwerk
HL	head load	Kopf laden
IO	identification label	Identifikationsmarke
IEI	interrupt enable input	Unterbrechungsgenehmigung Eingabe
IEO	interrupt enable output	Unterbrechungsgenehmigung Ausgabe
INT	interrupt	Unterbrechung
IOOI	input/output disable	Eingabe/Ausgabe abschalten
IORQ	input/output request	Eingabe/Ausgabe anfordern
IX	index	Index
K1 ... K4		Kopfanschluß
KL		Kontrolllesen
KM		Kopfmagnet
LCK	lock	Verriegelung

Kurzzeichen englisch deutsch

Kurzzeichen	englisch	deutsch
LDIX		Infrarotdiode für Index- locherkennung
LDT0		Infrarotdiode für Spur 00-Erkennung
LDSE		Infrarotdiode für Lauf- werktauswahl
LT		Lesetakt
M1		Maschinenzyklus
MK		Marke
MKE		Marke erkannt
MO		Motor ein
MR		Marke rücksetzen
NS		nachfolgender Bitraum
PH		Phase (Anschluß für Schrittmotor)
PLL	phase lock loop	Phasenverriegelungsschleife
PT		Prüftakt
RD	read data	Lesedaten
RDY	ready	Bereitschaft
RDYL	reset	Laufwerk bereit
RESET		Rücksetzen
RK		Rückkopplung
SD	step direction	Schrittrichtung
SF	select	Auswahl
SMD		Schalter für Motor ein
SM1 ... SM3		Schrittmotoranschluß
SP		Spur
ST	step	Schritt
STR	start	Start
SYN		Synchronisation
TO	track 00	Spur 00
VM		Verriegelungsmagnet
VS		vorangegangener Bitraum
WD	write data	Schreibdaten
WE	write enable	Schreibgenehmigung
WP	write protect	Schreibschutz
WPS		Schalter für Schreib- sperre



Blockschaltbild K7221.25

1.7.5. Kabelempfänger und Pegelwandler

Die in der Anschlußsteuerung erzeugten und über Koaxialkabel zum Display übertragenen Signale KSYN und KVID (BSYN, VIDEO INTENS) werden über Kabelempfängerstufen bzw. Pegelwandler den Funktionsgruppen "Synchronimpulstrennung" bzw. "Helligkeitsverstärker" zugeführt.

Die Widerstände R2: X und R12: X (R9: X; R8: X) bilden die Kabelabschlußwiderstände. Durch den Schaltkreis A1 erfolgt eine Regenerierung der Impulflanken. Der für die Synchronimpulstrennung notwendige Eingangspegel (Low ca. 0,5 V, High = 10,7V) wird durch die Schaltstufe V3, R9, R10, C3 (V6; R10; R11; C3) erzeugt. Der Widerstand R11 (R5) erhöht im High-Zustand des Signals KVID (VIDEO) den Steuerstrom für den Eingangstransistor des Helligkeitsverstärkers.

1.7.6. Helligkeitsverstärker

Die Bildröhre wird an der Katode mit einer positiven Impulsspannung gesteuert (Low $\hat{=}$ hell, High $\hat{=}$ dunkel). Der Helligkeitsverstärker selbst besteht wegen der erforderlichen hohen Flankensteilheit aus einer stromstarken Schaltstufe mit Übersteuerungsschutz. Um Einschwingvorgänge zu vermeiden, sitzt der Helligkeitsverstärker auf einer Leiterplatte direkt am Röhrensockel.

Das Intensitätssignal IS beim K7222.25 wird über die Klemm- diode V 2:4 dem Ausgang zugeführt, dadurch kann die Höhe des Low-Peels verändert werden. Je niedriger die Spannung IS ist, um so heller ist das Schirmbild. Weiterhin befinden sich auf dieser Leiterplatte Funkenstrek- ken und Schutzwiderstände an den Elektroden G1, G2, G4 und der Katode, um die nachfolgende Schaltung im Falle eines Hoch- spannungsüberschusses innerhalb der Röhre vor Folgeschäden zu schützen.

1.7.8. Intensitätssteuerung (SP2)

Zur Intensitätssteuerung des Helligkeitsverstärkers nur für K7222.25 wird das Signal IS erzeugt. Das regenerierte Inten- sitätssteuersignal schaltet den Transistor V5, dadurch wird der Fußpunkt des Spannungsteilers R1, R3, R4, Helligkeits- regler, Kontrastregler um etwa 15V verlegt, wenn der Kontrast- regler R2, der zwischen KRS und KRA geschaltet wird, 0 Ohm ist. Durch Verändern des Kontrastreglers R2, kann der Kon- trasthub zwischen 0 V und 15 V eingestellt werden. Bei einem Hub von 0 V werden beide Helligkeitsstufen normalhell ge- schrieben. Mit dem Helligkeitsregler R1 (siehe SP1), der an die Spannungen 35P, HRS und HPA angeschlossen wird, läßt sich das Intensitätssignal IS zwischen - 15 V und 35 V einstel- len. Durch den Transistor V1 erfolgt lediglich eine Impedanz- wandlung. Der Helligkeitsregler verändert beide Helligkeits- stufen proportional. Je niedriger das Signal IS ist, um so heller wird das Schirmbild, wird der Transistor V5 leitend, wird das Bild also heller geschrieben.

1.7.9. Synchronimpulstrennung und Vertikalablenkstufe

Die Trennung der Synchronisationsimpulse am Eingang des Ab- lenkteils erfolgt durch eine zweifache Integration durch R301-C301 (R3-C12) und R303-C305 (R20-C12). Für die Vertikalablenkung wird als Generator ein Multivi- brator, bestehend aus den Transistoren T301 V5 und T302 V11 eingesetzt. Dieser Multivibrator erzeugt negative Impulse von ca. 1 ms Breite und 10 V Amplitude. Mit dem Regler R311 R22 läßt sich die Eigenfrequenz des Generators auf die Soll- frequenz einstellen. Über die Diode Gr301 (V6) wird der Mul- tivibrator mit negativen Synchronimpulsen synchronisiert. Der zur Ansteuerung der Treiberstufe T303 erforderliche Sä- gezahn wird durch Aufladen der Kondensatoren C307 und C308 über die Widerstände R317 und R318 erzeugt. Mit R317 läßt sich die Amplitude einstellen. Die Aufladung wird durch die vom Generator erzeugten negativen Impulse über die Diode Gr302 im Rhythmus der Bildfrequenz abgebaut. Somit steht an der Basis vom Treibertransistor T303 eine Sägezahnspan- nung. Der Emitter des Treibertransistors T303 ist galvanisch mit der Basis des Endstufentransistors verbunden und steuert so- mit direkt den Basisstrom vom Endstufentransistor.

Die Endstufe ist als Eintaktendstufe mit Grosskopplung aufgebaut. Das Ablenkstufen ist über C209 mit dem Kollektor der Endstufe verbunden. Zur Dämpfung der Spannungsspitze, die während des Bildrücklaufes über der Grossele C301 auftritt, ist C322, R319 und Gr312 vorgesehen. Zur Linearisierung des Ablenkstromes ist eine Verzerrung des Kollektorstromes von Emitter von T304 über die Widerstände R323, R324 und R320 auf die Basis von T303 erreicht. Mit R321 läßt sich die Linearität am oberen Bildrand einstellen; mit R320 in der Bildmitte.

Die Thermistoren R329 und R323 haben die Aufgabe, Linearitätsänderungen, die durch Erwärmung der Bauelemente auftreten, zu kompensieren.

Die RC-Kombination R328 und C312 zwischen Kollektor von R304 und der Basis von T303 hat die Aufgabe, den zeitlichen Ablenkstrom s-förmig zu verzerrern, um Tangensfehler auszugleichen. Im vorliegenden Anwendungsfall wird in der Regel die Brücke 304 geöffnet und somit die RC-Kombination unwirksam sein.

Für den K722.25 gilt folgende Schaltungsbeschreibung:

Der Baustein A1 enthält eine Referenzspannungsquelle von 7,15 V (Pin 4) und einen Operationsverstärker. Der Operationsverstärker arbeitet als Integrator, so daß am Ausgang (Pin 6) ein linearer Spannungsanstieg entsteht. Die Anstiegs-geschwindigkeit wird von der Kombination R34, R35, R27 be-stimmt. Dadurch ist mit R35 die Bildgröße einstellbar. Durch die Impulse von V11 am Bildende wird der Transistor V13 leitend und der Integrationskondensator C22 umgeladen. Wenn der Transistor V13 sperrt, beginnt die Aufladung von neuem. So entsteht eine Sägezahnspannung mit einstellbarer Amplitude.

Die Gegenaktstufe mit den Transistoren V10, V26, V27, V28 steuert direkt die vertikalen Ablenkstufen an. Sie wird vom Operationsverstärker A3 angesteuert. Der Ablenkstrom erzeugt an den Widerständen R27 eine sägezahnförmige Spannung, die über das Widerstandsnetzwerk auf den invertierenden Verstärkeringang gegengekoppelt wird. Über das Netzwerk mit den Reglern R59, R60 ändert der ankommende Sägezahn spannungsabhängig den Gegenkopplungsfaktor. Dadurch kann die Linearität am Bildanfang und -ende beeinflusst werden, um eine gute Bildgeometrie zu erzeugen. Diese Netzwerke werden aus der hochstabilen Referenzspannung von A2 gespeist. Der Arbeitspunkt und damit die vertikale Bildlage wird mit dem Regler R58 eingestellt.

1.7.10. Horizontalgenerator mit Phasenvergleich

Für die Ansteuerung der transistorisierten Zellenendstufe ist eine Treiberstufe für rückwirkungsarme Anpassung des Generators vorhanden.

Der Treiber mit T301 (V12) ist als induktive Dreipunkt-schaltung aufgebaut. Durch eine Reaktanzstufe mit T305 (V10) ist der Emitter von einem unsymmetrischen Phasenvergleich herbeizuführen, dessen Wirkung die Abbildungen zeigen. Die negative Potentiometerabweichung über C318 (C5) an die Phasenvergleichtrompele gelangt über C318. Während der negativen Spitzen sind beide Gloden geöffnet. Dadurch wird im durchgeschalteten Zustand der Phasenver-gleichsdiode die angelegte Vergleichsbeobachtung jeweils kurzzeitig an Masse gelegt. Dadurch tritt eine Verschiebung des Gleichspannungswertes der Vergleichsbeobachtung bei Kenn-frequenz von 3 V auf 2,0 V (2,2 V bei 1 kHz) auf.

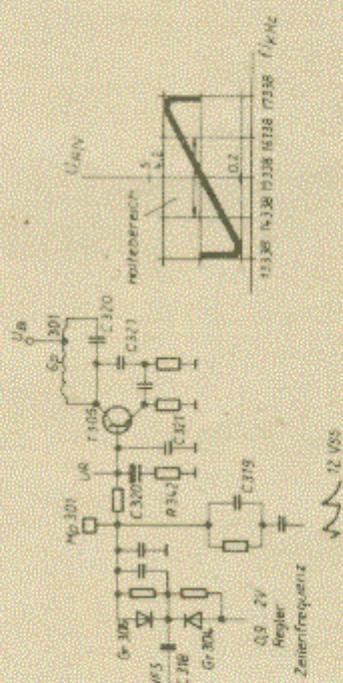


Abb. 5
Phasenvergleich

Durch C319 (C9) wird eine zeitliche Verschiebung der Ver-gleichsbeobachtung erreicht. Eine Regelung erfolgt in der Form, daß bei zu hoher Frequenz des Generators eine Festung am Maximalwert der Vergleichs-spannung erfolgt, die eine negativere Regelspannung entste-hen läßt.

Durch die induktive Reaktanz wird eine Herabsetzung der Fre-quenz bewirkt. C327 (C16) ist das Rückkopplungsglied der Re-aktanzstufe, die durch Einkopplung in den Emitter des T305 (V10) einen induktiven Charakter bekommt. Der Reaktanzstufe ist zur Siebung der Regelspannung ein Fil-ter vorgeschaltet.

C320, R342 dient dem Ausgleich der doppelten Frequenz der Zellenfrequenzimpulse während der vertikalen Auslastung. C321 unterdrückt Rausch- und atmosphärische Einwirkungen. C328 (C15) bildet in Verbindung mit Sp301 (T1) und der Reak-tanzstufe den Schwingkreis für die induktive Dreipunkt-schal-tung, die in Emitterstufe für die Treiberstufe arbeitet.

C329 (C14) dient in Verbindung mit R346 (R27) der Phasenkorrektur des Schwefelkreises.

Zur Temperaturkompensation des Horizontalgenerators und des Endstufentransistors dient der Thermostor R41. Der Thermostor R13 kompensiert die Unlinearität von R41.

Die Trennung des Generatorteils der Schaltung durch die Treiberstufe beseitigt alle Rückwirkungen und bringt durch Tr301 (T2) eine optimale Anpassung an die Zeilenendstufe.

Die Speisung erfolgt durch die 18 V-Boosterstufung. Dadurch wird eine Leistungssteigerung der Treiberstufe erreicht, die für die Durchsteuerung des T308 (KU 607) erforderlich ist. Das RC-Glied C334, R350 dient der Bedämpfung der Eigenschwingungen der Primärinduktivität, die durch die Schaltflanken entstehen.

Beim K 7222.25 dient das RC-Glied C24, R33 der Dämpfung der Eigenschwingungen der Primärinduktivität, die durch die Schaltflanke entstehen.

Der fangbereich der Schaltung beträgt ± 800 Hz, der Haltebereich - 2000 Hz/+ 1600 Hz.

1.7.11. Horizontale Endstufe und Hochspannungserzeugung

Die Horizontale Endstufe ist für eine 31 cm (37 cm)-Bildröhre in 110°-Ablenktechnik dimensioniert.

Aufgrund der vorhandenen stabilisierten Schienenspannung von 10,7 V wird die Horizontale Endstufe ohne eigene Stabilisierungsschaltung bezüglich der Hochspannung und der Horizontalamplitude nur mit der Schienenspannung betrieben. Damit kann nur eine Niederwert-Boosterschaltung für die Horizontale Endstufe angewendet werden. Durch die Boosterschaltung wird die Schienenspannung von 10,7 auf 18 V transformiert, um das Ablenkensystem mit 110 uH Horizontalspuleninduktivität betreiben zu können. Von der Boosterschaltung wird auch die Treiberstufe gespeist. Diese Maßnahme ist erforderlich, da mit die Endstufentransistoren mit der Stromverstärkung 20 eingesetzt werden können. Die Ansteuerung des Endstufentransistors erfolgt über den Treibertrafo (Tr301). Der Endstufentransistor wird in der Schaltung bis ins Sättigungsbereich aussteuert. Um die erforderliche Horizontalamplitude mit Grenzmaster-Ablenkensystemen zu erreichen, ist es notwendig, das Ablenkensystem an verschiedenen Zeilentransistoren anzuschalten. In Reihe mit dem Ablenkensystem liegt der Linearitätsregler (Sp302) und der Kondensator (C336) zur Kompensation des Tangenzfehlers.

Auf der Verteilerplatte ist diesem Kondensator ein zweiter (C8) parallel geschaltet, um den Tangenzfehler auch bei dem verringerten Ablenkstrom (bedingt durch die geringere ausgeschriebene Bildbreite) zu korrigieren. Die Bildbreite ist durch L1 auf der Verteilerplatte einstellbar.

Die Ferritkernspule des Linearitätsreglers wird mit einem Zylindermagnet vormagnetisiert. Durch Verändern der Vormagnetisierung mit dem Zylindermagnet kann die optimale Linearität eingestellt werden. Der Horizontalausgangsträger Tr302 (T3) ist mit dem Ferritkern U 52/54 aufgebaut,

wobei die Hochspannungsspule und der Grundwickel als Legenspule ausgebildet sind. Die Spulenkapazität und -induktivität sind auf die 5. (3.) Harmonische abgeglichen. Der Einfluß der Streuinduktivität der Hochspannungsspule wird durch die Spule Sp303 (L4) kompensiert. Die Kompensation erfolgt durch Abgleichen der Spule Sp303 (L4) auf minimale Ausschwingamplitude im Zeilenhinlauf.

Aus dem Horizontalausgangsübertrager werden durch Gleichrichtung die Hochspannung, die Spannung für G1, C2 und G4 der Bildröhre und die Spannung für die Videoendstufe bereitgestellt. Mit den Kondensatoren C332, C333, C335 wird der Horizontalrücklauf von 13 us + 0,5 us eingestellt. Um Toleranzen der Horizontalspulen im Ablenkensystem in gewissen Grenzen ausgleichen zu können, ist es möglich, durch Verlieren des C332 diese Toleranzen auszugleichen. Einstellkriterien sind dabei die Horizontalamplitude, die Hochspannung und die Rücklaufzeit. Zur Verhinderung von Rückwirkungen der Horizontalendstufe auf die Schienenspannung dient das Siebglied mit der Drossel Dr302 und dem Kondensator C338.

Für den K 7222.25 gilt folgende Beschreibung:

Die Horizontalablenkschaltung beim K 7222.25 ist aufgebaut mit dem Hochvolttransistor Su165 (V18), dem Horizontalausgangsträger T3, der Ablenkeinheit AEGVT und dem Linearitätsregler L3. Die Ablenkschaltung arbeitet mit Linearitätsgewinnung durch Verwendung der Paralleldiode V17 und der Boostendiode V16. Die über dem Boosterkondensator C21 stehende Spannung wird dadurch von 39 V ... 43 V (Betriebsspannung) auf 60 V ... 70 V erhöht. Das Ablenkensystem ist symmetrisch über die Tangens-kondensatoren C25, C32 an den auf die "dritte Harmonische" der Rückschlagfrequenz abgestimmten Horizontalübertrager angeschlossen. Der Kondensator C31 dient der Feinkorrektur der Tangensverzerrung. Der Ausgleich von Toleranzen des Ablenkensystems (Anpassung bei Grenzwertablenkspulen) erfolgt durch Abgleich der Tangensformation an den Übertrageranschlüssen 2, 3 und 4. Die Einstellung der Horizontalamplitude ist ansonsten durch die regelbare Betriebsspannung U1P (39V...43V) gewährleistet. Damit die Spulenspannung für andere Bauteile von zeilenfrequenten Störungen bleibt, wird die Spannung U1P durch die Filter L1 und L2 zusätzlich gesiebt. Der Treibertransistor V13 steuert zusammen mit den Treibertransformatoren T2 die Endstufe nichtsimultan an, d.h. der Treibertransistor V13 leitet, wenn V18 sperrt. Das RC-Glied R33, C24 gewährleistet einen optimalen zeitlichen Verlauf des Basisstromes des Transistors V18 und vermindert zusammen mit dem Widerstand R35 dessen Überschwinger.

1.7.12. Erzeugung der Betriebsspannungen

Die Betriebsspannungen für die Display-Baugruppen werden, sofern sie nicht dem Zeilentrfo entnommen werden, auf

Der Verteilerplatte (gedruckte Schaltung 1.12.516791.0)

erzeugt.
Dem Blaglay wird eine 12 V-Gleichspannung von außen zugeführt. Diese Spannung wird über die Vorwiderstände R4 ... R8, deren resultierende Größe durch wahlweises Einsetzen der Brücken E1 ... E3 eingestellt wird, unabhängig von der Länge des Zuleitungskabels auf einen Wert von $10,7 \text{ V} \pm 0,3 \text{ V}$ reduziert.

Die zum Betreiben des TTL-Schaltkreises der Kabelempfängerstufen benötigte 5 V-Gleichspannung wird durch eine regelbare Transistorstufe (A17, V4) (R9, V4) aus der Spannung 10,7 V (12P) gewonnen. Die Betriebsspannung des Helllastverstärkers 24 P wird über den Z-Dioden V5:1, V5:2 aus der dem Zellenrafo entnommenen Spannung 56 P erzeugt und durch die Kondensatoren C9, C10 geglättet.

Zur Helligkeitsregelung der Bildröhre muß die Spannung 80 M zur Verfügung gestellt werden. Sie wird durch Spannungvervielfachung mittels der Bauelemente C1:1 ... C1:5 und V1:1 ... V1:4 aus der im Zellenrafo erzeugten Impulsspannung 28 W gebildet.

Zur Sperrpunkteinstellung der Bildröhre beim X 7222,25 muß die Spannung U51 zur Verfügung gestellt werden. Sie wird durch Gleichrichtung mittels der Bauelemente C18 und V14 aus dem Zellenrafo gebildet. Mit dem Regler R18 wird der Sperrpunkt eingestellt.
Die Bildschirmspannungen 41P, 22P, 16N werden im Transverter (A1, V10, V22, T1) auf der Leiterplatte 012-6931 erzeugt. Der Schaltkreis A1 erzeugt eine Rechteckspannung zur Ansteuerung des Leistungstransistors V22. Ferner ist hier die Referenzspannungsquelle, der Regelverstärker, die Anlaufschaltung und die Lastverhältnismäßigbegrenzung integriert. Die Spannung 41P wird nach dem Sperrwandlerprinzip und vom Schaltkreis A1 stabilisiert.

Die Spannung 22P wird ebenfalls nach dem Sperrwandlerprinzip und Aufstockung auf die 12P gewonnen. Sie ist ungetriggert. Die ebenfalls ungetriggerte Spannung 16N wird nach dem Flußwandlerprinzip erzeugt, das bessere Stabilität gewährleistet.

Der Transverter schwingt frei an, wird aber dann von der Zellenspannung SYNC synchronisiert.

1.8. Tastatur 1715

1.8.1. Einteilung

Die Tastatur dient der manuellen Eingabe von alpha-numerischen und numerischen Zeichen, Ruf- und Steuerinformationen sowie von Startbedingungen in das angeschlossene Gerät.

Charakteristisch für die Tastatur ist die räumliche Aufteilung in den alpha-numerischen Bereich sowie in die Bereiche für numerische und Funktionstasten. Die Codierung der eingegebenen Zeichen wird über einen in der Tastaturelektronik eingesetzten PROM realisiert. Damit ergibt sich die Möglichkeit, Codepositionen zuzuordnen, die Groß-/Klein-Umschaltung wahlweise festzulegen bzw. in Sonderfällen den Ausgabe-code generell beliebig zu wechseln. Die technische Beschreibung gilt für alle Tastatur-Ländervarianten des CFM 1715.

1.8.2. Konstruktiver Aufbau

Die Tastatur des CFM 1715 ist eine separate Baugruppe, die als Auftragsvariante ausgelegt ist. Sie besteht aus dem Gehäuse, den Elastomertastelementen, der Steckeinheit Serielle Tastaturensteuerung, der Tastaturplatte und der Tastaturleiterplatte. Zur Auslösung der Schaltfunktion werden elektrisch leitfähige Elastomerkontakte, auf speziellen Tasteneinsätzen befestigt, eingesetzt. Als Gegenelektroden sind auf der Tastaturleiterplatte veredelte Kammerstrukturen aufgebracht, die entsprechendem Stromlaufplan matrixförmig verknüpft sind. Die Tasteneinsätze und die LED-Blende sind in die Tastaturplatte eingedrückt. Die Tastaturplatte ist im Gehäuse befestigt, das durch ein Bodenblech bzw. eine Blende abgedeckt wird. Die Steckeinheit Serielle Tastaturensteuerung ist separat im Gehäuse befestigt und über einen 26poligen Steckverbinder mit der Tastaturleiterplatte verbunden. Die Neigung des Tastenfeldes zur horizontalen Ebene beträgt 5°. Die Tastatur ist durch ein Verbindungskabel mit der Steuereinheit verbunden.

1.8.3. Funktionsbeschreibung

1.8.3.1. Beschreibung der Tastenfunktionen

Im Rahmen der technischen Beschreibung wird auf eine Erläuterung der Tastenfunktionen verzichtet.

Näheres dazu ist in der Bedienungsanleitung (Manual bzw. Systemhandbuch) enthalten.

1.8.3.2. Beschreibung der Tastaturelektronik

1.8.3.2.1. Aufbau der Tastaturelektronik

Die Tastaturensteuerung wird durch einen Mikroprozessor, eine Tastaturmatrix, einen Programmspeicher bzw. Zellengenerator,

ein Octal-Latch, in den Zeilen zwischen geschaltete Empfänger und einfache Gatter realisiert. Das Grundprinzip der Testaturarbeit besteht darin, daß die Adreßleitung A15 des Mikroprozessors gemeinsam mit der Steuerleitung IORQ, entweder des Leses der Zeilen der Tastaturmatrix oder die serielle Schnittstelle freigeht. Die serielle Schnittstelle wird durch das Bit DB0 des Datenbuses über einen Treiber als Datensignal und das Schreibsignal (WR) des Mikroprozessors über einen Treiber als Synchronisationssignal realisiert (Abb. 1).

1.8.3.2.2. Prinzipieller Aufbau

Von den 16 Adreßleitungen des Mikroprozessors bilden A0 - A12 13 Spalten der Tastaturmatrix. Die an den Adreßausgängen anliegenden Signale werden mit Hilfe von D103 bzw. 7406 negiert. Die Ansteuerung der Spalten muß mit Open-Kollektorstufen erfolgen, da beim Betätigen der Tastelemente in einer Zeile ein "High-Potential" der betätigten Taste in einer nicht angesteuerten Spalte gegen ein "Low"-Potential der betätigten Taste in einer angesteuerten Spalte kurzgeschlossen wird. Durch das Mikroprogramm, das im PROM steht, wird der Reihe nach genau eine Spalte aktiviert. Dadurch ist genau eine der Adreßleitungen A0 - A12 "High", während alle anderen "Low" sind. Die Signale werden negiert. Anschließend wird der Zustand der Spalte abgefragt und festgestellt, ob Tasten betätigt bzw. losgelassen wurden oder ob keine Veränderungen stattfindenden. Das geschieht durch Inputbefehle.

1.8.3.2.3. Erkennen einer betätigten Taste

Ist das Tastelement nicht betätigt, wird der Transistor V4 über den Widerstand R2 gesperrt. Der Widerstand R1 ist so dimensioniert, daß der nachfolgende Gattereingang auf zulässigen "Low"-Pegel gezogen wird. Falls eine Spalte mit "Low"-Pegel angesteuert wird und das Tastelement betätigt ist, steuert der Transistor V4 durch. Damit liegt am Eingang des nachfolgenden Octal-Latch A4 "High" an, d.h. es kann eine betätigte Taste erkannt werden. Die Reihenschaltung des Widerstandes R9 und des Kontaktwiderstandes des Tastelementes muß ein sicheres Durchschalten des Transistors V4 gewährleisten.

Falls der Kontaktwiderstand des Tastelementes gegen Null geht, sorgt der Widerstand R9 für eine Strombegrenzung. Damit A4 durchschaltet, muß neben IORQ, das durch den Inputbefehl "Low" gesetzt wurde, die Adreßleitung A15 "High" sein. Die Negatoren sorgen dafür, daß der richtige Pegel an A4 anliegt. Über den Datenbus DB0 - DB7 gelangt der Zustand der abgefragten Spalte in den Mikroprozessor. Dort wird der Zustand in den internen Registern abgespeichert. Eine Taste muß 3 Abfragezyklen lang gedrückt sein, bis sie als gültig anerkannt wird (Roll-over-Betrieb). Falls in dieser Zeit eine weitere Taste betätigt wird, wird auf Doppelsetzung erkannt und als Fehlbedienung interpretiert.

Nachdem eine gültige Taste erkannt wurde, wird aus dem PROM der Code errechnet. Dieser wird mittels Outputbefehl gesendet.

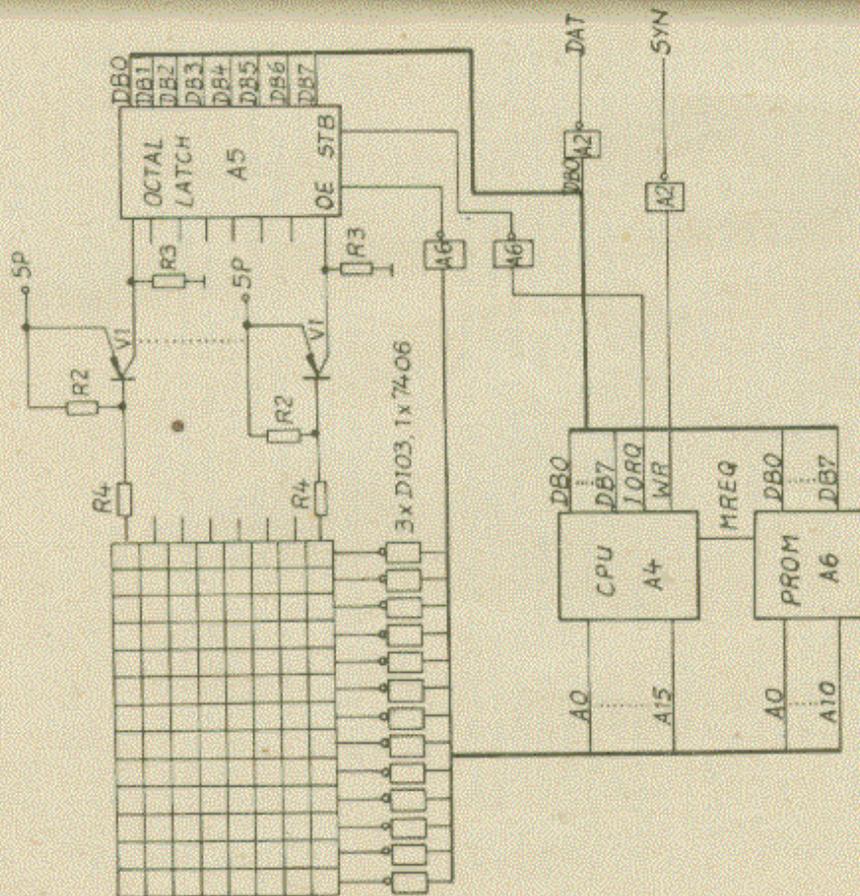


Abb. 1

1.8.3.4. Taktzeugung

Der Taktgenerator bestehend aus TTL-Gattern A7, dem Widerstand 10.3 und dem Kondensator C3 erzeugt den von der CPU benötigten seriellen Takt mit der Frequenz 700 kHz \pm 10 % (Abb. 5).

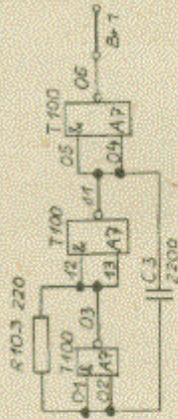


Abb. 5

1.9. Stromversorgung

1.9.1. Allgemeines

Die Baugruppe Stromversorgung beinhaltet zwei Schaltnetzteile sowie zwei Analogregler und stellt für den Robotron 1715 die erforderlichen Gleichspannungen 5V, 12V, 12V, 5V und 12V bereit.

Die Beschreibung der Schaltung erfolgt anhand des Stromlaufplanes 56-330-2770-5.

1.9.2. Konstruktiver Aufbau

Das Netzteil ist eine selbständige Baugruppe. Die Netzspannung wird an der Rückseite über einen Schuko-Kaltgerätestecker und zwei Schmelzsicherungen zugeführt. An der Vorderseite befindet sich der Einbaupfennschalter. Seitlich ist ein durch R3 in der Drehzahl reduzierter Axiallüfterbaustein angebracht, welcher die Luftzirkulation durch das Gesamtgerät gewährleistet. Die Abgabe der Ausgangsspannung erfolgt über die Suchspannleistung XW1. Für die Bildschirmeinheit wird die Betriebsspannung 12V an der Rückseite der Baugruppe Stromversorgung über eine dreipolige Buchsenleiste (DISPLAY) bereitgestellt. Die elektronischen Bauelemente befinden sich auf zwei Leiterplatten, die über Steckverbinder X2, X3 verbunden sind.

1.9.3. Elektrischer Funktionsbereich

Das Gerät ist für den Betrieb an einem 220 V-Wechselstromnetz von 47 Hz bis 63 Hz ausgelegt. Die Netzspannung darf bis zu +10% und -15% vom Nennwert abweichen.

1.9.4. Netzgleichrichtung

Die Gleichspannung UEP für die Schaltnetzteile wird über eine gemeinsame Netzgleichrichtung erzeugt. Die Netzspannung wird über zwei Schmelzsicherungen F1, F2 und dem Netzfilter dem Schalter S1 zugeführt. Dieser schaltet zweipolig die Spannung auf den Stecker X1. Die Brückengleichrichterschaltung V1 bis V4 erzeugt die Gleichspannung UEP, welche durch C3 gepuffert wird. Die Vorwiderstände R1, R2 reduzieren den Einschaltstromstoß. Durch die in R2 umgesetzte Leistung verringert sich sein Widerstand auf einen Bruchteil des Kaltwiderstandes.

1.9.5. Anlaufschaltung und Hilfsspannungserzeugung

Die Anlaufschaltung stellt den Strom für die primärseitige Steuerung bereit, bis der Regelkreis eingeschungen ist und sich über die Hilfsspannungserzeugung (V106 ... V109) selbst versorgen kann.

Die Spannung UEP kommt über Stecker X2/4 auf die Anlaufschaltung. Über R101 und V103 wird Basisstrom in den Kaskadentransistor V102 eingespeist, der diesen aufsteuert. Gleichzeitig wird auch V101 leitend. Durch den Stromfluß wird die Emitterspannung am V102 angehoben. Bei etwa 10,5V (Schaltkreisspannung am Anschluß 1) beginnt der Schaltkreis V101 zu arbeiten. Die Anlaufschaltung läßt die Schaltkreisspannung so lange ansteigen, bis V103, V104 leitfähig werden. Mit dem Arbeiten von N101 wird die Rückkopplung über P2 des Trefofs Tr1 eingeleitet. An C101 entsteht eine über V109 gleichgerichtete Spannung (18V ... 29V), die mit V106, V107 und V108 stabilisiert wird. Über V105 wird die stabilisierte Spannung an den Emitter des V102 gelegt und hebt das Potential gegenüber der Basis an. Dadurch wird die Anlaufschaltung unwirksam. Die Regelstrecken werden nun nur noch über die Hilfsspannung von ca. 15V versorgt.

1.9.6. 5A-Regelstrecke

Das Netzteil 5A ist ein Schaltnetzteil und arbeitet nach dem Prinzip des Durchflußwandlers. Durch Ansteuerung des Transistors V5 wird aus der Gleichspannung UEP eine Rechteckspannung mit ca. 20 kHz erzeugt. Diese Spannung wird während der Leitphase von V5 über Tr1 auf die Sekundärseite übertragen und von V7 gleichgerichtet. Der dabei durch Tr2 fließende Strom lädt C5 auf. In der Sperrphase des V5 wird die in Tr1 gespeicherte Energie über P3 und V126 abgebaut und auf C3 zurückgeliefert. Die während der Leitphase in Tr2 gespeicherte Energie wird in der Sperrphase über die Freilaufdiode V8 an C5 abgegeben. L2 und C6 dienen der Siebung der Ausgangsspannung.

1.9.6.1. Funktion der Regelung

Dem Stuerschaltkreis N101 wird eine der Ausgangsspannung proportionale Regelgröße zugeführt (Anschluß 5), die mit einer internen Referenzspannung (Anschluß 2) verglichen wird. Der Stuerschaltkreis liefert eine Rechteckspannung (Anschluß 14), dessen Tastverhältnis sich mit der Regelabweichung zwischen 0 und einem Maximalwert von ca. 45% ändern kann.

Dadurch wird die Einschaltdauer des Transistors V110 gesteuert. N108 bestimmt die Größe des Basisstromes von V110. Der Ansteuerüberträger Tr101 arbeitet nach dem Flußwandlprinzip, wobei R107 der Strombegrenzung dient. Die Freilaufdiode begrenzt die Abschaltspitze des V110. Die erforderliche Betriebsspannung für den Schaltkreis N101 wird über die Anlaufschaltung bzw. über die Hilfsspannungserzeugung an Anschluß 1 des N101 bereitgestellt. Die Frequenzeinstellung des Sägezahnenerators von ca. 20 kHz erfolgt mit den Schaltelementen R116, C111. Von der internen Referenzspannung am Anschluß 2 (8,0V ... 9,2V) wird über R114, R115 ein Teil abgegriffen, der am Anschluß 6 zur Verfügung steht und das Tastverhältnis auf ca. 45% begrenzt. C110 begrenzt die Anstiegseschwindigkeit des Tastverhältnisses (Anschluß 6) - Langsamlauf. Mit R112, R113 wird die Größe der Hilfsspannung überwacht. Bei zu großer Spannung (größer 19V) schaltet der Schaltkreis über Anschluß 3 die Ansteuerung ab. Die Regelung des Tastverhältnisses erfolgt durch eine Spannungserhöhung am Anschluß 5. Für die Änderung dieser Spannung sind die Bauelemente N102 und U102 verantwortlich. Über die Leiterplattenanschlüsse X2/18 und X2/17 wird ein Teil der Ausgangsspannung an den Regelleingang Anschluß 3 des N102 geführt und mit einem Teil der Referenzspannung (ca. 3,7V) am Anschluß 2 verglichen. Sinkt die Eingangsspannung ab, wird auch die Spannung am Anschluß 3 geringer und der Steuerzugang Anschluß 6 nimmt eine niedrigere Spannung an. Dadurch verringert sich der Strom durch V114, R124 und die Diode des U102. Der Lichtstrom im Optokoppler U102 nimmt ab und der Transistor des Kopplers verringert seine Leitfähigkeit, wodurch sich die Kollektorspannung des Kopplers erhöht und das Tastverhältnis des N101 ansteigt, bis die Ausgangsspannung seinen Sollwert wieder erreicht hat. Die Einstellung der Ausgangsspannung von 5,1 V erfolgt mit R130. Die Wicklung S2 stellt die Arbeitsspannung (18V bis 29V) für N102 bereit. Diese wird über V112 gleichgerichtet und mit C105 gepuffert.

1.9.6.2. Überstromsicherung

Das Netzteil ist gegen Kurzschluß der Ausgangsspannung geschützt. Dazu wird dem Eingang 11 des N101 eine über den Emitterwiderstand R6 erzeugte Spannung zugeführt. Liegt am Eingang 11 eine Spannung von ca. 0,7 V, schaltet die Ausgangsstufe des Schaltkreises ab und C110 wird entladen. Die Schaltung startet nach Ablauf der durch C110 bestimmten Totzeit wieder mit Langsamlauf. Mit R110 kann der maximale Laststrom IP5 von 9A eingestellt werden.

1.9.6.3. Überspannungskontrolle

Die Überspannungskontrolle erfolgt durch die Elemente V113, R123 und U101. Wenn die Ausgangsspannung ansteigt und es durch die Z-Diode V113 zum Stromfluß kommt, wird der Koppler U101 leitend und schaltet über den Eingang 10 (U10 0,8 V) des N101 die Ansteuerung ab, wobei gleichzeitig C110 entladen wird. Ist die Überspannung abgebaut wird der Eingang 10 (ca. 2V) freigegeben und der Schaltkreis beginnt nach einer Totzeit mit Langsamlauf.

1.9.7. 5N, 12N-Erzeugung

Wie unter 1.9.6. beschrieben, wird während der Flußphase Energie in der Speicherdrossel Tr2 gespeichert, die in der Sperrphase wieder zur Verfügung steht. Diese freierwerdende Energie induziert in den Wicklungen S1 und S2 Spannungen die über V9, V10 gleichgerichtet und mit C7 und C8 gepuffert werden (Uc7 ca. 10V) (Uc8 ca. 18V). Diese Spannungen stellen die Rohspannungen für die Festspannungsregler N1 und N2 dar. Die Schaltkreise stabilisieren die Spannungen 5N und 12N auf die geforderten Werte mit plus minus 5 % Toleranz. Die Schutzfunktionen Überstromschutz und thermischer Schutz werden durch die Regler selbst realisiert. Dieses Erzeugerprinzip, einen Teil der Energie aus der Drossel Tr2 für die Erzeugung der 5N und 12N zu verwenden, erfordert jedoch eine Mindestlast der 5P von 1,5A.

1.9.8. 12P-Regelstrecke

Die 12P-Stromversorgung ist ein Schaltnetzteil und arbeitet nach dem Prinzip des Sperrwandlers. Das bedeutet, während der Leitphase des Transistors V15 wird die magnetische Energie im Kern des Trafos Tr3 gespeichert. Diese Energie wird in der Sperrphase frei und durch V11 bis V14 auf C13 bis C15 übertragen. L3 und C16 dienen der Siebung der Ausgangsspannung.

1.9.8.1. Funktion der Regelung

Dem Steuerschaltkreis N105 wird eine der Ausgangsspannung proportionale Regelgröße (Anschluß 5) zugeführt, die mit der internen Referenzspannung (Anschluß 2) verglichen wird. Der Steuerschaltkreis N105 liefert ein mit der Regelabweichung veränderliches Tastverhältnis am Anschluß 14. Wenn das 5P-Netzteil eingeschwenkt ist und an Stecker X3/9 die Hilfs-Spannung von ca. 15V anliegt, kann das 12P-Netzteil anlaufen. Die Schaltfrequenz wird durch R149 und C121 bestimmt und liegt bei ca. 20 kHz. Der durch R138 festgelegte Steuerstrom wird über Anschluß 14 an die Basis des Steuertransistors V119 geleitet. Über diesen Transistor wird mittels Tr102 die Ansteuerleistung für den Leistungsrichter V12 gewonnen. Der Trafo Tr102 arbeitet nach dem Flußwandlerprinzip. Die Freilaufdiode V120 begrenzt die Abschaltspitze des V119, wenn das durch C120 langsam ansteigende Tastverhältnis eine solche Größe erreicht hat, daß die übertragene Energie auf den Kondensatoren C13, C14, C15 die Nennspannung 120V erreicht, setzt die Regelung ein. Die Spannung 120V wird über Stecker X3/15 dem Spannungsstabilisatorchaltkreis N106 als Betriebsspannung zugeführt. Zwischen den Anschlüssen 3 und 2 wird die geteilte Ausgangsspannung mit der geteilten Referenzspannung Uref: 6,8V ... 7,5V (Anschluß 4) verglichen. Das Ergebnis wird am Ausgang (Anschluß 6) meßbar. Übersteigt die eingestellte Eingangsspannung den zulässigen Wert, erhöht sich die Spannung am

Anschluß 6 und V124 wird stärker leitend. Dadurch steigt der Lichtstrom in der Diode des U105. Der Fototransistor wird stärker leitend und verringert die Spannung am Eingang 5 des N105, wodurch sich das Tastverhältnis reduziert und damit auch die übertragene Energie. Die Einstellung der 120V erfolgt mit R160 auf 12,2V. Die durch R146, R147 geteilte Referenzspannung wird an Anschluß 6 geführt und legt damit das maximale Tastverhältnis (ca. 45 %) fest. Um zu vermeiden, daß der Trafo Kern bei hohen Eingangsspannungen durch große Lastverhältnisse in die Sättigung kommt, wird die Teilung der Spannung UEP über R143, R145 durchgeführt und über den Eingang (Anschluß 16) eine spannungsproportionale Lastverhältnistreduzierung auf maximal ca. 30 % vorgenommen.

1.9.8.2. Strombegrenzung bei Impulslasten bzw. Lastsprüngen

Bei diesen Lastfällen treten kurzfristig geringe Spannungs-zusammenbrüche der Ausgangsspannung auf. Dieser Zustand führt zur Sperrung des Kopplers U105 und die Spannung an Anschl. 5 des N105 steigt über den Spannungswert an Anschluß 6 an. Es tritt also ein großes Tastverhältnis auf, das zu einem Stromanstieg von unzulässiger Höhe führen kann. Mit R150 wird die zulässige Grenze eingestellt. Beim Überschreiten dieser Grenze steigt die Spannung am Anschluß 3 über 3,7V an und der Schaltkreis bricht die Ansteuerung des V119 ab.

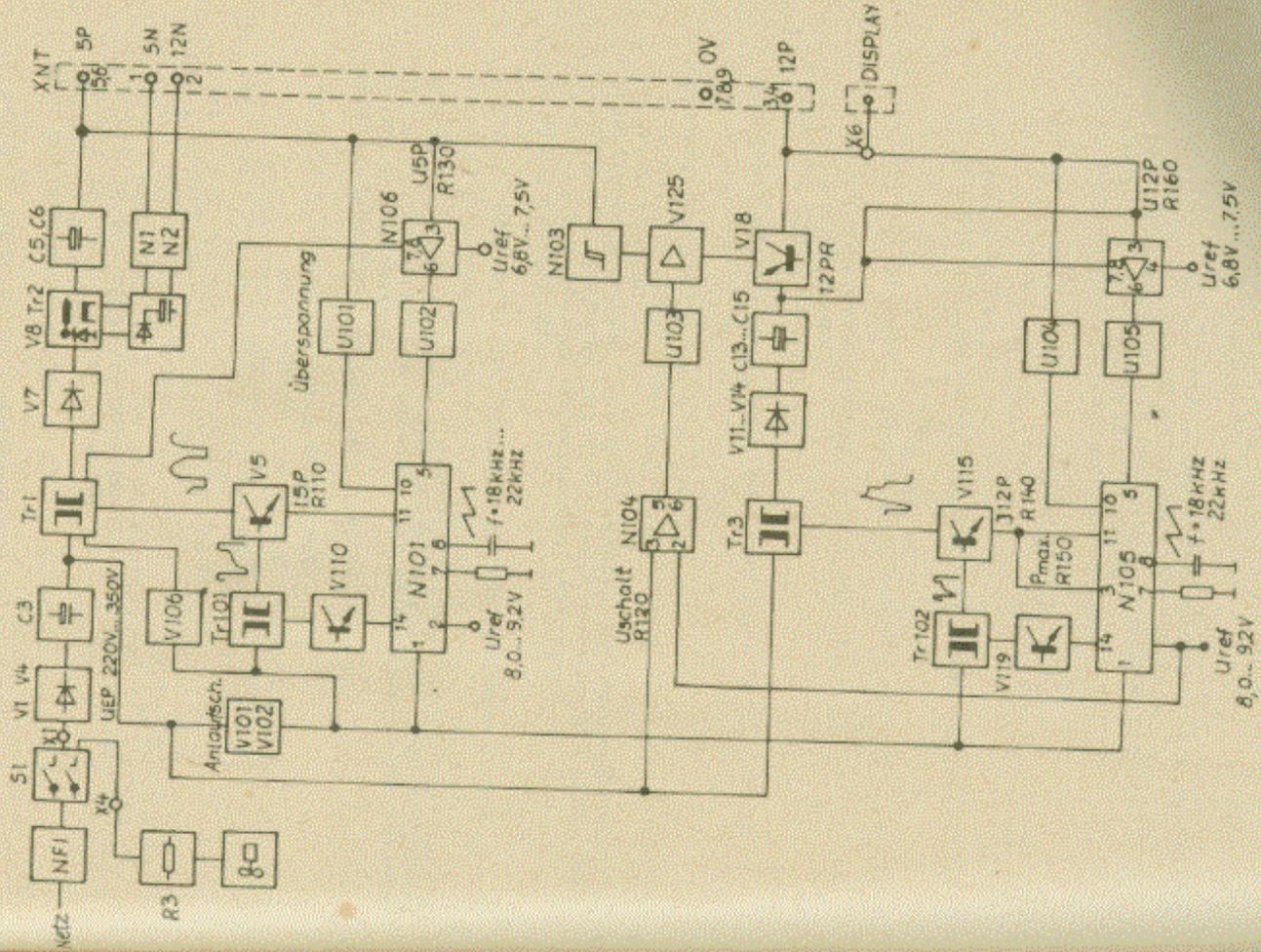
1.9.8.3. Strombegrenzung bei Überlast

Tritt eine Überlast durch Kurzschluß auf, muß eine Abschaltung für mehrere Perioden erfolgen, um die Entmagnetisierung des Trafos Tr3 zu erreichen. Diese Stromschwelle wird mit R140 bei Überspannung und hoher Last eingestellt.

1.9.8.4. Abschaltung und Verzögerung der 12P

Für den Betrieb der folienepelcherlaufwerke sind bestimmte Reihenfolgen der Spannungszu- und -abschaltung einzuhalten. So muß die 12P nach der 5P einschalten, aber vor der 5P abschalten. Die 12P ist über den Schaltverstärker V18, V19 schaltbar ausgeführt. Bei Einspeisung eines Basisstromes über R137 in den Transistor V19 schaltet dieser ein und liefert den Steuerstrom für V18. Zum Schutz des Transistors vor Überlastung ist die Schmelzsicherung F3 vorgesehen. Bei Netzausfall oder Netzleinbruch muß die 12P vor der 5P abschalten. Dieses Schaltverhalten wird realisiert, indem über den Spannungsteiler R121, R120 die Netzgleichspannung UEP überwacht wird. Diese Überwachung erfolgt durch den Operationsverstärker N104. Zwischen den Anschlüssen 3 und 2 wird UEP mit der Referenzspannung des N105 verglichen. Die Schaltschwelle wird mit R120 bei UEP 195V eingestellt.

1.9.8.6. Blockschaltbild Netzteil



Liegt UEP über 195V, ist der Operationsverstärker leitend und der Koppler U103 führt Strom, wodurch an R135 "High" entsteht. Der Trigger N103 erzeugt mit Hilfe von R137, C113 eine Zeitverzögerung von ca. 2 s zwischen 5P und 12P. Nach Ablauf der Verzögerungszeit wird der Ausgang des Triggers "High" und über R134, V116, V117 wird V125 aufgesteuert. Dadurch steuert der Schaltverstärker die 12P an. Fällt das Netz aus, so wird die Stromversorgung aus dem Kondensator C3 so lange gepuffert, bis die Schaltschwelle der UEP von 195V erreicht wird. Jetzt schaltet die 12P ab. Die 12PM bleibt noch bis zum Erreichen der Regelgrenze in voller Höhe erhalten. Die 5P-Regelstrecke arbeitet noch bis zu einer Spannung UEP von ca. 160V.

1.9.8.5. Überspannungskontrolle

Die Überspannungskontrolle erfolgt durch die Elemente V121, R155 und U104. Steigt die Ausgangsspannung über den zulässigen Wert (13,0 V bis 14,8 V) an, kommt es durch die Z-Diode V121 zum Stromfluß und der Koppler U104 wird leitend. Dadurch schaltet der Eingang 10 des N105 die Ansteuerung ab, wobei gleichzeitig C120 entladen wird. Ist die Überspannung abgebaut, wird der Eingang 10 wieder freigegeben und der Schaltkreis beginnt nach einer Totzeit mit langsamenlauf.

1.9.9. Prüf- und Einstellvorschrift

1.9.9.1. Prüfung und Einstellung der 5P, 5N, 12N

Netz auf 220 V einstellen

5P mit 5 A belasten

5N mit 100 Ohm (0,5 A) belasten

12N mit 56 Ohm (0,21 A) belasten

5P mit R130 auf 5,1 V +/- 50 mV einstellen, $U_{GRSS} \leq 100$ mV

Kontrolle:

5N: -5 V +/- 250 mV $U_{GRSS} \leq 50$ mV

12N: -12 V +/- 600 mV $U_{GRSS} \leq 100$ mV

1.9.9.2. Einstellung Strombegrenzung 5 P

Netz erhöhen bis UEP 350 V -5 V erreicht.

5P mit 9 A belasten

Mit R110 Stromschwelle absenken bis Aussetzbetrieb auftritt. Regler zurückdrehen, daß der Aussetzbetrieb gerade weggeht.

1.9.9.3. Kontrolle des gesamten Netzspannungsbereiches

5P mit 7 A belasten

5N und 12 V Belastung entsprechend 1.9.9.1.

Netzspannung zwischen 187 V ... 242 V ändern. Die Prüf- und Einstellwerte müssen über den gesamten Netzspannungsbereich erhalten bleiben.

(Achtung! Die Spannungen 5N und 12N werden erst bei einer Mindestlast der 5P von 1,5 A erreicht.)

1.9.9.4. Prüfung und Einstellung der 12P

Netz auf 220 V einstellen

5P mit 5 A belasten

12P mit 3 A belasten (an XNT 3,4 - XNT 7, 8, 9)

Einstellung: Mit R160 12PM auf 12,2 V +/- 100 mV einstellen
 $U_{BR} \leq 150$ mV

(Die Messung der Spannung 12PM erfolgt immer am Stecker X6 oder Buchse DISPLAY.)

1.9.9.5. Einstellung der Stromschwellen

R150 nach rechts bis zum Anschlag drehen

12P mit 3 A + 3 A Impulslast belasten

Netzspannung erhöhen bis UEP 350 V -5 V erreicht

R140 verstellen bis Aussetzbetrieb auftritt

Regler geringfügig zurückdrehen bis Aussetzbetrieb gerade weggeht.

Netz auf 183 V reduzieren

12P mit 5 A belasten
mit R150 12PM auf 12,0 V +/- 50 mV einstellen
lest auf 4 A verringern, 12PM muß ihren Nennwert wieder erreichen.

Die 12P muß dabei einen Wert größer 11,7 V annehmen.

1.9.9.6. Einstellung der Abschaltschwelle der 12P

5P mit 5 A belasten

12P mit 3 A belasten

5N mit 0,5 A belasten

12N mit 0,21 A belasten

Netzspannung verringern bis UEP 195 V erreicht.

Mit R120 den Punkt einstellen, an dem 12P gerade abschaltet.

UEP auf 200 V erhöhen. Die 12P muß zuschalten.

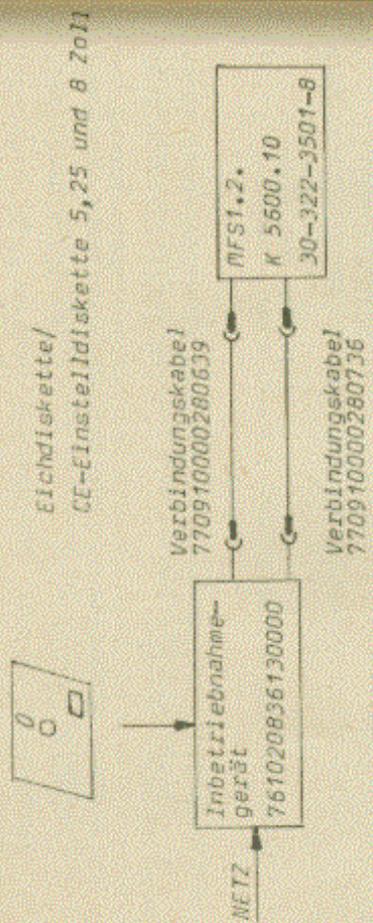
1.9.9.7. Kontrolle: Verzögerung der 12P

Netz auf 220 V einstellen

Belastung entsprechend Punkt 1.9.9.6.

Gerät einschalten. Zuerst müssen die 5P, 5N, 12N und 12PM

ihre Sollwerte erreichen. 2,0 s ... 4,5 s danach muß die 12P zuschalten.



handelsübliche
Meß- und Prüf-
technik

2.1.1.1. Koppelleinheit

Die Koppelleinheit kommt zum Einsatz in Werkstätten im Rahmen der Instandsetzungsarbeiten für Steckeinheiten. Sie wird mit der mit "MASTER" gekennzeichneten Anschlußstelle an den Systembus der "Muttermaschine" angekoppelt. An die mit "SLAVE" gekennzeichnete Steckerleiste wird der Prüfling in Form der Steckleinheit ZRE oder FO-Ansteuerung angeschlossen.

Über die "Muttermaschine" erfolgt das Einlesen der entsprechenden Testprogramme. Die Koppelleinheit bereitet dann die Daten so auf, daß mit dem Signaturanalysegerät bzw. mit dem Oszillograf entsprechende Messungen vorgenommen werden können.

2.1.1.2. Adapterkabel

Die Adapterkabel können entsprechend Pkt. 2.1.1. eingesetzt werden. Sie ermöglichen eine räumliche Trennung der Baugruppen und verbessern durch ihre Flexibilität das Messen mit handels- oder erzeugnisspezifischer Meßtechnik

2.1.1.3. Inbetriebnahmegerät Floppy-Disk-Laufwerke

Das Gerät dient zur Inbetriebnahme und Überprüfung der 5,25 Zoll-Diskettenlaufwerke sowie von 8 Zoll-Laufwerken. Mit dem Inbetriebnahmegerät ist es u. a. möglich, Drehzahl- und Prüftaktmessungen vorzunehmen. Zum Reparaturarbeitsplatz gehören neben dem Inbetriebnahme-gerät die entsprechenden Verbindungsleitungen, ein Oszillograf und die Einstelldiskette.

2.1.1.4. Regelbare Prüflast (Lastnechbildung)

Die regelbare Prüflast gehört zur Ausrüstung einer Werkstatt, in der Netzteile des 1715 repariert werden sollen. Dieses Gerät wird mittels Adapterkabel am Netzteilaustrag angeschlossen. Damit ist die Möglichkeit gegeben das zu untersuchende Netzteil optimal einzustellen.

2.2. Hinweise zur Fehlersuche

2.2.1. Allgemeines

Die Fehlersuche sollte bei der Kontrolle der Eingangsbedingungen (z.B. Netzspannung) begonnen werden. Es wird deshalb empfohlen, daß neben der Netzspannungskontrolle, der Sitz der Steckverbinder und die von außen zugänglichen Primärsicherungen überprüft werden.

In das allgemeine Konzept der Überprüfung ist auch das Zubehör und die Datenträger einzubeziehen.

Zum Zwecke der Fehlerbeseitigung sind geeignete Werkzeuge und Prüfgeräte zu verwenden, die Beschädigungen von Baugruppen und Einzelteilen ausschließen und Verletzungsgefahren vermeiden werden.

2.2.2. Elektronische Fehler

Mittels vorhandener Testprogramme erfolgt die Grobfehlerortung. Entsprechend der Gerätefunktion sind die als defekt bewerteten Baugruppen am Einsatzort des Gerätes zu wechseln. Die genaue Fehlerortung erfolgt dann mit speziellen Meß- und Prüfmitteln.

2.3. Baugruppenaustausch

2.3.1. Baugruppenaustausch an der Systemeinheit

Beim Baugruppenaustausch ist generell das Gerät aufzusheben. Das Auswechseln von Baugruppen darf nur im spannungslosen Zustand erfolgen.

2.3.1.1. Öffnen der Verkleidung

- Lösen von 3 Schlitzschrauben an der Gehäuserückseite
- Gehäuseoberteil etwa 1 cm nach vorn ziehen; leicht anheben und die vordere Blende über die Laufwerkklappe führen.
- Laufwerke gegebenenfalls vor der Abnahme der oberen Verkleidung verriegeln.

2.3.1.2. Austausch Netzteil

- Öffnen der Verkleidung
- Lösen der Kabelverbindungen (Netz, Display und zur ZRE)
- Lösen von drei Schlitzschrauben im Becken des Netzteilgehäuses
- Netzteil hinten leicht ankippen und herausheben
- Einbau erfolgt in umgekehrter Reihenfolge

2.3.1.2.1. Austausch der Steckeinheiten im Netzteil

- Entfernen des Gehäusedeckels einschließlich des rechten Seitenteils durch das Lösen von zwei Schlitzschrauben M3, Gehäusedecke!

- die senkrecht stehende Steckeinheit (21-330-2799-5) ist von der Grundplatte zu lösen, indem ein Schraubendreher abwechselnd unter die beiden Steckerbuchsen gesteckt wird. Durch das Drehen des Schraubendrehers wird die Kontaktierung aufgehoben und die Steckeinheit kann nach oben abgenommen werden.

- Die Grundsteckeinheit 21-330-2798-7 läßt sich nach dem Lösen von zwei M3 Schlitzschrauben sowie nach der Entfernung von drei Steckverbindern, dem Aushaken des Kabelbaums aus der linken Seitenwand, entfernen.

2.3.1.3. Austausch Floppy-Disk

- Öffnen der Verkleidung
- Die rechts und links neben den Laufwerken in der Mitte angebrachten geschlitzten Rändelschrauben sind herauszuschrauben.
- Anschlußstecker Laufwerk - Steckeinheit Floppy-Ansteuerung (21-330-1202-3) lösen
- Laufwerke nach oben herausnehmen
- Laufwerke auf Arbeitstisch so ablegen, daß Laufwerkaufnahme nach oben zeigt.
Jetzt werden 6 Stück M3-Schlitzschrauben sichtbar. Löst man diese (3 Stück pro Laufwerk), so können die Laufwerke abgehoben werden.

Einbau in umgekehrter Reihenfolge

2.3.1.4. Austausch Steckeinheit Floppy-Disk-Steuerung (21-330-1202-3)

- Öffnen der Verkleidung
Die Steckverbindungen zu den Laufwerken sind zu lösen; Die Stützschräuben (Sechskantschrauben) sind zu entfernen (Schraubendreher Steckschlüssel 5,5 mm)
Nach dem Abschrauben der Masseverbindungen wird die Steckeinheit an der Seite, an der das Netzteil liegt, nach oben gedrückt, um den Kontakt zur Steckeinheit ZRE zu lösen.

2.3.1.5. Austausch der Steckeinheit ZRE (20-330-1104-4 ... 21-331-1131-5)

Voraussetzung zum Austausch der ZRE Steckeinheit ist das Öffnen der Verkleidung, die Demontage der Floppy-Disk-Laufwerke und der Steckeinheit zur Ansteuerung der Floppy Disk. Danach werden die Masseverbindungen (Steckverbinder) gelöst. Die Stütz- und Befestigungsschrauben werden entfernt (Schraubendreher, Steckschlüssel 5,5 mm).
Nun kann die Steckeinheit herausgehoben werden.

2.3.2. Baugruppeneinbau am Display 7221.25/7222.25

2.3.2.1. Sicherheitsmaßnahmen

Sicherheitsmaßnahmen sind am Display in zweierlei Hinsicht zu beachten:

- gefährliche Hochspannungen bis zu 12 kV im Gerät
- Implosionsgefahr des Bildschirms

Geschlossene Geräte werden gefahrlos betrieben, wobei allerdings Schläge mit harten Gegenständen sowie Kratzer auf dem Bildschirm ausgeschlossen werden müssen. Der Bildschirm ist Implosionsschutz. Bei ordnungsgemäßer Handhabung des Sichtgerätes und des Bildschirms tritt keine Implosion auf. Das Betreiben des geöffneten Gerätes durch technisches Personal hat unter Beachtung der vorhandenen Hochspannungen zu erfolgen. Es ist zu gewährleisten, daß der Außenbelag des Bildschirms über das Masseband einwandfrei mit der allgemeinen Masse des Display verbunden ist. Messungen der Hochspannung sind nur mit ordnungsgemäßen Hochspannungsmessgeräten, die einwandfrei geerdet sein müssen, auszuführen. Dabei sind die Bedienungsanleitungen dieser Meßgeräte einzuhalten. Das Abziehen des Anodenanschlusses des Bildschirms darf nur bei ausgeschaltetem Gerät erfolgen. Zwischen Ausschalten des Gerätes und Abziehen des Anodensteckers ist mindestens 1 Minute zu warten. Bei Bildschirmen, die ausgebaut werden sollen, ist die vollkommene Entladung der Bildschirmanode herbeizuführen, indem die Anode über einen Widerstand von ca. 1 kOhm für mindestens 10 Sekunden mit Masse zu verbinden ist.

2.3.2.2. Abnehmen der Verkleidungen

2.3.2.2.1. Abnehmen der Verkleidung am K 7221.25

- Display mit Bildfläche auf weiche Unterlage legen
- gewölbt Verkleidungsblech in der vorderen Fußhälfte entfernen. Beim leichten Auseinanderdrücken läßt sich das Blech aushaken.
- Regelnopf für Helligkeit abziehen
- Befestigungsschrauben M3, die nach dem Aushaken des Verkleidungsbleches sichtbar werden, herausdrehen.
- Kappe am Durchbruch des Gehäuses zur Kabeldurchführung abschrauben
- Abziehen des Gehäuses nach oben
- Unverkleideten Display auf Führungsschienen abstellen

2.3.2.2.2. Abnehmen der Verkleidung am K 7222.25

- An der Rückseite die 4 Schrauben lösen und die Rückwand (Blende hinten) abnehmen
- Obere Gehäusehälfte etwa 1 cm nach hinten schieben und nach oben abheben
- 2 Schrauben am Chassis des Einschubs lösen und Chassis nach vorn herausziehen (A)

Im Weiteren sind diese Arbeitgänge nicht mehr beschrieben. Sie sind im Bedarfsfall den nachfolgenden Erläuterungen voranzustellen.

Die folgenden Erklärungen gelten für beide Displaygrößen.

2.3.2.2.3. Wechsel des Bildschirms

Befestigungsschrauben der beiden seitlichen Leiterplatten lösen und Platten herausschwenken

Auf Leiterplatte (1.12.516791.0)/(012-6931) Buchse (X6)/(X2) zur Ablenkeinheit und auf der Leiterplatte 012-6921 Buchsen X3, X6 zum Hellstärker ziehen

Kabel zum Bildschirmbelag aushängen und Hellstärker vom Bildschirmsockel abziehen

Klemmung der Ablenkeinheit lösen und Ablenkeinheit vom Bildschirmsockel ziehen

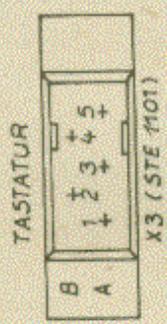
Anodenstecker von dem Bildschirm abziehen (siehe Abschnitt 2)

4 Kontermutter der Bildschirmbefestigung am Rahmen lösen und Bildschirm auf weicher Unterlage auf der Schirmfläche ablegen

2 Zugfedern aushängen und die Massebänder abnehmen
Bildschirmeinbau: Der Einbau erfolgt in umgekehrter Reihenfolge.
Dabei ist folgendes zu beachten:

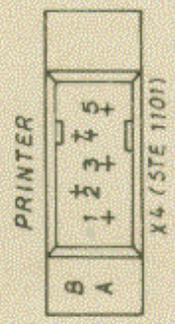
X3: Tastatur

A	Anschluß	B
TA-TAKT	1	5P
OV	2	TA-DATEN
Schirm	3	
	4	
	5	



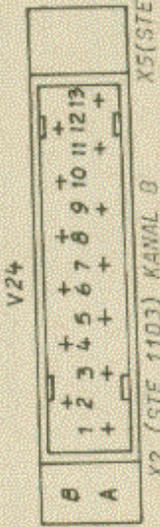
X4: Drucker

A	Anschluß	B
Ltg. 102	1	Ltg. 103
Ltg. 106	2	
Schirm	3	
	4	
	5	



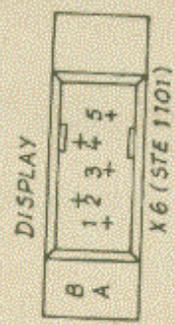
X2/X3/X5; V.24

A	Anschluß	B
Ltg. 102	1	Schirm
Ltg. 103	2	Ltg. 104
Ltg. 105	3	Ltg. 106
Ltg. 107	4	Ltg. 108
Ltg. 109	5	Ltg. 111
Ltg. 113	6	Ltg. 114
Ltg. 115	7	
	8	
	9	
	10	
	11	
	12	
	13	



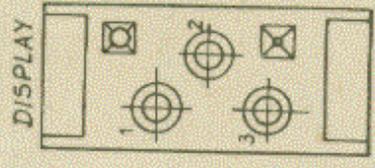
X6: Display-Anschluß

A	Anschluß	B
INTENS	1	
BSYN	2	OV
VIDEO	3	Schirm
	4	
	5	



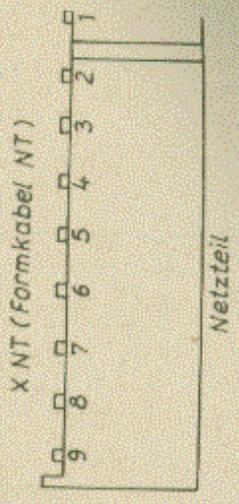
X MONU: Betriebsspannungen Display

Anschluß	Spannung
1	OV
2	12 PM
3	Schirm, SL



X7: Betriebsspannungen (XNT)

Anschluß	Spannung
1	5N
2	12W
3	12P
4	12P
5	5P
6	5P
7	OV
8	OV
9	OV



4. Vergleichsliste

Das Basisschaltkreissortiment des Robotron 1715 bildet das Mikrorechnersystem UB8000 (Q 300) mit seinen Peripherie-schaltkreisen UB8550 (Q 301), UB85600 (Q 304), UB8570 (Q 302).

Als Speicherschaltkreise kommen zum Einsatz:

U555C - 1K x 8 EPROM
 U556C - 2K x 8 EPROM
 K565RU3 - 16K x 1 DRAM

Die Bildschirmsteuerung erfolgt über den CRT-Controller KR 580 WS 75. Weitere bipolare und analoge Schaltkreise zur Realisierung logischer Netzwerke und der Interfacesteuerung sind der nachfolgenden Schaltkreiseübersicht zu entnehmen.

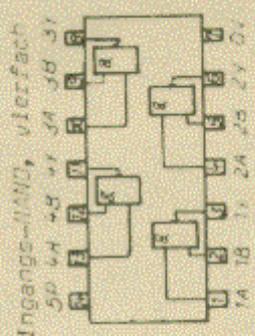
4.1. Schaltkreiseübersicht

allg. Bez.	DDR-Typ	SU-Typ	SW-Typ	NSW-Typ	Funktion
T100	01000	K155LA3	MH7400	SN7400	4 x 2fach-NAND
T103	01030	MH7403	MH7403	SN7403	4x 2fach-NAND o.c.
T104	01040	K155LN1	MH7404	SN7404	6x Inverter
T106			7406PC	SN7406	6x Inverter
T108	01080	K155LI1	7408PC	SN7408	4x 2fach-AND
T130	01300	K155LA2	MH7430	SN7430	1x 8fach-NAND
T151	01510	MH7451	MH7451	SN7451	2x 2fach-AND/NOR
T174	01740	K155TM2	MH7474	SN7474	2x 0-Flipflop
T195	01950	K155IR1	MH7495	SN7495	4bit-SR
M192	01920	K155IE6	MH74192	SN74192	V/R-Dez.-Zähler
M193	01930	K155IE7	MH74193	SN74193	V/R-Binärzähler
M151		K155KP7	MH74151	SN74151	8-Kanal-Multi-plexer
M121	01210	K155AG1	74121PC	SN74121	Monostabiler MV
M123		K155AG3	74123PC	SN74123	2x retiggerb. MV
M153		K155KP2	74153PC	SN74153	2fach 4:1 Multipl.
T200	02000			SN74H00	4x 2fach-NAND
T201	02010			SN74H01	4x 2fach-NAND
T240	02400			SN74H40	2x 4fach-Leitungs-NAND
T251	02510			SN74H51	2x 2fach-AND/NOR
T500	01000			SN74LS00	4x 2fach-NAND
T502	01002			SN74LS02	4x 2fach-NOR
T593	01093			SN74LS93	4bit-Binärzähler
K112				SN74LS112	2x JK-Flipflop
K175	011750	K555TM8		SN74LS175	4x 0-Flipflop getaktet
U205	0582050		MH3205	I 8205	1 aus 8-Binärcoder
U216	058216			I 8216	4fach Bustreiber
U282	0582820			I 8282	8fach-Latch
U286	0582860			I 8286	8fach Bustreiber
P107			75107PC	SN75107	2fach Leitungs-empfänger

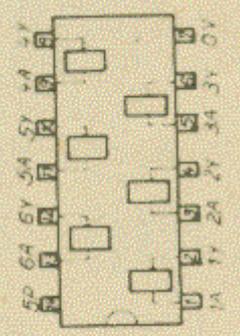
allg. Bez.	DDR-Typ	SU-Typ	SW-Typ	NSW-Typ	Funktion
P150		K170AP2		SN75150	2fach-Leitungstreiber
P154		K170UP2		SN75154	4fach Leitungsempfänger
P450		K155LP7		SN75450	Peripherie-Treib.
T300		K531LA3		SN74500	4x 2fach-NAND
N112		K531TV9		SN745112	2x JK-Flipflop
T374		K531TM2	MH74S74	SN74S74	2x 0-Flipflop
N257		K531KP11		SN74S257	4x 2:1 Selekt./Multipl.
T386		K531LPS		SN74S86	4x Ex-OR
T320			MH74S20	SN74S20	2x 4fach-NAND
T337			MH74S37	SN74S37	4x 2fach-Leitungs-NAND
A3020				TCA345A	Schmitt-Trigger
B6110				TCA311A	Operationsverstärker
B6210				TCA321A	Operationsverstärker
MA7805				7805	Festspannungsstabilisator
MA7812				7812	Festspannungsstabilisator
MAA723H				UA723	Spannungsstabilisator
MAA741C				SN72741	Operationsverstärker
B2600				TDA1060	Schaltnetzteilregler
M81048				CN717	Optokoppler
Q300				Z80-CPU	CPU
Q301				Z80-PIO	PIO
Q304				Z80-SIO/O SIO	SIO
Q302				Z80-CTC	CTC
U555C				2708	1Kx8 EPROM
U556C				2716	2Kx8 EPROM
Q280				MC4116 P-3	16K DRAM
				KR580UG75	CRT-Controller

5. Pin-Belegung der wichtigsten Bauelemente.

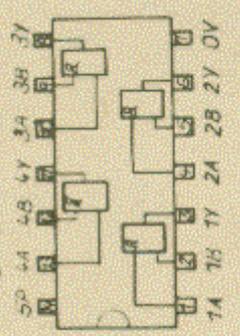
- 0100
- 0200 (offener Kollektor)
- 0201 (offener Kollektor)
- 0103 (offener Kollektor)
- K531LA1 (Schottky)
- 74337 (Schottky-Leistungsgatter)
- 01000 (L-Schottky)



- 0204
- 7406 PC (offener Kollektor)
- Inverter (sechsfach)

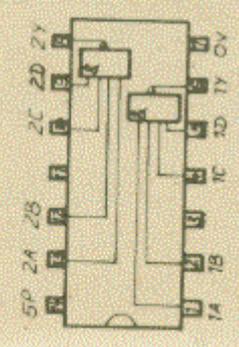


- 0109
- 2-Eingangs-AND, vierfach



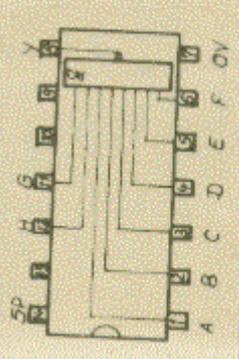
- 0240 (Leistungsgatter)
- MH74S20 (Schottky)

Vier-Eingangs-NAND, zweifach



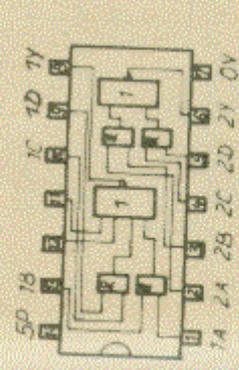
- 0130

Acht-Eingangs-NAND



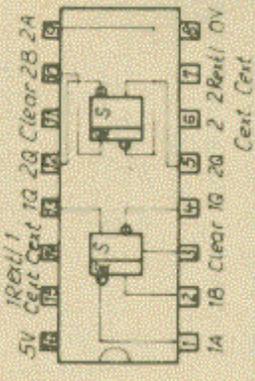
- 0151
- 0251

2x2-Eingangs AND-NOR-Gatter



K155 AG1
DL 123 (L-Schottky)

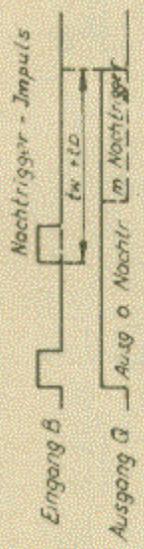
Monostabiler Multivibrator, zweifach, mit Rückstelleingang, retrIGGERBAR



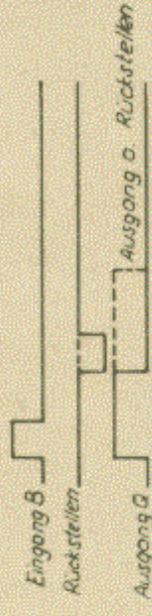
Zwischen Cent und Retrigger/Cent kann ein externer Kondensator angeschlossen werden, wodurch die Länge der Ausgangs-Impulse an Q und Q' beeinflusst werden kann.

AB	QC
WT	LT
LT	AV
VH	VU

Typische Ein- und Ausgangs-Impulse des DL 123

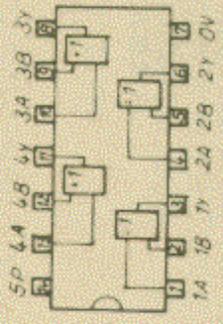


Steuerung des Ausgangs-Impulses durch den NachtrIGGER-Impuls
 tw - normale Wartezeit
 tp - zusätzliche Haltezeit beim Nachtriggern



Steuerung des Ausgangs-Impulses durch den Rückstell-Impuls
 Durch Nachtriggern des Eingangs bevor der Ausgangs-Impuls beendet ist, kann der Ausgangs-Impuls beliebig verlängert werden. Das übergeordnete Rückstellen gestattet es, jeden Ausgangs-Impuls zu einem beliebigen Zeitpunkt zu beenden, unabhängig von den Zeitkomponenten R und C.

K571 LP5 (Schottky)
2 Eingangs-Ekklusiv-00ER, vierfach

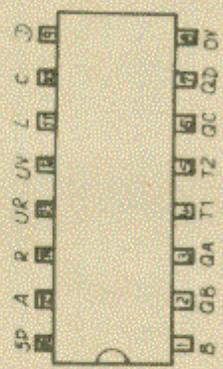


A	B
L	L
L	H
H	L
H	H

O 192 (dezimal)
O 193 (binär)

Synchroner Vor- und Rückwärtszähler

Der O 192 und der O 193 unterscheiden sich nur in ihrem Zählumfang.
 - O 192 zählt bis 9; 10 entspricht 0 mit Übertrag.
 - O 193 zählt bis 15; 16 entspricht 0 mit Übertrag.



Ablaufdiagramm O 192:

Folgende Funktionsabläufe sind dargestellt:

1. Rückstellen auf 0
2. Stellen des Anfangszustandes auf 7
3. Vorwärtszählen auf 8, 9, 0 mit Übertr. 1, 2
4. Rückwärtszählen auf 1, 0, 9 m. Übertr. 9, 8, 7

	0A	0B	0C	0D
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

Rückstellen
Laden

Daten-
Eingänge

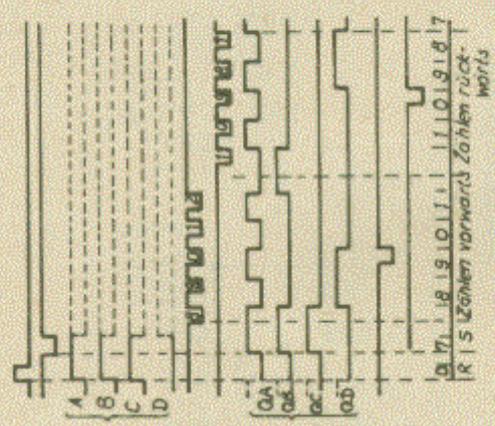
Zählen
vorwärts

Zählen
rückwärts

Daten-
Ausgänge

Übertrag
vorwärts

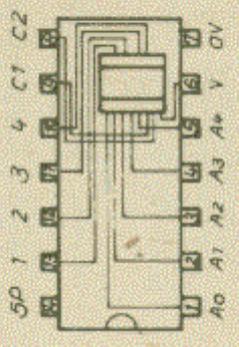
Übertrag
rückwärts



D 195

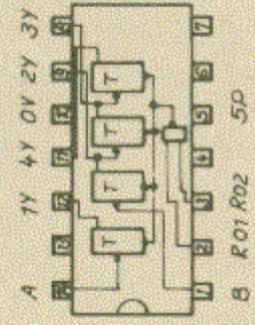
4 bit - Schieberegister

- C1 - Schiebepuls (serielles Rechtsschieben)
- C2 - parallele Übernahme oder serielles Linksschieben
- V - Steuereingang
- A φ - serieller Dateneingang
- A1... - paralleler Dateneingang
- A4 - 1...4 - Datenausgang



DL093 (L-Schottky)

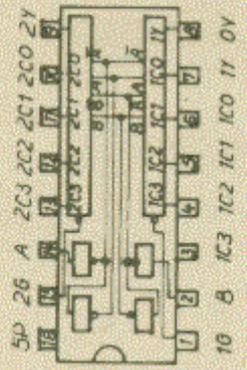
4 bit - Binärzähler



B R01 R02 5p

K 155 KP2

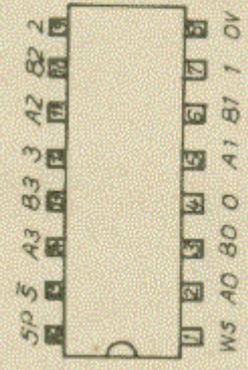
2fach 4:1 Multiplexer



K 531 KP11

4x2 zu 1 Datenselektor/Multiplexer

- A0...A3 Eingänge Wort 1
- B0...B3 Eingänge Wort 2
- WS Wortauswahleingang
- S Strobe bzw. Steuereingang für 3-state Ausgänge
- 0...3 Datenausgänge

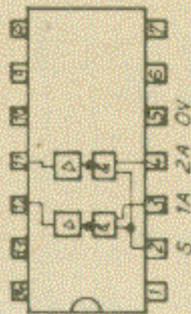


WS	Wort 1 an 0...3	Wort 2 an 0...3
0	X	-
0	1	X
1	X	hochahmig

K 170 AP2

Leistungstreiber der V24 - Schnittstelle

12P 1Y 2Y 5N

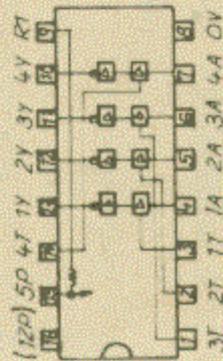


Bei Verwendung des 8 poligen Gehäuses ist der veränderte Anschluß zu beachten (S = 1, ... 12P = 8).

V-AS

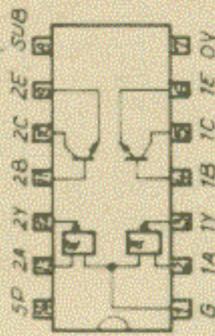
K 170 UP2

Leistungsempfänger der V24-Schnittstelle



K 155 LP7

Leistungstreiber, zweifach

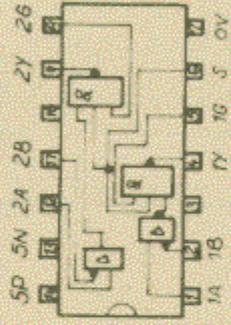


Y = \overline{AG} (nur Gatter)
C = AG (Gatter und Transistor)

75107

Leistungsempfänger und -treiber, zweifach

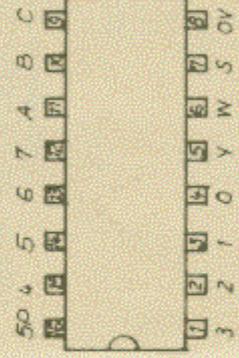
- für die Aufnahme und Verarbeitung von Signalen mit niedrigem Pegel
- Standard TTL-Ausgänge
- Individuelle (Strobe 16 bzw. 26) und gemeinsame (Strobe 5) Steuereingänge



A,B Differenzspanne	G	S	Y
U _{diff} H + 10 mV	H	H	H
-10 mV U _{diff} H + 10 mV	H	H	H
U _{diff} H - 10 mV	H	H	L

K 155 KP7

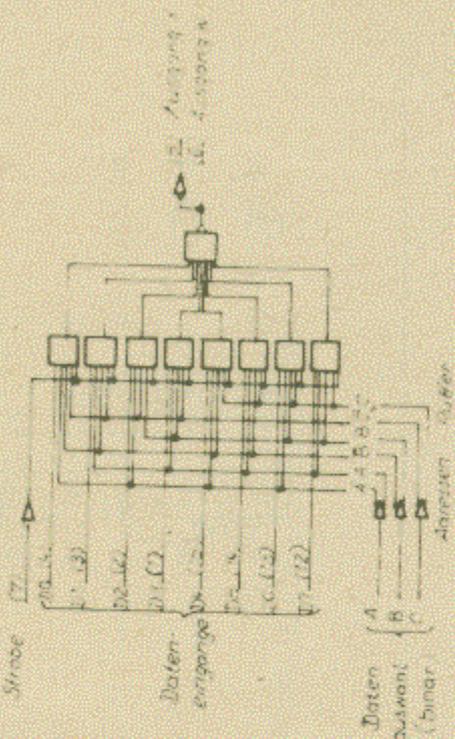
8 Kanal - Datenmultiplexer



0...7 Dateneingänge
Y, W Datenausgänge
A...C Datenauswahl

Funktionstabelle

Eingänge	Ausgänge	Masse
Y	W	Y
0	0	0
1	1	0
2	2	0
3	3	0
4	4	0
5	5	0
6	6	0
7	7	0
8	8	0
9	9	0
10	10	0
11	11	0
12	12	0
13	13	0
14	14	0
15	15	0
16	16	0
17	17	0
18	18	0
19	19	0
20	20	0
21	21	0
22	22	0
23	23	0
24	24	0
25	25	0
26	26	0
27	27	0
28	28	0
29	29	0
30	30	0
31	31	0
32	32	0
33	33	0
34	34	0
35	35	0
36	36	0
37	37	0
38	38	0
39	39	0
40	40	0
41	41	0
42	42	0
43	43	0
44	44	0
45	45	0
46	46	0
47	47	0
48	48	0
49	49	0
50	50	0
51	51	0
52	52	0
53	53	0
54	54	0
55	55	0
56	56	0
57	57	0
58	58	0
59	59	0
60	60	0
61	61	0
62	62	0
63	63	0
64	64	0
65	65	0
66	66	0
67	67	0
68	68	0
69	69	0
70	70	0
71	71	0
72	72	0
73	73	0
74	74	0
75	75	0
76	76	0
77	77	0
78	78	0
79	79	0
80	80	0
81	81	0
82	82	0
83	83	0
84	84	0
85	85	0
86	86	0
87	87	0
88	88	0
89	89	0
90	90	0
91	91	0
92	92	0
93	93	0
94	94	0
95	95	0
96	96	0
97	97	0
98	98	0
99	99	0
100	100	0



DS 8205 (Schottky)

Schneller 1-aus-8 - Dekoder in Schottky - TTL - Technik
 Verwendung: Ein-/Ausgabetauswahlschaltkreis oder Speicher-
 auswahlschaltkreis

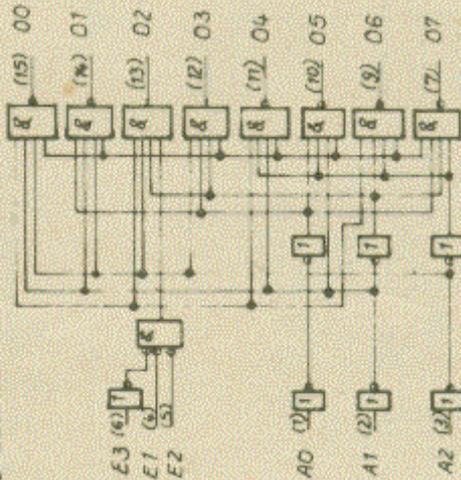


Adresse	Enable	Ausgänge						
A0 A1 A2 E1 E2 E3	0	1	2	3	4	5	6	7
L L L	L	L	H	H	H	H	H	H
L L L	L	L	L	H	H	H	H	H
L L L	L	L	L	L	H	H	H	H
L L L	L	L	L	L	L	H	H	H
L L L	L	L	L	L	L	L	H	H
L L L	L	L	L	L	L	L	L	H
L L L	L	L	L	L	L	L	L	L
L L L	L	L	L	L	L	L	L	L

A0, A1, A2 - Adresseneingänge
 E1, E2, E3 - Bausteinauswahl
 00 bis 07 - Ausgänge

Bei E1=L, E2=L, E3=L, E3=H ist
 der Schaltkreis ausgewählt.
 Davon abweichende Belegungen
 bewirken unabhängig von den
 Adresseneingängen einen H-Pegel
 an allen Ausgängen.

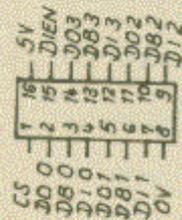
Aufbau des 8205:



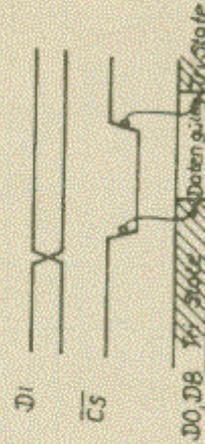
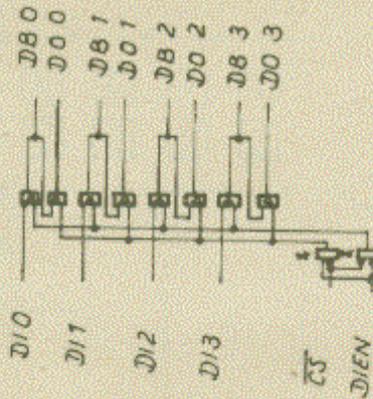
DS 8216

4-bit-bidirektionaler Bustreiber

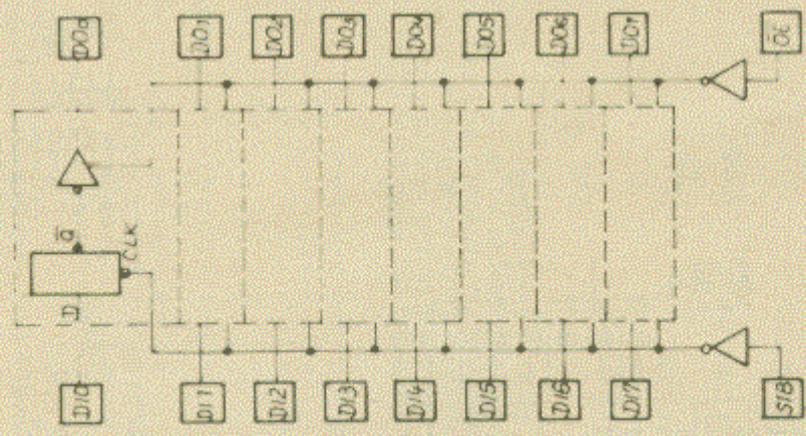
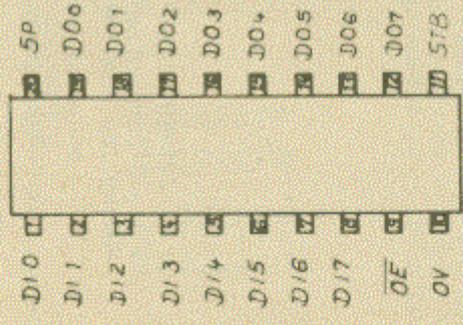
DB0 bis DB3 : 8bitbidirektionaler Daten-
 bus
 DI0 bis DI3 : Dateneingänge
 DO 0 bis DO3: Datenausgänge
 DIEN: Steuerung der Daten-
 flußrichtung
 CS: Bausteinauswahl



Aufbau:

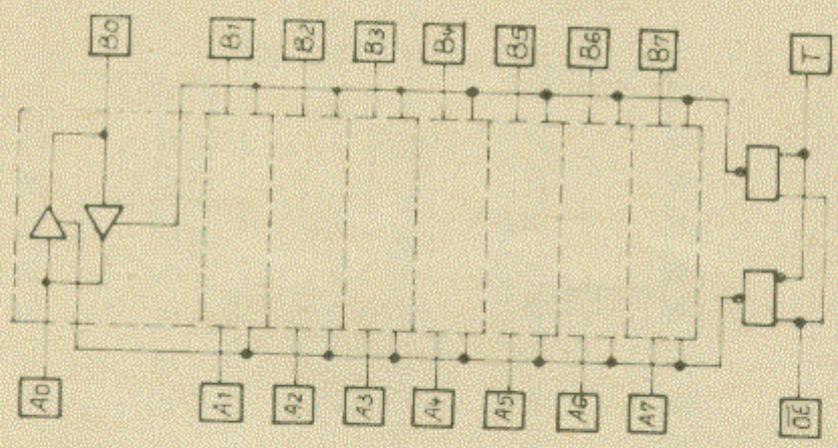
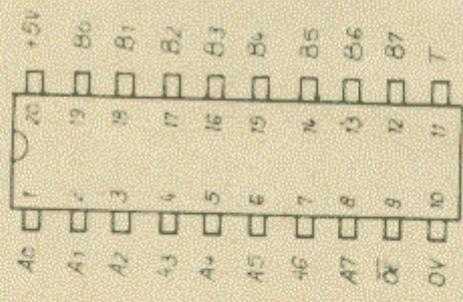


05 9282
8-fach Latch



\overline{OE}	STB	Einspeichern	Ausgänge
H	L	nein	hochohmig
H	H	ja	hochohmig
L	L	nein	aktiv
L	H	ja	aktiv

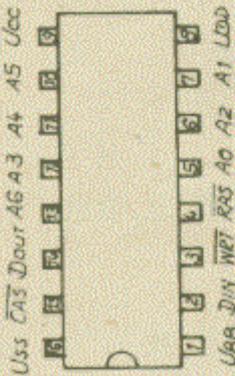
05 9296
8-Direktlinearer 8-bit-Ausstreiber mit 3-States-Ausgängen



T	\overline{OE}	A0...A7	B0...B7
U1H	UIL	Eingang	Ausgang
UIL	UIL	Ausgang	Eingang
X	U1H	hochohmig	hochohmig

K 565 RU3
16K - Dynamischer RAM

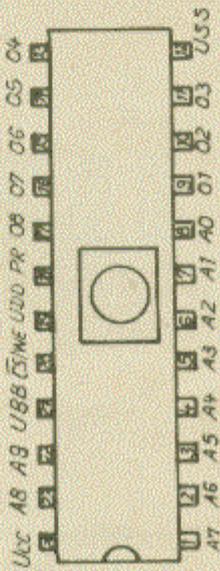
UDD: +12V ± 10%
UCC: +5V ± 10%
UBB: -5V ± 10%



U 555 C

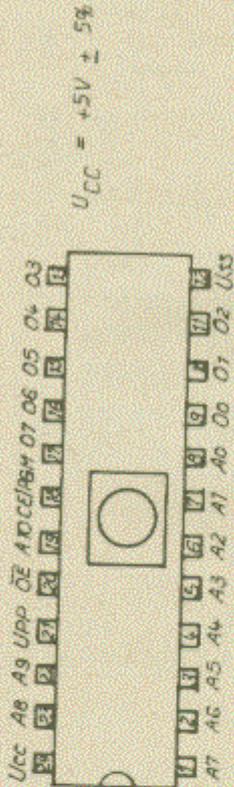
Elektrisch programmierbarer, UV - löscher Festwertspeicher
- Speicherkapazität 8K bit
- Speicherorganisation 1K x 8bit

UDD: +12V ± 5%
UCC: +5V ± 5%
UBB: -5V ± 5%



Anschluß	Daten 1/0 9..11, 13..17	Adressen 1..7, 23, 22	USS 12	Progr. 18	UDD 19	CS/WE 20	UBB 21	UCC 24
Lesen	DOUT	AIN	0V	0V	+12V	UIL	-5V	+5V
Deselektiert	hochohmig	X	0V	0V	+12V	UIH	-5V	+5V
Programmierung	DIN	AIN	0V	gepulste +26V	+12V	UIHW	-5V	+5V

U 556 C
Elektrisch programmierbarer, UV - löscher Festwertspeicher
- Speicherkapazität 16K bit
- Speicherorganisation 2K x 8 bit



UCC = +5V ± 5%

Anschluß	CE/PGM 18	OE 20	Upp 21	UCC 24	Ausgänge 9...11, 13...17
Lesen	UIL	UIL	+5	+5	DOUT
Deselektiert	X	UIH	+5	+5	hochohmig
Powerdown	UIH	X	+5	+5	hochohmig
Programmierung	Impuls von UIL nach UIH	UIH	+25	+5	DIN
Programmierungskontrolle	UIL	UIL	+25	+5	DOUT
Programmieren verhindern	UIL	UIH	+25	+5	hochohmig

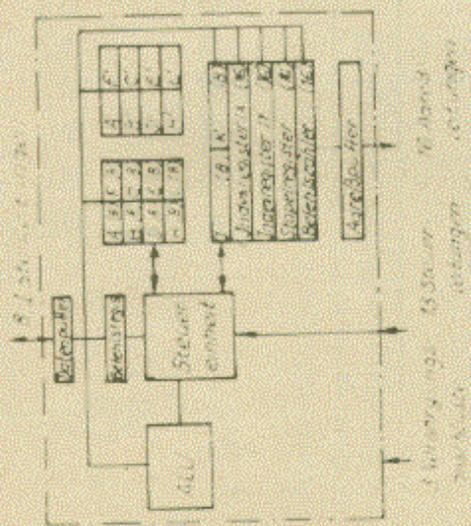


Abbildung 100: U 880-Mikroprozessor

Der U 880 besitzt zwei gleichartige Registerblöcke B, C, D, E, H, L und U, V, W, X, Y, Z, dem je ein Akkumulator A bzw. A' und ein Statusregister F bzw. F' zugeordnet ist. Der 16-Bit-Befehlszähler (Program Counter, PC) enthält die aktuelle Mikroprogrammadresse. Das 16-Bit-Stackeiregister (Stack-Pointer) enthält die aktuelle Adresse für den externen Stapelspeicher (LIFO-organisiert). Die zwei 16-Bit-Indexregister IX und IY enthalten je eine Stammadresse. Eine 8-Bit-Verschiebeadresse (d) gibt den Abstand der aktuellen Adresse von IX bzw. IY an. Das 8-Bit-Speicherauffrischregister (Refresh-Register, R) ermöglicht ohne zusätzlichen Aufwand das Arbeiten mit externen dynamischen Speichern. Das Interruptregister I beinhaltet die höherwertigen 8 Bit der Anfangsadresse einer Interruptroutine. Die niederwertigen 8 Bit werden von der Peripherie geliefert.

folgende Maschinenzyklen werden vom U 880 verwendet:

- Befehlsaufruf M1
- Lesen aus dem Speicher
- Schreiben in den Speicher
- Ausgabe
- Interruptannahme

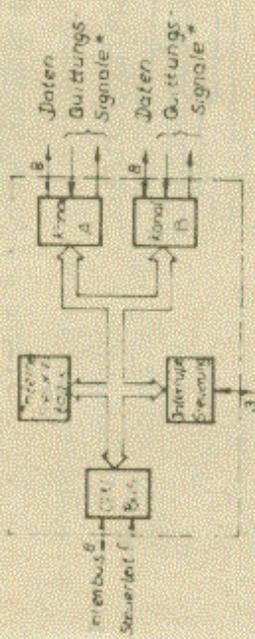
Jeder Mikrobefehl erfordert einen oder mehrere Maschinenzyklen, die ihrerseits aus drei bis sechs Systemtaktten bestehen, zusätzliche Systemtakte (MALT) sind möglich.

Paralleler Ein-/Ausgabebaustein (PIO)

Der durch Software programmierbare parallele Ein-/Ausgabe-Interfacebaustein enthält zwei Kanäle, über die der Datenverkehr zwischen dem U 880 und dem jeweiligen peripheren Gerät abgewickelt wird. Der Datenverkehr zwischen dem PIO und dem externen Gerät wird durch die Signale SRST und READY realisiert, wobei SRST eine Interruptanforderung zur CPU auslöst. Die CPU veranlaßt durch die Interruptanforderung zur CPU auslöst. Die CPU veranlaßt durch die Signale IR und RD den Datentransport von und nach dem PIO. Die automatische Interruptvektorerzeugung und die Prioritätszuweisung sind ohne zusätzlichen Schaltungsaufwand durch entsprechendes Einordnen in der Prioritätskette möglich.

- Jeder Kanal kann für eine der vier Betriebsarten programmiert werden:
- Byte-Ausgabe
- Byte-Eingabe
- Bit-Ein-/Ausgabe (nur Kanal A)

Aufbau und Anschlußbelegung des PIO



Interruptsteuerung

* bei Betriebsart "Bit - Ein/Ausgabe" nicht benutzt

D2	39	33	23
D7	38	32	22
D6	37	31	21
CS	36	30	20
CS SEL	35	29	
BI4 SEL	34	28	
47	33	27	
46	32	26	
45	31	25	
44	30	24	
0v	29	23	
A3	28	22	
A2	27	21	
A1	26	20	
40	25		
39	24		
38	23		
37	22		
36	21		
35	20		
34	19		
33	18		
32	17		
31	16		
30	15		
29	14		
28	13		
27	12		
26	11		
25	10		
24	9		
23	8		
22	7		
21	6		
20	5		
19	4		
18	3		
17	2		
16	1		
15	0		
14			
13			
12			
11			
10			
9			
8			
7			
6			
5			
4			
3			
2			
1			
0			

- D0-07: Datenbus, Tri-State, Datenbus zur CPU, bidirektional
- B/A SEL: Kanalauswahl A oder B
- C/D SEL: Auswahl Steuer- oder Datenwort
- CS: Bausteinaktivierung
- MS: Maschinenzyklus - 1. Signal der CPU
- IORQ: Ein-/Ausgabeanforderung der CPU
- RD: Lesen, Signal von der CPU
- IEI: Interruptfreigabebelegung
- IEO: Interruptfreigabeausgang, IEI und IEO werden zur

- Bildung einer Prioritätskette verwendet
- : Interruptanforderung, Signal zur CPU
 - : Systemtakt des U 880
 - : Ein-/Ausgänge des Kanals A
 - : Ein-/Ausgänge des Kanals B
 - : Steuersignal des externen Gerätes (Kanal A)
 - : Steuersignal des PIO zum externen Gerät (Kanal B)
 - : Steuersignal des externen Gerätes (Kanal B)
 - : Steuersignal des PIO zum externen Gerät (Kanal B)

INT

C

AO-A7

BO-B7

ASTB

ARDY

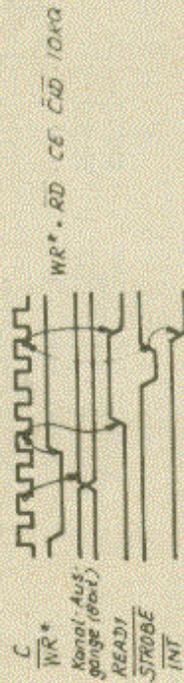
BSTB

BRDY

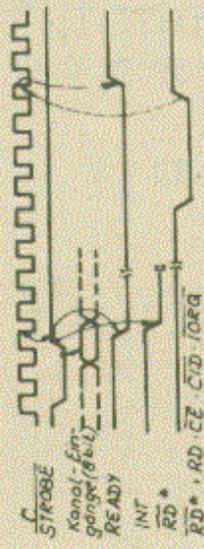
Die Signale A/BSTB und A/BRDY realisieren den Anforderungs- und Quittungsbetrieb beim Datenverkehr zwischen dem PIO und dem externen Gerät.

Folgende Zeitabläufe treten im PIO auf:

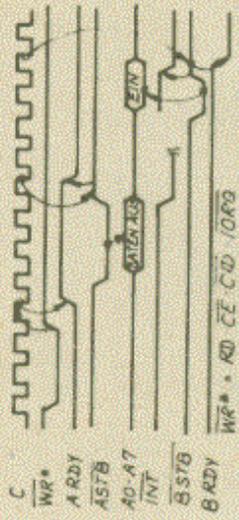
1. Betriebsart Ausgabe



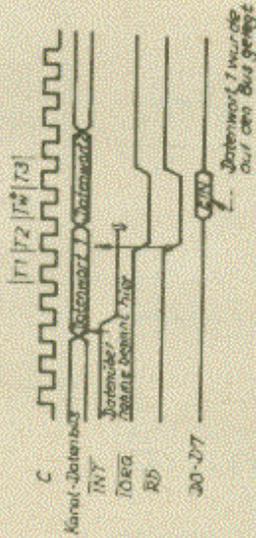
2. Betriebsart Eingabe



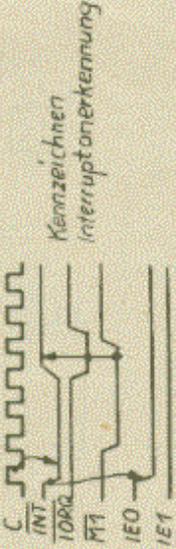
3. Betriebsart Byte - Ein/Ausgänge



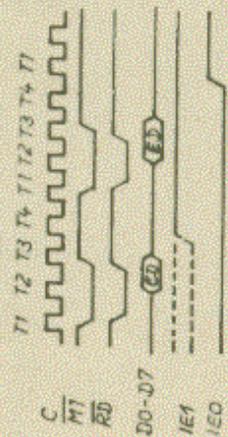
4. Betriebsart Bit - Ein/Ausgabe



5. Interruptanerkennung



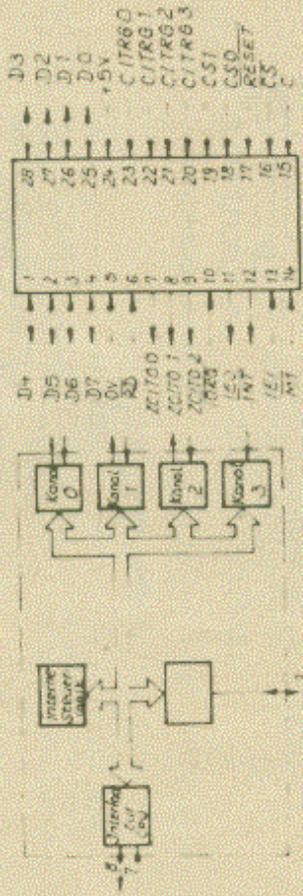
6. Rückkehr vom Interrupt



Zähler-Zeitgeber -Baustein (CIC)

Der CIC ist ein programmierbarer Zähler-Zeitgeber-Baustein. Mit ihm lassen sich beliebige Zeitbedingungen verwirklichen. Er besitzt vier voneinander unabhängige Kanäle. Drei davon können als Zähler-Zeitgeber verwendet werden, der vierte nur als Zähler. Die Prioritätsanordnung des CIC erfolgt durch entsprechende Einordnung in der Prioritätskette. Bei einem beliebig programmierbaren Zähler-Zeitgeber-Zustand kann eine Interruptanmeldung erfolgen, bei Annahme legt der CIC den entsprechenden Interruptvektor auf den Datenbus. In der Betriebsart Zähler kann der aktuelle Zählerstand jederzeit von der CPU gelesen werden. In der Betriebsart Zeitgeber wird der anliegende Systemtakt durch einen Verteiler im Verhältnis 1 zu 16 oder 1 zu 256 geteilt.

Aufbau und Anschlußbelegung des CIC:

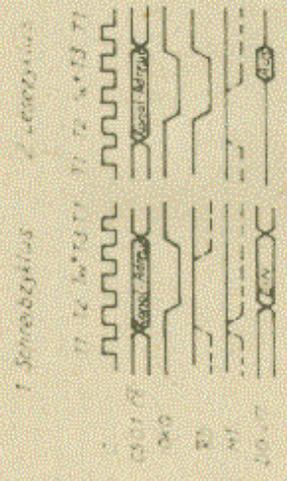


- C/IRG 0: Takt/Trigger für Kanal 0, externer Takteingang für den Zähler bzw. Zeitgeberstarteingang
- C/IRG 1: Takt/Trigger für Kanal 1
- C/IRG 2: Takt/Trigger für Kanal 2
- C/IRG 3: Takt/Trigger für Kanal 3
- ZC/TO 0: Nulldurchgang/Zeitgebermeldung Kanal 0, Nullsignal des Rückwärtszählers bzw. Meldung des Zeitgebers
- ZC/TO 1: Nulldurchgang/Zeitgebermeldung Kanal 1
- ZC/TO 2: Nulldurchgang/Zeitgebermeldung Kanal 2
- CS₀, CS₁: Kanalauswahl, 2-Bit-Adresse
- D0 - D7: Datenbus, Tri-State, bidirektional
- CS: Bauseinaktivierung
- CS₂: Maschinenzklus-1-Signal
- CS₃: Ein- / Ausgabeanforderungssignal der CPU
- LDRO: Lesen, Signal von der CPU
- RD: Interruptfreigabebelegung
- IEI: Interruptfreigabebelegung, IEI und IEO werden zur Bildung einer Prioritätskette verwendet
- IEO: Interruptanforderung, Signal zur CPU
- INT: Interruptanforderung, unterbricht den Zählvorgang aller Kanäle, CIC geht in den inaktiven Zustand, ZC/TO 0 bis ZC/TO 3 und INT werden inaktiv, IEO
- RESET

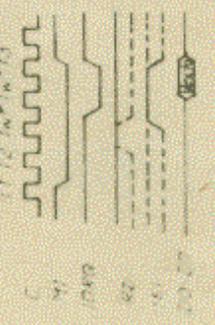
wird gleich IEI gesetzt, alle Ausgänge wieder hochohmig

Systemtakt des U 980

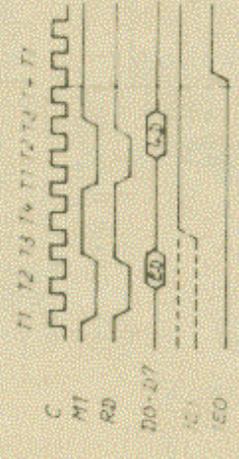
folgende Zeitabläufe können im CIC aufgeführt:



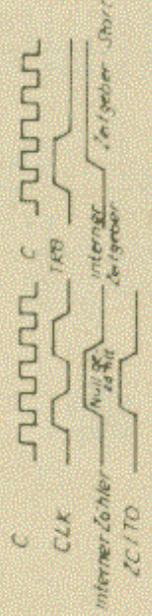
3. Interruptanerkennung



4. Rücksprung vom Interrupt



5. Zähler - Zeitgebervorgang

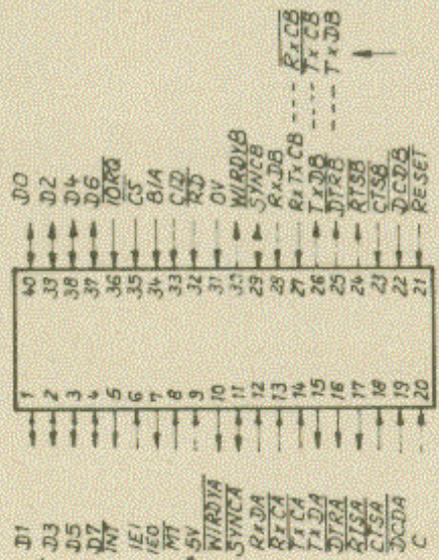
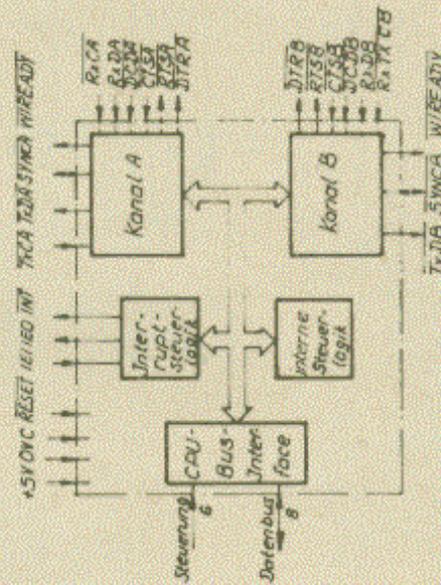


Serieller Ein- / Ausgabebaustein (SIO)

Der SIO ist ein programmierbarer, universell einsetzbarer Interfacebaustein. Er ermöglicht die Umwandlung von parallelem Datenformat in serielles und umgekehrt. Er kann mit asynchroner, oder bitweise synchroner Datenübertragung arbeiten. In der synchronen Betriebsart kann der Baustein zyklische Redundanzprüfsignale (CRC) erzeugen. In der asynchronen Arbeitsweise wird er durch Kommandoworte der CPU jedem asynchronen Format abgepaßt.

Der SIO beinhaltet zwei vollständig übereinstimmende Ein- / Ausgabekanäle, wobei der Datenempfang vierfach und das Senden zweifach gepuffert sind. Die Prioritätswichtung erfolgt durch entsprechendes Einordnen in der Prioritätskette.

Aufbau und Anschlußbelegung:



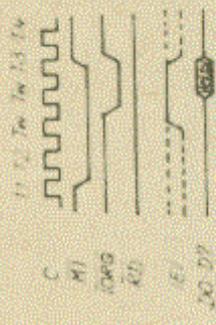
- DO - D7 : Datenbus, Tri-Stats, bidirektional
- B/A : Auswahl Kanal A oder B
- C/D : Auswahl Steuer- oder Datenwort
- CS : Bausteinaktivierung
- MT : Maschinenzyklus-1-Signal der CPU
- IORQ : Lesen, Signal von der CPU
- RD : Interruptfreigabebelegung
- IEI : Interruptfreigabebelegung
- IEO : Rückstufung einer Prioritätskette verwendet zur Bildung einer Sender- und Empfänger, die MODEM-Steuerleitungen werden inaktiv, alle Interrupts sind untersegt. Nach einem RESET müssen alle Steuerregister neu beschreiben werden
- INT : Interruptanforderung, Signal zur CPU
- W / ROYA : Programmierbar als - Gerätschaftsleitungen für den Anschluß von DMA-Steuerungen (READY) - warteleitungen zur Synchronisation der CPU mit der SIO-Datenrate (WAIT)

- CTS, CTSB : Sendefreigabe, ist "automatische Freigabe" programmiert, gibt dieses Signal (CTS = Low) den Sender seines Kanals frei
- DCDA, DCDB : Entspricht den CTS-Eingängen, jedoch wird von DCA der jeweilige Empfänger freigegeben
- RxDA, RxDA : Empfangsdaten
- TxDA, TxD A : Sendedaten
- RxCB, RxCB : Empfängertakte
- TxCB, TxCB : Sendetakte
- RTSA, RTSB : Sendeanforderung, wird durch das Kommandobit Senden, Start und Ende gesteuert
- OTRA, OTRB : Datenterminal bereit, wird durch programmiertes Kommandobit gesteuert
- SYNCA : Externe Zeichensynchronisation, wird nur bei synchronem Betrieb verwendet
- SYNCB : und zeigt dort das Erkennen eines Synchronisationszeichens an. Im asynchronen Betrieb sind es frei verwendbare Eingänge zu den entsprechenden Bits
- C : Systemtakt des U 880

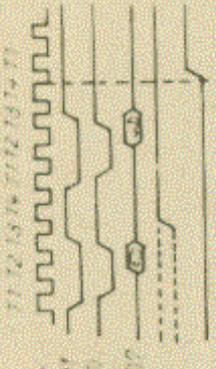
Folgende Zeitabläufe treten im SIO auf:



3. Interruptenerkennung



4. Auslesen von Interrupt



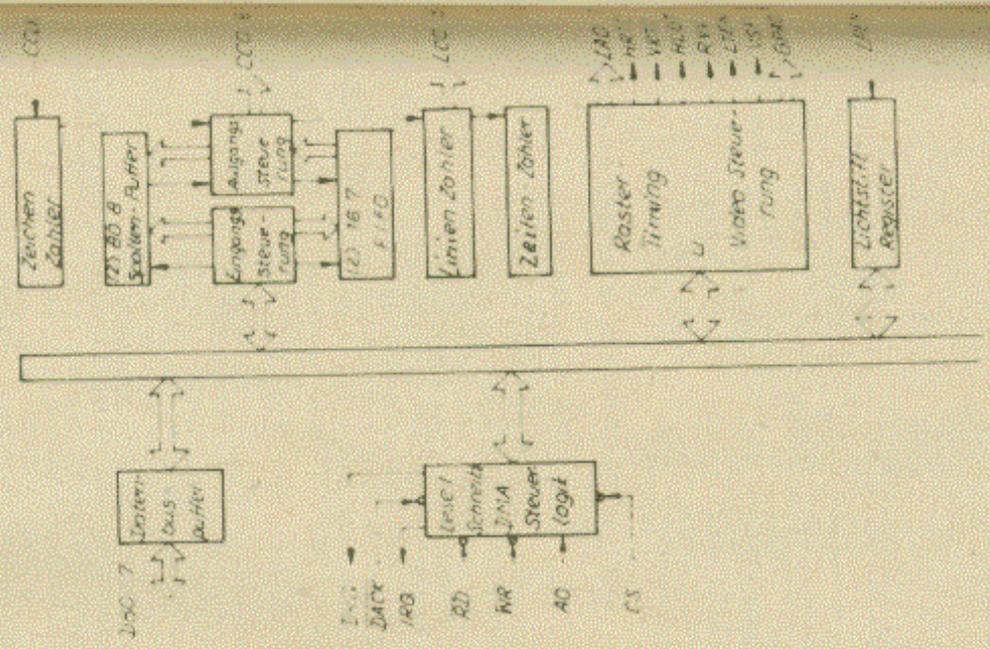
KR 580 WG 75

Programmierbarer CRT-Controller

Anschlußbelegung



Blockschaltplan



Anschlußbeschreibung

Anschluß	LC3	Ausgang
1	LC3	Ausgang
2	LC2	
3	LC1	
4	LCU	
5	DRQ	
5	DRQ	Ausgang
6	BACK	Eingang
7	HRTC	Ausgang
8	VRTC	Ausgang
9	RD	Eingang
10	WR	Eingang
11	LIEN	Eingang
12	DB0	Eingang/ Ausgang
13	DB1	
14	DB2	
15	DB3	
16	DB4	
17	DB5	
18	DB6	
19	DB7	
20	GND	
21	AO	Eingang

Linienzähler, Ausgang des Linienzählers, der zur Adressierung des Zeichengenerators für die Linienposition auf dem Schirm benötigt wird.

DMA-Anforderung, Ausgangssignal zur DMA-Steuerung, um einen DMA-Zyklus anzufordern.

DMA-Anerkennung, Eingangssignal von der DMA-Steuerung, das bestätigt, daß der angeforderte DMA-Zyklus quittiert ist.

Horizontalkücklauf, Ausgangssignal, das während des programmierten Horizontalrücklaufintervalls aktiv ist, während dieser Zeit ist der VSP (Video-Unterdrückung)-Ausgang High und der LIEN (light-enable)-Ausgang Low.

Vertikalkücklauf, Ausgangssignal, das während des programmierten Vertikalrücklaufintervalls aktiv ist, während dieser Zeit ist der VSP-Ausgang High und der LIEN-Ausgang Low.

Leseeingang, Ein Steuersignal, um die Register zu lesen.

Schreibeingang, Ein Steuersignal, um Kommandos in die Steuerregister einzuschreiben oder Daten während eines DMA-Zyklus in die Zeilenpuffer einzutragen.

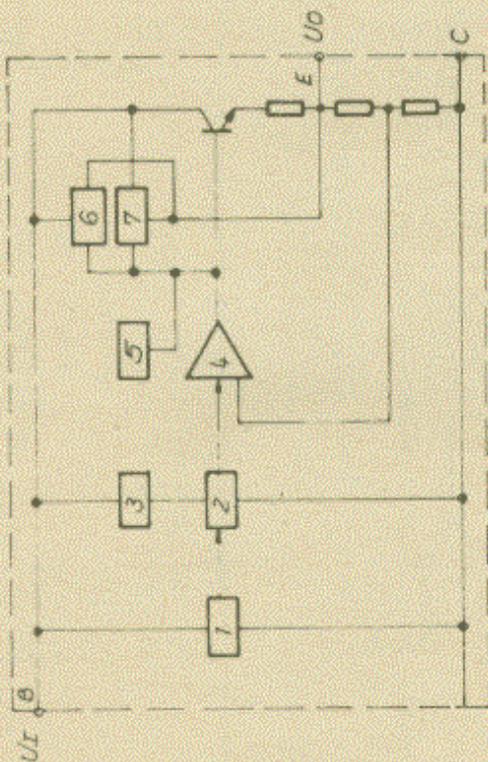
Lichtgriffel, Eingangssignal vom CRT-System, das die Erkennung eines Lichtgriffelsignals anzeigt.

Bidirektionale 3-stufige Datenbusleitungen

Port-Adresse, Ein Eingangs-High an AO selektiert den C-Port oder die Kommando-Register und ein Eingangs-Low selektiert den P-Port oder die Parameterregister.

MA 7805
MA 7812

Integrierte Leistungs - Spannungsregler

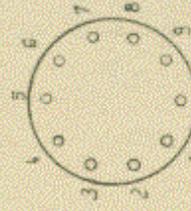


- 1 Startkreis
- 2 Referenzspannung
- 3 Stromquelle
- 4 Fehlerverstärker
- 5 Thermische Abschaltung
- 6 Stromschuttschaltung
- 7 Schutzschaltung gegen Sekundär-
durchbruch

MA 7805: $7V \leq U_I \leq 25V$ $U_O = 5V \pm 0,2V$
 MA 7812: $14,5V \leq U_I \leq 30V$ $U_O = 12V \pm 0,5V$

MAA 723H

Spannungsstabilisator

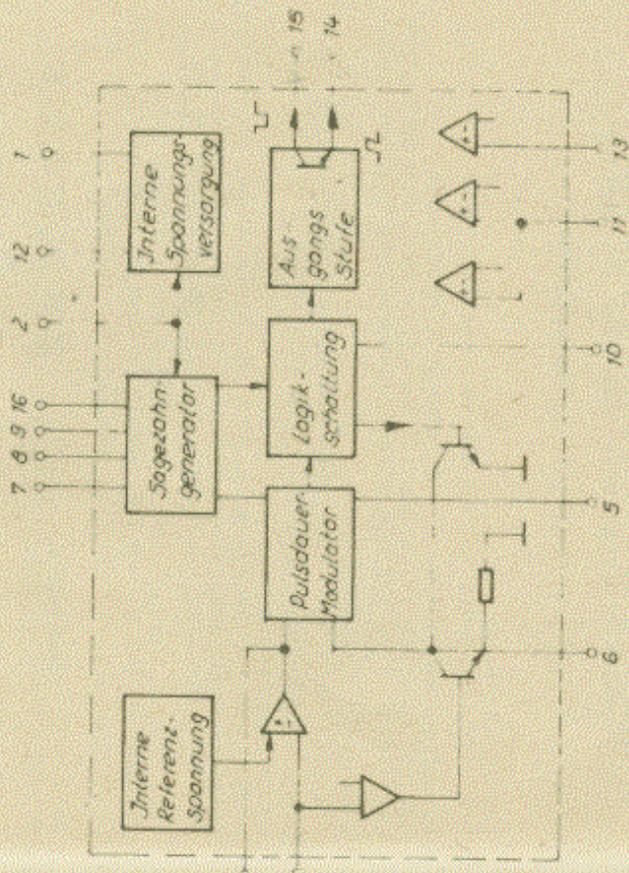
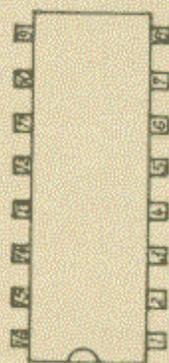


Ansicht von Unten

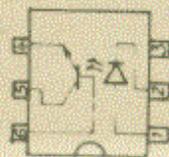
- 1 Strombegrenzung
- 2 Invertierender Eingang
- 3 Nicht invertierender Eingang
- 4 Referenzspannung
- 5 Masse
- 6 Stabilisierte Ausgangsspannung U_2
- 7 Speisung des Ausgangstransistors + U_C
- 8 Nicht stabilisierte Eingangsspannung + U_1
- 9 Frequenzkompensation
- 10 Strombegrenzung

8 260

Ansteuerschaltkreis für Schaltzettel



78 104

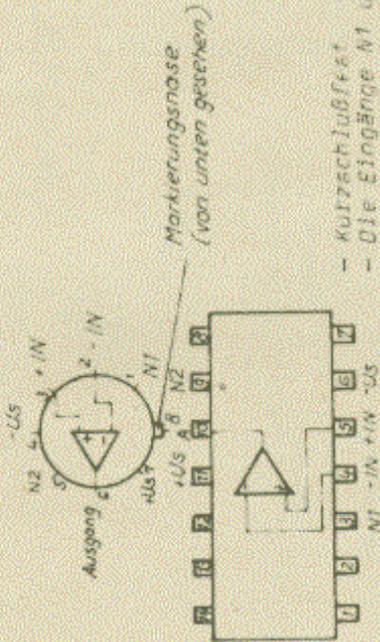


- 1 IRED - Anode
- 2 IRED - Katode
- 3 -
- 4 Fototrans. E
- 5 Fototrans. C
- 6 Fototrans. B

Hochleistungsoperationsverstärker

Verwendet in zwei Ausführungsformen:

- T0 - Gehäuse mit 8 Anschlüssen
- DII - Gehäuse mit 14 Anschlüssen



- Kurzschlußfest
- Die Eingänge M1 und M2 bieten die Möglichkeit zur Kompensation der Offsetspannung
- Keine Frequenzkompensation notwendig

6. Einstellvorschrift

6.1. Einstellungen am Display (7221.20)

6.1.1. Einstellung der Spannung 5P

- Die Spannung 5P ist am Regler R17 der Verteilerplatte einzustellen. Dazu ist es erforderlich, daß bei eingeschaltetem Display zwischen den Meßpunkten X3:1 und X22 (Masse) eine Spannung von $10,7 \text{ V} \pm 0,3$ liegt. Die Einstellung der Spannung 5P kann am X1:2 kontrolliert werden. Sie muß $5 \text{ V} \pm 0,075 \text{ V}$ betragen.

6.1.2. Einstellung der Synchronisation

- Auf der letzten Zeichenposition einer Zeile ist das Zeichen H zu schreiben.
- Helligkeitsregler auf Rechtsanschlag drehen
- Mit dem Regler R1 auf der Verteilerplatte wird die Helligkeit weiter erhöht, bis das Grundrastr sichtbar wird.
- Mit dem Regler R333 auf der Ablenkleiterplatte wird die Zeilensynchronisation so eingestellt, daß der senkrechte Strich des Zeichens H etwa 5 mm vom Grundrastr (Bildmitte) entfernt ist.
- Bringt die Einstellung keinen Erfolg, so ist der R333 in die Mittelstellung zu drehen und mit der Spule Sp301 der 5 mm Abstand einzustellen.
- Der Regler R311 für die Bildsynchronisation wird so eingestellt, daß der Schieberr in der Mitte des Reglerbereiches steht, in dem das Bild noch synchronisiert wird.
- Die Bildhelligkeit ist danach neu einzustellen. (siehe Pkt.6.1.5.).

6.1.3. Einstellung des maximalen Strahlenstromes

- Die Hellkeitsverstärkerplatte wird über das Meßkabel 1.11.017154.0 am Stecker X3 mit dem Digitalvoltmeter verbunden.
- Der Bildschirm wird mit dem Testbild nach Abb. 6 (Punkt 4.3.4.1.) beschrieben.
- Der Helligkeitsregler des Monitors wird auf Rechtsanschlag gedreht.
- Mit dem Regler R1 der Verteilerplatte wird die Helligkeit so eingestellt, daß am Digitalvoltmeter $U = 3,6 \text{ mV}$ angezeigt werden.
- Ist das Grundrastr noch sichtbar, wird mit R1 die Helligkeit weiter verringert, bis das Grundrastr nicht mehr sichtbar ist.

6.1.4. Einstellung der Bildgeometrie

6.1.4.1. Vorbemerkung

Zur erfolgreichen Durchführung der Bildgeometrieinstellung ist es erforderlich, ein Testbild zu erzeugen und dieses mit dem auf dem Bildschirm projizierten Prüflinien (oder einer aufgezichneten (mit Faserstift) Testfigur entsprechend Abb. 1) zu vergleichen.

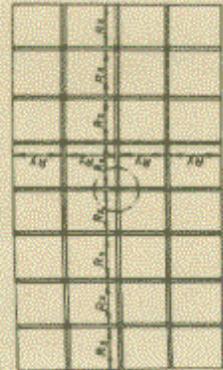


Abb. 1
Testbild

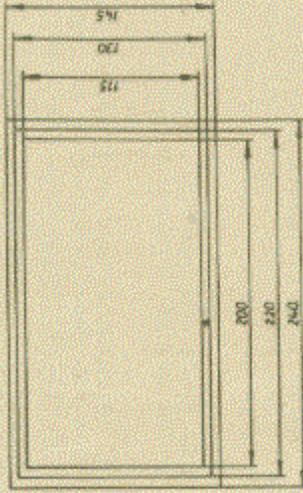


Abb. 2
Testfigur

Die im folgenden beschriebenen Einstellvorgänge beeinflussen sich gegenseitig. Darum ist es notwendig, die Einstellvorgänge solange zu wiederholen, bis die Kriterien Bildbreite, Höhe und Linearität erfüllt sind. Voraussetzung für alle folgenden Einstellschritte ist eine parallele Lage der Zeilen in der Mitte des Testbildes zu den vorgezeichneten Linien der Testfigur. Das ist durch Verdrehen der Ablenkheit auf den Abhrehhals, nachdem die Spanschraube gelockert wurde, zu erreichen. Alle Geometrieinstellungen erfolgen bei maximaler Helligkeit.

6.1.4.2. Einstellung der Bildbreite und der horizontalen Linearität

- Mit Hilfe der Linearitätsspule Sp302 auf der Ablenkleiterplatte wird das Schirmbild so eingestellt, daß die horizontale Abmessung der durch das Gitterraster des Testbildes gebildeten Felder gleichgroß ist (Augenmaß).

- Mit der Spule L1 auf der Verteilerplatte wird die Breite des Schirmbildes auf 220 mm eingestellt.

- Durch gegensätzliche bzw. gemeinsames Verdrehen der Zentrier-
ringe an der Ablenkheit - Verschiebung des Schirmbildes
in die Bildschirmitte.

- Ausmessung der horizontalen Teilungsabstände n mit einem
Stahlmaß (Abb. 1). Als Ergebnis der Einstellung müssen
folgende Maße erreicht werden:

$$B_x = 24,5 \text{ mm} \dots 30 \text{ mm}$$

Anderenfalls müssen die o. g. Einstellungen wiederholt werden.

6.1.4.3. Einstellung der Bildhöhe und der vertikalen Linearität

Zur Einstellung der Bildhöhe und der vertikalen Linearität stehen auf der Ablenkleiterplatte die Regler R317 (Bildhöhe), R319 (Bildlinearität im mittleren und unteren Bildschirmbereich) und R321 (Bildlinearität im oberen Bildschirmbereich) dieser Regler steht normalerweise in der Nähe des rechten Anschlages zur Verfügung. Die Lage der Regler ist den entsprechenden Stromlaufplänen bzw. Plattenlegungen zu entnehmen. Sie beeinflussen sich gegenseitig, so daß die Einstellung der Bildhöhe (130 mm) und die Erfüllung der Linearität abwechselnd erfolgen muß.

Für die vertikalen Teilungsmaße müssen folgende Werte erreicht werden:

$$\text{bei } 1 \times \text{Byte} \quad \text{bei } 2 \times \text{Byte}$$

$$B_y \quad 22,5 \text{ mm} \dots 27,5 \text{ mm} \quad 25 \text{ mm} \dots 30 \text{ mm}$$

6.1.4.4. Korrekter der Bildgeometrie

Liegen die äußeren Bildfeldbegrenzungen des Testbildes durch tonnen- oder kissenförmige Verzerrungen außerhalb des Test-
renzrahmens der Testfigur, ist durch Verdrehen der entsprechenden Magnete auf der Ablenkheit eine Korrektur möglich. Abbildung 3 zeigt den Einfluß der Magnete auf das Schirmbild.

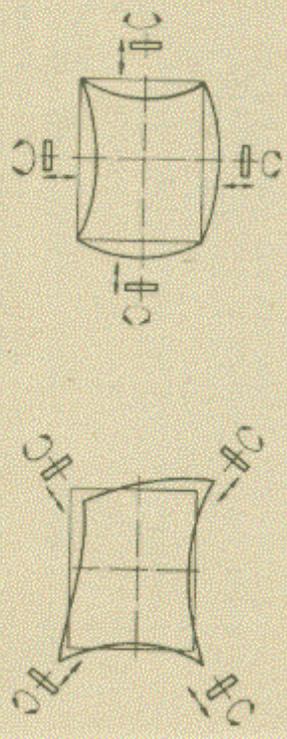


Abb. 3

Einfluß der Korrekturmagnete auf die Bildgeometrie

Hinterrad kann es sich als notwendig erweisen, bestimmte Korrekturmagnete durch stärkere bzw. schwächere zu ersetzen. Es ist deshalb erforderlich, zusätzliche Magnete (1.33.003465.0/00 bzw. 1.33.003466.0/00) bereitzuhalten.

6.1.5. Einstellung der Bildschärfe

Als Kriterium zur Beurteilung der Bildschärfe können folgende Zeichen verwendet werden:

- Zeichenraster 7 x 10: (Kyrill. Zeichensatz)
- Zeichenraster 5 x 8: B, P, Q, G

Diese Zeichen sind vorzugsweise in den Eckbereichen des Bildfeldes, aber auch im mittleren Bereich zu positionieren.

Bei maximaler Helligkeit wird mit dem Regler R16 auf der Verteilerplatte die Bildschärfe eingestellt. Die Schärfe ist ausreichend, wenn an alle Stellen des Bildschirmes eine Fläche von 2 x 2 Bildpunkten innerhalb eines Zeichens noch als Helligkeitsunterschied wahrnehmbar ist.

6.2. Montage und Einstellung des K 5600.10

6.2.1. Montage

- 1x Anlagebolzen 083-2-130-108 in 1x Hülse 083-1-130-109 durch das Loch \varnothing 5 bis zum Anschlag eindrehen; auf vordere henden Gewindeschraube 1x Sechskantmutter M3 002-0-518-101 aufschrauben.
- Hülse mit 2x Zylinderschraube M 2,5x8 002-0-511-159 an den Steg des 1x Chassis 083-4-130-098 anschrauben; auf rechter Seite 1x Scheibe 1,2x2,7x6 002-0-557-157 beilegen.
Die Anlagefläche des Anlagebolzens liegt innerhalb der Führung des Durchbruches im Steg.
- 1x Kabelklemme 083-3-130-092 von hinten in Steg des Chassis einschrauben; Schlitz muß waagrecht stehen.
- 1x Kabelklemme 083-3-130-092 auf Chassisboden zwischen Steg und Schrittmotorbefestigung einschrauben; Schlitz befindet sich in Längsrichtung.
- 1x Kabelklemme 083-3-130-092 in Turm einschrauben; Schlitz in Querrichtung.
- 1x Kugel \varnothing 4,0 000-0-582-005 mit Fett SWB 423 in die Zentrierung der Schnecke des 1x Schrittmotor 083-5-130-003 "einleben". Schrittmotor durch entsprechendes Loch ins Chassis stecken, oben mit 2x Zylinderschraube M 2,5x10 002-0-511-158 und 2x Scheibe 0,5x2,7x5 002-0-556-149 und unten mit 1x Zylinderschraube M 2,5x14 002-0-511-197 und 1x Scheibe 002-0-556-149 anschrauben.

- Maßeinrichtung 470080836130000 auf den Chassis aufsetzen und Anlagebolzen an "eingeklebte" Kugel der Schnecke soweit herandrehen, bis das Axialspiel des Schrittmotors herausgedrückt ist. Danach Anlagebolzen soweit zurückdrehen, daß das Gesamtspiel halbiert wird. Mit Mutter kontorn und verlacken.

- In 1x Kopfschlitten 083-4-130-031 1x Sechskantmutter M 2 002-0-518-124 einlegen und 1x Zylinderschraube M 2x10 002-0-511-143 an der Klemmstelle für den Magnetkopf in diese Sechskantmutter einschrauben.

- 1x Anschlag (Spur 0) 083-1-130-111 mit 1x Scheibe 0,5x2,7x5 002-0-556-149 und 1x Zylinderschraube M 2,5x4 002-0-511-161 an rechte Seite des Kopfschlittens anschrauben.

Beachte: Anschlag muß ganz nach vorn gestellt werden!

- Je 1x Gleitstück 010-3-060-326 auf die beiden Enden der 1x Feder 010-1-060-325 aufstecken; auf den Kopfschlitten 1x Beilage 010-1-060-327 auflegen und mit der Feder zusammen mit 2x Linienschraube M 2x3 002-0-511-126 anschrauben.

- 1x Achse 083-2-130-032 durch die beiden geschlossenen Lager des Kopfschlittens stecken; sie muß beiderseits etwa gleich vorstehen und wird von der Feder geklemmt.

- 1x Achse 083-2-130-033 in offenes Lager des Kopfschlittens stecken und alles zusammen auf die Auflagefläche des Chassis auflegen. Beide Achsen an den Schrittmotor heranschieben und mit 1x Halterung 083-1-130-080 und 2x Zylinderschraube M 3x5 002-0-511-102 an den vorderen Steg des Chassis festschrauben.

- Beide Achsen mit je 1x Klemme 083-1-130-079 und je 1x Zylinderschraube M 3x5 002-0-511-102 an der hinteren Auflage festschrauben.

Beachte: Die Achsen müssen an beiden Flächen der entsprechenden Auflage anliegen. Der Kopfschlitten muß sich jetzt mit einer Kraft von 60 p - 120 p bewegen lassen.

Wird diese Kraft überschritten, dann 2x Scheibe 0,2x2,8x6 002-0-557-148 zwischen Gleitstück und Beilage als Ausgleich legen.

- 1x Spindel 083-5-130-001 mit 3x Senkschraube M 3x6 002-0-514-103 an Chassis anschrauben.

- 1x Antriebsmotor 083-5-130-011 mit 2x Zylinderschraube 002-0-511-169 und 2x Scheibe 002-0-556-003 am Chassis anschrauben. Die Anschlußleitungen des Motors zeigen nach hinten, links.

- Lehre 651080866130000 (zum Ausrichten des Kopfdruckhebels) in Kopfschlitten einsetzen.

- 1x Hebel für Kopfdruck 083-5-130-010 und 1x Blende 083-1-130-084 mit 2x Zylinderschraube M 2,5x4 002-0-511-161 an Kopfschlitten anschrauben und verlacken.
(Blende liegt unter dem Lagerwinkel)

Beachte: Zentrierbutzen der Lehre muß im Loch des Kopfdruckhebels liegen.

- 1x Spule 083-5-130-002 auf 1x Joch 083-1-130-051 auflegen und beides zusammen mit 1x Senkschraube M 3x10 002-0-514-127 an Chassis anschrauben.

Beachte: Joch muß parallel zur Chassisinterkante stehen. Die Spulenananschlüsse zeigen zur Aussparung im Joch.

- 1x Magnetklappe 083-4-130-044 auf Joch auflegen und 1x Klappenhalter 083-1-130-046 mit 1x Ansetzschraube M 3 002-0-515-126 und Scheibe 0,2x4x8 002-0-557-104 an Joch anschrauben.

- 1x Lötösenwinkel 000-0-505-535 mit 1x Zylinderschraube M 3x12 002-0-511-106 an Chassis zwischen Antriebsmotor und Magnet anschrauben.

Beachte: Lötanschlüsse zeigen nach oben und stehen parallel zur Hinterkante des Chassis.

- 4x Sechskantmutter M 2,5 002-0-518-134 in 2x Spannleiste 083-3-130-091 einlegen.

4x Druckfeder 000-0-565-108 in 2x LP-Führung 083-3-130-090 stecken, die Spannleiste auf die LP-Führung legen und mittels Lehre (Klemmvorrichtung für Spannleiste/Führung) zusammenhalten.

4x Senkschraube M 2,5x18 002-0-514-189 von unten durch Chassis stecken und die mit der Lehre gehaltenen felle am Chassis lose anschrauben, Lehre entfernen.

1x Isolierplatte 083-1-130-112 auf Chassis legen - Lage-sicherung an LP-Führung, 1x Antriebssteuerung 083-4-130-096 zwischen LP-Führung und Spannleisten bis zum Anschlag (Schraube von Hülse) schieben und die 4 Senkschrauben fest-schrauben.

- Einstellungen Magnetklappe

- Schenkel des Klappenhalters nach den Einkerbungen so justieren, daß zwischen der Funktionskante des Klappenhalters und der gezogenen Magnetklappe (auf Hohlblet drücken) ein Zwischenraum von 0,9 mm - 0,1 mm vorhanden ist (Lehre 65105 0836130000).

Andruckplatte - Schenkel der Magnetplatte an seiner schwächsten Stelle so justieren, daß bei gezogener Magnetklappe zwischen Andruckklappen und Auflage (Turm) ein Zwischenraum von 1,0 mm ± 0,2 mm vor-handen ist (Lehre 65114 0836130000).

Kopfdruckhebel - Zwischen dem Aufstecker des Kopfen-druckhebels und der Oberkante der An-druckplatte muß bei gezogener Magnet-klappe mind. 0,8 mm (Lehre 65105 0836130000) und in der Grundstellung des Kopfdruckhebels zwischen ihm und

Lehre ausbauen.
- 1x Aufnahme 083-4-130-123 von unten in Kopfdruckhebel eindrücken.

Vorsicht: Kopfdruckhebel dabei nicht verlegen!
- Lehre (zur Einstellung der Kopfhöhe) in Kopfschlitzen ein-setzen.
- Lehre (zur Einstellung der Kopfhöhe) auf Spindel auflegen.

Kopfschlitzen auf Mitte (Spur 20) schieben und mittels Führdraht Abstand zwischen beiden Lehren ausmessen.

Beide Lehren entfernen und das ausgebohrte Maß durch fol-gende Scheißen
083-1-130-115 (0,1x14x16,5)
083-1-130-116 (0,16x14x16,5)
083-1-130-127 (0,5x14x16,5)
083-1-130-117 (0,2x14x16,5) zusammensetzen und in Kopf-schlitzen einlegen.

Einstellung auf Maß 0,2 mm +0,05 mm laut Einstellvorschrift.
- 1x Magnetkopf 083-5-130-013 von oben in den Kopfschlitzen einsetzen.

Beachte: Tunnel zeigt nach rechts und muß mittels Lehre rechtwinklig zur Chassisaußenkante ausgerichtet werden!

Magnetkopf festklemmen.

- 1x Abschirmkappe 083-4-130-119 von unten über Magnetkopf in Kopfschlitzen schieben und Arretiermesen umlegen.

- Zugentlastung in den Kopfschlitzen eindrücken.

- 1x Flachriemen 083-3-130-055 auf Riemenscheibe und Spindel auflegen, Er muß nach beiden Seiten zum Durchbruch Luft haben und darf das Chassis an keiner Stelle berühren.

- Kopfkabel in die 3 Kabelklemmen eindrücken.

Beachte: Kopfkabel muß zwischen Zugentlastung und erster Kabelklemme in großer Schlaufe liegen und darf weder den Kopfschlitzen, die Schnecke, noch den Flachriemen behindern!

- 1x Schalterbefestigung 083-5-130-014 zusammen mit 1x Klein-mikrotaster 000-0-505-193 mittels 2x Senkschraube M 2x10 002-0-514-164 an linke Seite des Chassis anschrauben.

- 1x Lötösenwinkel 083-1-130-043 mit 2x Zylinderschraube M 2,5x6 002-0-511-160 an hinteren Steg des Chassis anschrauben.

- 1x Lötösenwinkel 000-0-505-535 mit 1x Zylinderschraube M 3x6 002-0-511-103 links neben Lötösenwinkel anschrauben. Lötanschlüsse zeigen nach hinten und stehen rechtwinklig zur Mitte des Antriebsmotors.

- In 1x Andruckplatte 083-4-130-126 1x Zugfeder 000-0-562-021 einhängen. Andruckplatte in Führungsschlitze des Lager-winkels einsetzen und zweites Ende der Zugfeder in Lager-winkel einhängen.

dem Magnetkopf mind. 2,5 mm Luft vorhanden sein (Lehre 0836130000). Wird eines dieser Mindestmaße nicht erreicht, ist an dem hochgestellten Arm des Kopfdruckhebels zu justieren. Vorsicht, Bruchgefahr!

1x Indexerkennung 083-5-130-008 auf 1x Führung, links 083-2-130-087 und mit 2x Linsenschraube M 3x6 002-0-511-147 anschrauben.

Beachte: Lötanschlüsse zeigen nach unten, die Diode ist oben. Führung links und 1x Führung, rechts 083-2-130-036 auf Chassis aufsetzen und mit VWP-Spannvorrichtung festklemmen.

Lehre 47001 0836130000 (für Zentrierung der Bolzen des Lagerwinkels) auf Spindel aufsetzen
1x Lagerwinkel 083-5-130-005 auf Führungen aufsetzen und mit 4x Zylinderschraube M 3x6 002-0-511-103 und 4x Scheibe 0,5x3x7 002-0-556-146 anschrauben und verlacken.

Beachte: Die Führungsbolzen des Lagerwinkels müssen in die Löcher der Lehre (Zentrierung). Die Vorderkante der Leiste muß mit der Vorderkante des Chassis annähernd parallel stehen. Es darf weder die Leiste noch die Abstützung seitlich über das Chassis vorstehen.

Lehre Spannvorrichtung entfernen, Führungsleisten mit Lagerwinkel (ab jetzt als Spannvorrichtung bezeichnet) abnehmen und Lehre (Zentrierung) aus Spindel nehmen.

1x Zentrierung, kompl. 083-5-130-007 in Feder und Führungsbolzen des Lagerwinkels einsetzen (bei geschlossenen Klappen).
1x Formkabel 083-4-130-105 aufliegen und an Antriebssteuerung x1 ... x15 anlöten.

Beachte: Erst die ungeraden - dann die geraden Ziffern.

Formkabel der Chassiskontrur (hinterer Steg) durch Biegen an gleichen und an rechter Chassisseite mit 1x Kabelschelle 083-1-130-114 und 1x Zylinderschraube M 3x8 002-0-511-104 festschrauben.

Beachte: Verdrehung der Kabelschelle muß im unteren Loch liegen!

Kabelbaum nach links (von hinten betrachtet) wegbiegen und gesichern.

Schrittmotor anlöten (von unten beginnend).

Anschlüsse der Magnetspule an innere Lötanschlüsse des hinteren Lötösenwinkels anlöten.
Anschlüsse des Antriebsmotors an innere Lötanschlüsse des Lötösenwinkels (vor Antriebsmotor) anlöten.

1x Fotosystem Spur 00 083-5-130-009 mit 1x Scheibe 0,5x3x7 002-0-556-146 und 1x Sechseckmutter M 3 002-0-518-101

an vorstehender Schraube, am Chassis hinten, von unten lose anschrauben. Legesicherung für Formkabel wieder entfernen.
Fototransistor (unten liegend) am Kabelbaum anlöten. Fotosystem einschnellen und mit 1x Zylinderschraube M 2,5x4 002-0-511-161 an Chassis anschrauben.
Mutter festziehen.

Beachte: Am Schraubenkopf muß gegengehalten werden.

Fotodiode am Kabelbaum anlöten

Kabelbaum an Lötösenwinkel für Magnetspule anlöten.

Kabelbaum an Lötösenwinkel für Antriebsmotor anlöten.

1x Scheibe 0,2x2,8x6 002-0-557-149 über das Anschraubloch für die Kugelführung legen.
1x Kugel Ø 3,175 000-0-582-118 in 1x Kugelführung 083-3-130-039 legen und mit einem Streifen Papier in Kugelführung halten. Jetzt Kugelführung drehen, damit Kugel nach unten zeigt und beides zusammen in Kopfschlitzen einlegen. Papier vorsichtig entfernen.

Beachte: Beim Einsetzen der Kugelführung muß der Kopfschlitzen etwa mittig stehen (entspricht der Spur 20) und die beiden Gewindestifte der Kupplungshülse des Schrittmotors müssen nach unten zeigen.

1x Zylinderschraube M 2,5x3 002-0-511-162 durch 1x Gegenfeder 083-1-130-029 und Kugelführung stecken und am Kopfschlitzen anschrauben.
Verlacken.

Beachte: Die Kugelführung darf nicht am Durchbruch des Kopfschlitzens schleifen.

Drähte für Schreibsperr durch Chassis führen und an Kleinmikrotaster an den Punkten 1 und 4 anlöten.

Spannvorrichtung links neben das Chassis um 180° verdreht hinlegen und Zuleitung für Transistor der Indexerkennung anlöten.

Spannvorrichtung auf Chassis aufsetzen und mit 5x Zylinderschraube M 3x14 002-0-511-149 anschrauben.

1x Magnetlager 083-5-130-012 mit je 2x Zylinderschraube M 3x5 002-0-511-102 und Scheibe 0,3x3,2x6 002-0-556-116 am Chassis anschrauben.

1x Auswerfer 083-1-130-061 und 1x Stellstange 083-4-130-070 mit 1x Zylinderschraube M 3x4 002-0-511-101 und 1x Paßscheibe 0,5x3x6 002-0-556-103 zusammenschrauben.

Beachte: Stellstange und Auswerfer auf größtmöglichen Abstand einstellen! Bolzen muß im Langloch liegen.

In Stellstange 1x Zugfeder 000-0-563-101 einhängen.

Auswerfer mit seinem Langloch auf Bolzen des Magnetlagers stecken und mit 1x Sicherungsscheibe 000-0-583-014 sichern.

- Bolzen der Stellstange in offenes Langloch des Hebels auf der Abstützung und Langloch der Stellstange über den Bolzen auf der Abstützung stecken.
- Zweites Ende der Zugfeder im Auswerfer in Federloch der Abstützung einhängen.
- 1x Scheibe 0,8x3x6 002-0-556-195 auf Bolzen über die Stellstange legen.
- 1x Verbindungsstange 083-1-130-074 (mit Magnetkern) und 1x Zugstange 083-4-130-062 mit 1x Zylinderschraube M 2,5x3 002-0-511-162 zusammenschrauben.
- Beachte: Butzen muß im Langloch liegen!
- 1x Übertragungshebel 083-1-130-064 auf Bolzen der Zugstange stecken, 1x Scheibe 0,5x3x6 002-0-556-103 auflegen und mit 1x Sicherungsscheibe 000-0-583-014 sichern.
- Beachte: Wenn die Zugstange zum Körper zeigt, der Bolzen nach oben steht, muß die Kröpfung des Übertragungshebels nach links unten zeigen.
- Magnetkern in Spule des Magnetlegers stecken (Auswerfer in entspannter Stellung), den schmalen Schenkel des Übertragungshebels durch die Gebel des Sperrbügels im Lagerwinkel führen und das breite Teil mit dem Loch auf den Bolzen in der Abstützung stecken und mit 1x Sicherungsscheibe 000-0-583-014 sichern.
- Beachte: Leichtgängigkeit des Gestänges überprüfen!
Max. 0,1 mm Spiel zwischen Übertragungshebel und rechter Sicherungsscheibe.
Im Bedarfsfall Spilausgleich durch Scheiben 002-0-556-439 (0,2 mm) und 002-0-556-103 (0,5 mm) zwischen Stellstange und Übertragungshebel.
- 1x Schalterträger 083-5-130-015 mit je 2x Scheibe 0,5x3,2x7 002-0-556-146 und Zylinderschraube M 3x6 002-0-511-103 an rechter Führungsleiste anschrauben.
- Beachte: Schalterträger ganz nach vorn stellen.
- Anschlußleitungen für Zugmagneten (Verriegelung) an Lötswinkel anlöten.
- Isolierschlauchstück B 3x3, 8x125 on 004-0-131-063 über Anschlußleitung für Schalter "Motor an" schieben (bis zur Abbinndung im Kabelbaum) und auf Magnetlager und Schalterträger in die Kabelklammern drücken.
- Anschlußleitungen am Schalter "Motor an" an den Punkten 1 und 4 anlöten.
- Anschlußleitung an Diode der Indexerkennung anlöten und in hintere Kabelklemme drücken.
- Kopfkabel in vordere Kabelklemme auf Halblech der Indexerkennung drücken und 1x Stange 083-1-130-095 in den Sattel

des Halbleches eindrücken.

- Einstellungen

Auswerfer

- Eine Diskette in Führungsleisten schieben und Klappe schließen.
- Zylinderschraube der Stellstange und des Auswerfers lockern und mittels Schraubendreher den Auswerfer bis an die Diskette heranbringen, Zwischenraum zwischen Diskette und Winkel des Auswerfers 0 mm - 0,2 mm. Schraube festziehen und verlacken.

Zugmagnet (für Verriegelung)

- Zylinderschraube der Verbindungsstange und der Zugstange lockern.
- Zugstange nach hinten drücken, bis der Sperrbügel auf den Schiebern links und rechts aufliegt (bei geschlossener Klappe!).
- Mittels Schraubendreher die Verbindungsstange soweit nach hinten schieben, bis der Magnetkern auf Spulenkern aufliegt.
- Jetzt Verbindungsstange wieder soweit nach vorn schieben, daß der Magnetkern 0,2 mm - 0,5 mm Zwischenraum zum Grund des Spulenkerns hat. Zylinderschraube festschrauben und verlacken.

Schalter "Motor an"

- Die beiden Zylinderschrauben des Schalterträgers lockern und diesen so einstellen, daß zwischen Schaltergehäuse und Betätigungshebel 0,2 mm + 0,1 mm Spiel vorhanden ist. Zylinderschrauben festziehen und verlacken. (Einstellung bei geschlossener Klappe! Anschlußleitung durch die Kabelklemme auf dem Schalterträger straffziehen. Diskette entnehmen.)

- 1x LP Interface-Steuerung 083-6-130-097 mit Lötunkten nach oben mit 1x Zylinderschraube M 3x6 002-0-511-103 vorn und 1x Zylinderschraube M 3x30 002-0-511-146, 1x Scheibe 0,5x3,2x6 002-0-556-146 und 1x Abstandsrohr 083-2-130-095 hinten an Führungsleiste links anschrauben.

Beachte: LP zeigt nach links - Scheibe liegt auf LP auf.

LP Interface-Steuerung, beginnend mit x₁ ... x₂₀, am Formkabel anlöten.

- Kopfkabel an x₂₁ ... x₂₄ der Interface-Steuerung anlöten.
- 2x Isolierschlauchstück B 1,5x2,3x12 bl 008-0-132-002 über Anschlußleitung für 1x LED-Anzeige VDA 13 000-0-177-001 schieben, LED-Anzeige (Anschlußbeine auf 7 mm Länge gekürzt) anlöten und Isolierschlauchstück über Lötstelle schieben, Fassung der Montageeinheit der LED-Anzeige in 1x Frontplatte

- 083-3-130-088 von vorn eindrücken.
Klemming über angelötete LED-Anzeige schieben, diese in Führung von hinten bis Anschlag eindrücken und mit Klemming sichern.
- Frontplatte an Vorderfront des Laufwerkes ansetzen und mit 4x Senkschraube M 2,5x6 802-0-514-167 an Chassis bzw. Führungslisten anschrauben.
- 1x Zylinderschraube M 3x6 002-0-511-103 vorn und 1x Zylinderschraube M 3x30 002-0-511-146, 1x Scheibe 0,5x3,2x6 002-0-556-146 und 1x Abstandsrohr 083-2-130-095 hinten in Führungsliste rechts einschrauben.

6.2.2. Inbetriebnahmevorschrift

- Laufwerk an Prüfgerät anstecken (Inbetriebnahmegerät)
- Inbetriebnahmeleiste einlegen
- Taste SE drücken - Selektodiode leuchtet
- Taste MO drücken - Diskette läuft im Uhrzeigersinn
- Taste HL drücken - Magnet-Kopfdruck zieht und Kopfdruckhebel legt sich auf Diskette auf
- Ausschalten und erneutes Einschalten MO - Anschwenken des Kopfdruckhebels erfolgt verzögert.
- Einstellen des 20 kHz-Taktes: 20 kHz \pm 200 Hz
Messpunkt lö 27
Messmittel: Inbetriebnahmegerät - R 24.1 (Interface-Steuerung)
- Überprüfung Positionierung
Taste SO drücken, Taste ST drücken - Kopfbewegung in Richtung Spindel
Taste SD ungedrückt, Taste ST drücken - Kopfbewegung in Richtung Spindel - Kopfbewegung in Richtung Schrittmotor
Bewegung des Kopfes in Richtung Spur 00 bis T 0 leuchtet, anschließend Positionierung in Spur 20.
- Einstellung der Dauer einer Diskettenumdrehung
Messpunkt: IX am Prüfgerät
Messmittel: Inbetriebnahmegerät - R 13.1 (Antriebssteuerung) mit Kopfdruck (Spur 20): 200 ms \pm 1 ms ohne Kopfdruck (Spur 20): ca. 197 ms
- Überprüfung Aufzeichnen und Wiedergabe
Messpunkt: lö X 26 - Interface-Steuerung
Messmittel: Oszillograph
Es werden Informationen in einer beliebigen Spur aufgezeichnet und diese wieder gelesen.
Aufzeichnen: WE drücken
Lesen: WE ungedrückt
- Einstellen Spaltschraublage
Kopfbefestigungsschraube lockern und Lehre für Kopfeinstellung anbringen.
Einstelldiskette einlegen, Spur 39 (79) lesen
Messpunkt: lö X 26 (Leadsignal)
Messmittel: Oszillograph/Inbetriebnahmegerät

Einstellung: siehe Einstellvorschrift

Nach erfolgter Einstellung Lehre entfernen und Kopfbefestigungsschraube anziehen. Nachmaliges Überprüfen der Impulse.

- Einstellen Spurlage (Katzenauge)
Messpunkt: lö X 26
Messmittel: Oszillograph/Inbetriebnahmegerät
Positionierung in Spur 16 (32)
Einstellung: siehe Einstellvorschrift
- Einstellung Spur 00
Positionierung in Spur 1. Mit der Hand wird die Schnecke eine halbe Spur in Richtung Spur 00 verdreht (Rotor schneppt hen in der gleichen Richtung). Es erfolgt ein weiteres Verdrehen in der gleichen Richtung, jedoch keine volle halbe Spur. Jetzt mit T0 leuchten. Beim Loslassen der Schnecke muß der Motor die Schnecke wieder in die alte Lage zurückziehen und T0 wieder verlöschen. Durch Verstellen des Fotosystems ist die oben beschriebene Einstellung zu gewährleisten.
- Einstellung Endanschlag Spur 00
Positionierung in Spur 00. Der Anschlag am Kopfschlitten wird so verstellt, daß zwischen ihm und der Schneckenlagerung ein Spiel von 0,05 mm vorhanden ist.
(Lehre 65110 0836730000)
- Überprüfung automatisches Positionieren
Durch Betätigung des Schalters "automatische Positionierung" positioniert der Kopf laufend zwischen Spur 00 und 39 hin und her.

6.2.3. Einstellvorschrift

6.2.3.1. Allgemeine Hinweise

Allg. Einstellungen werden bei einer Raumtemperatur von $20 \text{ }^{\circ}\text{C} \pm 5 \text{ }^{\circ}\text{C}$ durchgeführt.
Einstellungen dürfen nur von Technikern vorgenommen werden, die eine entsprechende Befähigung besitzen.
Zur Justage des Kopfdruckhebels und des Zentrier- und Spennmechanismus sind spezielle WVP zu verwenden. Alle anderen mechanischen Einstellungen sind mit herkömmlichen Arbeitsmitteln durchzuführen.

6.2.3.2. Einstellungen und Justagen am mechanischen Laufwerk

6.2.3.2.1. Magnetkopf

Bis zur Einführung einer festen Anordnung des Magnetkopfes am Schlitten im Rahmen einer 5-Montage erfolgt die Höheneinstellung des Kopfes durch Beliegen von Scheiben, 083-1-130-115, -116, -117.

Einstellmaß: 0,2 mm + 0,05 mm (Kopfspiegel über Spindeloberkante) (0 - 0,2 mm)

6.2.3.2.2. Magnetklappe (083-4-130-044)

Schenkel des Klappenhalters (083-1-130-046) so justieren, daß zwischen Funktionskante des Klappenhalters und der gezogenen Magnetklappe ein Spiel von 0,9 mm - 0,1 mm entsteht.
(VWP 65105 0836130000)

6.2.3.2.3. Andruckplatte (083-4-130-028)

Den Schenkel der Magnetklappe (083-4-130-044) an seiner schwächsten Stelle so justieren, daß bei gezogener Magnetklappe zwischen Andruckkissen und Auflage (Turm) ein Spiel von 1,0 mm \pm 0,2 mm vorhanden ist. (VWP 65114 0836130000)

6.2.3.2.4. Kopfdruckhebel (083-5-130-010)

Zwischen dem hochgekröpften Arm des Kopfdruckhebels und der Oberkante der Andruckplatte (083-4-130-028) muß bei gezogener Magnetklappe mind. 0,7 mm Luft vorhanden sein.
In Ruhestellung (bei abgefallenen Magnet) muß zwischen Magnetkopfsiegel und Andruckfilz 2,5 mm Spiel vorhanden sein.
(VWP 65105 0836130000 und 65106 0836130000)
Bei Nichterreichen dieser Mindestwerte ist am Arm des Kopfdruckhebels vorsichtig zu justieren.

6.2.3.2.5. Zentrier- und Spannmechanismus

Lagerwinkel (083-5-130-005) wird mit seinem Führungsboizen mittig über die Spindel positioniert (VWP 47001 0836130000 verwenden).
Der Spindeldruck wird mittels der Exzenter des Lagerwinkels so eingestellt, daß ein Mitnahmemoment zwischen Spindel (083-5-130-001) und der Zentrierung (083-5-130-007) von 0,05 Mn = 0,5 kp/cm entsteht. (Hilfs-VWP mit Federwaage - Spannkraft muß 250 - 400 p betragen)
Die Exzenter sind wechselseitig zu justieren, so daß der Andruck symmetrisch erfolgt.
(Höhendifferenz der Zentrierung am Lagerflansch \pm 0,05 mm)

6.2.3.2.6. Schalter für Antriebsmotor (SMO)

Der Schalter ist so einzustellen, daß bei Arbeitsstellung des Spannmechanismus das Betätigungselement des Schalters sich mit 0,2 mm Luft vor dem Schaltergehäuse befindet.

6.2.3.2.7. Diskettenauswurf

Das Auswerfergestänge (083-1-130-061, -062) ist so einzustellen, daß zwischen der Funktionskante des Auswerfers und dem Mittelpunkt der Spindel (083-5-130-001) sich ein Parallelabstand von 66,7 mm \pm 0,2 mm ergibt (VWL-Diskette verwenden).

6.2.3.2.8. Diskettenverriegelung

Zugstange am Magnetkern und Magnet sind so einzustellen, daß bei eingelegter Diskette - Verriegelung in Arbeitsstellung - und sicherer Sperrung des Speichers der Magnetkern noch einen Weg von 0,2 mm ... 0,5 mm bis zum Anschlag zurücklegen kann.

6.2.3.2.9. Schalter für Schreibschutz (SWP)

Der Mikrotaster wird durch Lösen der Befestigungsschrauben so eingestellt, daß das Betätigungselement des Schalters in der oberen Aussparung der Führungsleiste anstößt, ohne den Schalterknopf des Tasters zu betätigen.
Die Freigängigkeit des Betätigungselementes in der Aussparung der Führungsleiste ist zu kontrollieren.

6.2.3.2.10. Riemen Spannung

Federwaage 500 p mit Fadenschleife ist zwischen Antriebsmotor und Riemenscheibe an der Motorachse einzuhängen. Die Achslast mit 300 p - 50 p betragen, anschließend Zylinderschrauben des Antriebsmotors festziehen.

6.2.3.3. Elektronische Einstellungen

Die elektroglogischen Einstellungen müssen bei Raumtemperatur (20 C \pm 5 C) vorgenommen werden.

Das Inbetriebnahmegerät für MFS K 5600.10 dient hierbei als Simultananschluß zur Steuerung der Interface-Signale.

6.2.3.3.1. Vorbedingungen

- Funktionskontrolle Schalter SMO
- Funktionskontrolle Fotosystem für Indexsignal IX
- Funktionskontrolle Berührungskissen und Kopfdruck HL
- Funktionskontrolle Positionierung ST und SD

6.2.3.3.2. Drehzahleinstellung

Die Einstellung der Drehzahl erfolgt bei eingelegter Diskette und betätigtem Kopfdrucksystem im Bereich der Spur 15 bis Spur 25 mit dem veränderbaren Widerstand R 13.1 auf der Leiterplatte der Antriebssteuerung.

Einstellwert: Drehzahl 300 U/min⁻¹ \pm 1,5 U/min⁻¹ bzw.
Dauer einer Umdrehung 200 ms \pm 1 ms

6.2.3.3.3. Spurlageeinstellung

Die Einstellung der Spurlage erfolgt auf der Spur 16 mit einer

(32)

speziellen Eichdiskette nach dem "Katzenaugenverfahren". Das Verhältnis der beiden "Augen" ist ein Maß für die Genauigkeit der Spurlage und muß nach der Einstellung durch Verdrehen der Positionierschnecke auf der Schrittmotorachse folgenden Bedingungen genügen.

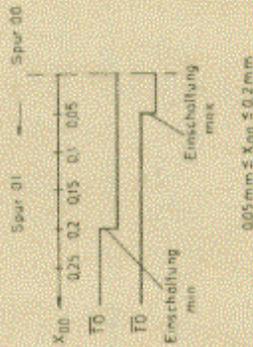
$$0,95 - \frac{A}{B} - 1,04$$



6.2.3.3.4. Einstellung Spur 00

(32)

Nach der Spurlageeinstellung wird der Kopfschlitten 16 Schritte vom Diskettenzentrum weg positioniert. Die dabei erreichte Spurlage 00 wird durch das Signal T0 elektronisch angezeigt. Das zugehörige Fotosystem muß dabei so justiert werden, daß das Signal T0 eine kurze Wegstrecke X₀₀ vor der Spur 00 mit folgender Bedingung erscheint.

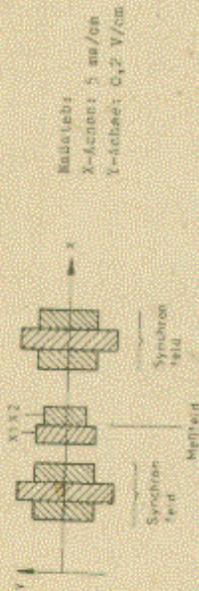


6.2.3.3.5. Kopfspalteneinstellung

Der Winkel des A/W-Spaltens des Magnetkopfes muß bezüglich einer Geraden Spaltmitte - Diskettenmitte in folgendem Bereich liegen:

$$-18' \quad +18'$$

Bis zur Einführung einer festen Anordnung des Magnetkopfes im Schlitten erfolgt die Kopfspaltjustage mit Eichdiskette. Hierzu wird der Kopf in Spur 39 (19) positioniert und das analoge Wiedergabesignal (Interface-Steuerung X26) oszilloskopisch gemessen. Zuvor muß die Regelzeitkonstante des Wiedergabeverstärkers auf der Interface-Steuerung durch Zuschalten eines Elektrolytkondensators 100 µf parallel zu C5.3 geeignet verlängert werden. Folgendes Bild wird prinzipiell sichtbar:



Die Balkenhöhe im Meßfeld gibt dabei Auskunft über die Schräglänge des Kopfspaltes. Zur Justage wird der Magnetkopf solange feinfühlig gedreht, bis das Balkenverhältnis in folgendem Bereich liegt:

$$0,9 < \frac{X1}{X2} < 1,1$$

Hinweis: Bei X1/X2 größer 1 ist der Kopf im Uhrzeigersinn (Sicht von oben auf Magnetkopf) zu drehen.

7. Wartungsvorschrift

7.1. Wartung des Display

7.1.1. Allgemeine Hinweise und Sicherheitsmaßnahmen

Beim Eingreifen in den Display im Wartungs- bzw. Reparaturfall sind folgende Sicherheitsmaßnahmen zu beachten:

Sicherheitsmaßnahmen sind am Display in zweierlei Hinsicht zu beachten:

- Gefährliche Hochspannung bis zu 10 kV im Gerät
- Implosionsgefahr der Bildröhre

Geschlossene Geräte werden gefahrlos betrieben, wobei allerdings Schläge mit harten Gegenständen sowie Kratzer auf der Frontscheibe der Bildröhre ausgeschlossen werden müssen. Die Bildröhre zählt zur Gruppe der implusionsgeschützten Röhren. Bei ordnungsgemäßer Handhabung des Sichtgerätes und der Bildröhre tritt keine Implosion auf.

Bei geöffnetem Gerät sind alle Schlag- und Stoßbelastungen des Bildröhrenhalbes, der Ablenkeinheit und des Videoverstärkers auszuschließen.

Das Betreiben des geöffneten Gerätes durch technisches Personal hat unter Beachtung der vorhandenen Hochspannung zu erfolgen. Es ist zu gewährleisten, daß der Außenbelag der Bildröhre über das Masseband einwandfrei mit der allgemeinen Masse des Display verbunden ist. Messungen der Hochspannung sind nur mit ordnungsgemäßen Hochspannungsmeßgeräten, die einwandfrei geerdet sein müssen, auszuführen. Dabei sind die Bedienungsanleitungen dieser Meßgeräte einzuhalten. Das Abziehen des Anodenanschlusses der Bildröhre darf nur bei ausgeschaltetem Gerät erfolgen. Zwischen Ausschalten des Gerätes und Abziehen des Anodensteckers ist mind. 1 Minute zu warten. Bei Bildröhren, die ausgebaut werden sollen, ist die vollkommene Entladung der Bildröhrenanode herbeizuführen, indem die Anode über einen Widerstand von 1 kOhm für mind. 10 s mit Masse zu verbinden ist.

Bei folgenden Erscheinungen ist der Monitor schnellstens auszuschalten, um Folgefehler zu vermeiden:

- knisternde oder knallartige Hochspannungsüberschläge im Inneren des Monitors
- Zusammenbrechen des Schirmbildes auf einen hellen waagerechten oder senkrechten Strich oder Punkt.

Entsprechend den konkreten Bedingungen am Einsatzort ist mindestens jährlich eine innere Reinigung des Display vorzunehmen. Dabei sind besonders die Isolieroberfläche um den Anodenan-

schluß der Bildröhre und die Überschlagsfunkenstrecke auf der Helltaustärkerplatte zu säubern.

7.2. Wartung der Floppy-Disk-Laufwerke

7.2.1. Allgemeine Hinweise

Die Wartung der FD-Laufwerke ist Bestandteil der vorbeugenden Instandhaltung. Durch planmäßige Überwachung der Einstellwerte und Gerätefunktionen werden Toleranzüberschreitungen, Drifterscheinungen und Funktionsstörungen frühzeitig erkannt und können behoben werden. Alle Wartungsarbeiten an den Laufwerken dürfen nur von Technikern ausgeführt werden, welche eine entsprechende Befähigung besitzen.

Die laufenden Wartungen sind nach dem vorgeschriebenen Wartungszyklus (Tabelle 1) durchzuführen. Die erste Wartung erfolgt generell vorbeugend bei Aufstellung des Gerätes beim Kunden (Arbeitsgang 1, 2, 3).

Kontroll- und Funktionsmaße sind in Tabelle 2 zusammengefaßt. Alle Wartungsarbeiten am mechanischen Laufwerk erfolgen bei abgezogenem Stecker und aufgeklappter Interface-Letterplatte (außer AG 14).

7.2.2. Reinigungs- und Schmierstoffe

Reinigungsmittel:

A Alkohol, 96%ig
oder Freon

FI Fitwasser

Schmiermittel:

SuB423
Schmierfett
SuB 423 Teil 14819/02
oder
äquivalente Schmierstoffe
ausländischer Produktion

Ein Vermischen des Schmiermittels mit anderen äquivalenten Schmierstoffen hat zu unterbleiben. Beim Wechseln der Schmierstoffsorte muß eine gründliche Reinigung der mechanischen Teile vorgenommen werden.

7.2.3. Wartung des mechanischen Laufwerkes

AG Symbol durchzuführende Arbeit Arbeitsmittel
1 A Reinigung des Magnetkopfes Wattlestäbchen

AG	Symbol	durchzuführende Arbeiten	Arbeitsmittel
		Nach Abheben des Andruckhebels ist die Kopffläche mittels eines weichen, fusselfarmen Tuches zu säubern. Anschließend wird die Kopffläche mit einem weichen, fusselfarmen Tuch trocken gerieben und nochmals auf Sauberkeit überprüft. Danach ist der Andruckhebel vorsichtig herabzulassen.	oder weiches, fusselfarmes Tuch
		Achtung! Während der Reinigungsarbeiten darf der Magnetkopf weder mit der bloßen Hand noch mit harten Gegenständen berührt werden.	
2	A	Reinigung der Spindel Reinigung der Andruckfläche und der Zentrierfläche der Antriebs- spindel mittels eines in Alkohol getränkten Tuches.	weiches, fusselfarmes Tuch
3		Reinigung des Andruckfilzes Reinigung des Andruckfilzes mittels eines trockenen weichen Pinsels.	Pinsel
4		Austausch des Filzes Sollte der Filz stark abgenutzt oder ungleichmäßig abgenutzt sein, muß er ausgetauscht werden. Dazu ist der Andruckhebel anzuheben, die Aufnahme kompl. 083-4-130-123 aus dem Andruckhebel herauszudrücken und das neue Teil einzudrücken. Der Andruckhebel ist langsam zurückzulassen. Nach diesem Eingriff ist die Leerespannung zu kontrollieren.	Pinzette Pinsel Klebstoff: Technokol Rapid
5		Reinigung der opt. Signalgeber Beim Reinigen des "Index"- und "Spur 0"-Signalgebers sind die beiden Elemente (Diode, Transistor) mit weichem Pinsel zu säubern bzw. auszublasen.	Pinsel
6	A	Wartung des Diskettenantriebes Nach Abnehmen des Antriebs-	fusselfarmes Tuch, Wattetupfer

AG	Symbol	durchzuführende Arbeiten	Arbeitsmittel
		mens ist die Leichtigängigkeit der Spindel und des Antriebsmotors zu kontrollieren. Die treibende und die getriebene Scheibe des Antriebes sind mittels angefeuchtetem Tuch oder Tupfer zu säubern. Nach Trocknung - Riemen wieder auflegen. Im Bedarfsfall ist auch der Riemen in der oben genannten Art zu reinigen.	
7		Austausch des Riemens Ein stark gedehnter oder beschädigter Riemen ist auszutauschen. Dazu ist das Magnetkopfakabel an dem Diskettenberührungsturm aus der Platinhalterung zu nehmen.	weiches, fusselfarmes Tuch
8	A	Diskettenblockierung Der Kern des Zugmagneten ist mit Alkohol zu reinigen und anschließend zu trocknen.	weiches, fusselfarmes Tuch
9	A	Diskettenführung Die Diskettenführungen sind mit einem angefeuchteten Tuch und geeigneten nichtmetallischen Hilfsmitteln zu reinigen.	weiches, fusselfarmes Tuch
10		Zentrierung 083-5-130-007 Die Funktionsflächen sind auf Beschädigung zu kontrollieren.	
11		Mikrotaster Die Funktion des Mikrotasters ist von Hand zu kontrollieren. Bei Bedarf sind die Schalter auszutauschen.	Federwaage Fühllehre
12		Kontrolle der Funktionsmaße Überprüfung aller in Tabelle 2 zusammengefaßten Maße. Im Bedarfsfalle Neujustage.	Federwaage Fühllehre
13	SW0423	Fetten von Funktionsteilen Alle sich bewegenden mechanischen Teile sind in den Gelenk- und Lagerstellen mit einem Minimum an Fett zu schmieren.	Pinsel fusselfarmes Tuch

AG Symbol durchzuführende Arbeiten Arbeitsmittel

1 Gleitstellen sind vor dem Schmelzen z.B. Wattenstäbchen zu reinigen.

(Entfernen des alten Schmelzstoffes durch angefeuchtete Wattestäbchen oder Leppen).

Achtung!

Alle mechanischen Teile, die beim Einlegen, Betrieb oder Entnahme des Datenträgers von diesem berührt werden können, sind fettfrei zu halten!

14 FI Reinigung der Verkleidung welches Tuch
Verkleidungsblende und Griff-
element sind mit angefeuchtetem
Tuch zu reinigen.

Tabelle 1

Arbeitsgang Wertungsabstände (Std.)

AG 1	x	500	1000	2000	10 000
AG 2...9					
AG 14, 16	x				
AG 10, 12, 13, 17				x	
AG 11					x

Tabelle 2

Kontrollmaße mechan. Funktionsteile

- Andruckkissen - Turm
- Magnetklappe - Klappenhalter
- Magnetkopf - Andruckfließ
- Andruckplatte - Andruckhebel
- Andruckhebel an Kopfspiegel

1,0 + 0,2 mm
0,9 - 0,1 mm
mind. 2,5 mm
mind. 0,7 mm
0,14 N ... 0,17 N

7.2.3. Wartung und Kontrolle der Elektronik

Die Kontrolle elektronischer Einstellwerte erfolgt zyklisch in vorgegebenen Zeitabständen bzw. nach bestimmten mechanischen Wartungsmaßnahmen. Die Wartungszustände sind der Tabelle 1 zu entnehmen. Für die einzelnen Arbeitsgänge zur Wartung und Kontrolle der Elektronik werden folgende Arbeits- und Meßmittel benötigt.

- Arbeits- und Meßmittel
- Einstell-Diskette
- Prüfprogramm

AG Symbol durchzuführende Arbeit Arbeits- und Meßmittel

16 Kontrolle Kopf-Schicht-Kontakt Prüfprogramm

Aufzeichnungen von Flußwechseln mit 8 um Abstand auf Spur 39.
Die differenzierte Wiedergabespannung (Meßpunkt x 25) muß dabei sichtbar Einsattelungen in den Maxima und Minima der Grundwelle aufweisen.

Bemerkung: A 16 folgt nun auf A 4

17 Kontrolle Motordrehzahl Prüfprogramm

Kontrolle der Dauer einer Diskettenumdrehung durch Messen des Abstandes zweier Indexsignale (Buchse am Steuergerät). Gegebenenfalls mit Regler 13.1 (Steckereinheit Antriebssteuerung) auf Nennwert 300 ± 6 1/min nachstellen.

18* Kontrolle Schrittmotortakt

Kontrolle der Taktfrequenz am Meßpunkt x 27. Gegebenenfalls mit Regler 24.1 (Steckereinheit Interface-Steuerung) auf Nennwert $20 \pm 0,2$ kHz nachstellen.

19* Überprüfung der Spurtreue Einstell-Diskette
Die Überprüfung der Spurtreue erfolgt mittels Einstell-Diskette und Oszilloskop

* Überprüfungen nur in Werkstätten

1. Allgemeines

Die Steckeinheit 20-336-0202-5 dient der Ansteuerung von maximal vier Folienspeichern der Typen MF 3200, MF 3400, K 5602.10 und MFS X 5600.10. Dabei können 5 74- und 8"-Disketten in den Aufzeichnungsverfahren FM und MFH bearbeitet werden. Eine gemischte Bestückung und damit Ansteuerung von Folienspeichern ist möglich. Auf der Steckeinheit befinden sich zwei Kabel mit 26poligen Steckverbindern, über die je ein geräteinternes Minifolienspeicherlaufwerk angeschlossen werden kann. Über einen weiteren 39poligen Steckverbinder können noch zwei externe Folienspeicher o. g. Typen angeschlossen werden. Entfallen die zwei internen Laufwerke, können über den 39poligen Steckverbinder maximal vier Folienspeicher gesteuert werden.

2. Schnittstellen

2.1. Schnittstelle zum Rechnerbus

Die Ansteuersteckeinheit für Folienspeicher ist mit der ZRE-SIE über einen 59poligen Steckverbinder direkt verbunden. Über diese Verbindung wird der Datenbus, der Steuerbus (/M1, /IOR0, /RD, /RESET, /WAIT, /INT, /IEI, /IED), der Adressbus, der Lekt, die CS-Signale der PIO's und Register und die Stromversorgung geführt. Da sich die Adressdecodierung auf der ZRE befindet, genügt es, die CS-Signale und die Adressen A80 und A81 zur Adressierung der PIO's und Register zu verwenden.

CS-Signale		A81		A80		IOR	
/PIO CS0	0	0	0	Daten-PIO	Kanal A	Daten	
/PIO CS0	0	0	0	Daten-PIO	Kanal A	Steuerwort	
/PIO CS0	1	0	0	Daten-PIO	Kanal B	Daten	
/PIO CS0	1	1	1	Daten-PIO	Kanal B	Steuerwort	
/PIO CS1	0	0	0	Steuer-PIO	Kanal A	Daten	
/PIO CS1	0	1	1	Steuer-PIO	Kanal A	Steuerwort	
/PIO CS1	1	0	0	Steuer-PIO	Kanal B	Daten	
/PIO CS1	1	1	1	Steuer-PIO	Kanal B	Steuerwort	
/KRFD	X	X	X	SF-Register			

X = beliebige Belegung, Daten-PIO - A7:1, Steuer-PIO - A7:2

2.2. Belegung der PIO's und Register

Die Steuerung der Ansteuerereinheit und der Laufwerke erfolgt durch den Steuer-PIO A7:2 sowie durch das Register A14. Der Daten-PIO A7:1 dient der Pufferung des Datenaustausches zwischen den Folienspeichern und dem Datenspeicher. Die beiden PIO's arbeiten in den Betriebsarten:

Steuer-PID Kanal A - OUTPUT (Mode 0)
 Kanal B - Bit (Mode 3)

Daten-PID Kanal A - OUTPUT (Mode 0)
 Kanal B - INPUT (Mode 1)

Steuer-PID

Anschluß	Signal- bezeichnung	Kurz- bezeichnung	wirkrichtung zeichen	Bedeutung
A0	/WRITE ENABLE	/WE	zum Laufwerk zur internen Steuerung d. u. im Laufwerk frei	/WE=0 gibt Schreib- steuerung auf d. STE STE
A1	/MARK	MK	zur Int. St.	Doppelbedeutung Lesen: (A8:2/23) /MK=0 Markenerken- nung FM u. Synchr.- Byte C2 bei MFM Schreiben: (A8:1/22) /MK=0 Markenschrei- ben FM u. Synchr.- Byte MFM
A2	/FAULT RESET	/FR	z. LW	/FR=0 Rücksetzen des Fehlerbit im Laufwerk
A3	/START	/STR	z. Int. St.	/STR=0 gibt Interne Steuerung d. STE frei
A4	MARK 1	MK 1	z. Int. St.	Doppelbedeutung Lesen: (A1:6/2) /MK1=1 Information ins Schieberegister einlesen /MK1=0 ständig 1 ins Schieberegister einlesen Schreiben: (A8:1/20) /MK1=0 Schreiben Marken FM, Synchr.- Byte u. Daten MFM /MK1=1 Schreiben Daten FM
A5	STEP DIREK- TION o. MARK RESET	SO-MR	z. LW z. Int. St.	Doppelbedeutung für Laufwerk: /SO=0 Schrittlich- tung nach höherer Spur-Nr. /SO=1 Schrittlich. nach niedrigerer Spur-Nr. für Int. Steuerung: (A1:4/13)

An- schluß	Signal- bezeichnung	Kurz- bezeichnung	wirk- richtung	Bedeutung
A6	HEAD LOAD	/HLU	z. LW	/MR=0 Rücksetzen Marken-FF /MR=1 Inaktiv Kopfandruck, /HL=0 Diskette wird gegen Magnetkopf ge- drückt
A7	STEP	/ST	z. LW	Schrittimpuls, Kopfbewegung in die durch SO angegebene Richtung. Jeder Ist-Impuls entspricht einer Spur
A8	INDEX	IX	vom LW	Auswertung d. Index- loches, L-H-Flanke meldet Beginn d. Indexloches.
B0	LAUFWERK BEREIT	/RDYLH	vom LW	/RDYLH=0 signalisiert Bereitschaft des LW zum Lesen oder Schrei- ben
B1	MARKE ERKANNT	MKE	v. Int. St.	MKE=1 Marke erkannt
B2	MODIFIZIERTE FREQUENZMO- DULATION	MFM	z. Int. St.	Aufzeichn.-verfahren MFM=0 FM-Verfahren MFM=1 MFM-Verfahren
B3	PRECOMPEN- SATION	PRE	z. Int. St.	Präkompensation PRE=0 Schreiben ohne Pr. PRE=1 Schreiben mit Pr.
B4	FORMAT	FO	z. Int. St.	Aufzeichnungsformat FO=0 5 1/4"-Diskette FO=1 8"-Diskette
B5	WRITE PROTECT	/WP	v. LW	/WP=0 Schreibschutz auf Diskette
B6	FAULT WRITE	/FW	v. LW	/FW=0 Schreibfehler
B7	TRACK 00	/TO	v. LW	/TO=0 Kopf befindet sich auf Spur 00

Daten-PID (A7:1)

A0 - A7 Schreibdaten (Daten, die auf Diskette geschrieben werden sollen)

geringfügige Drehzahlabweichungen von Laufwerken ausgeglichen werden.



Der Phasenregelkreis besteht aus Phasenvergleich (A1:5/08 und 06), nachgeschaltetem Tiefpaß, einem spannungsgesteuerten Oszillator (A20, V2, A18 und A17/08) und einem Teiler (A1:6/09).

Zwei weitere Teiler (A1:5/09 und A1:5/05) können je nach Wahl von Aufzeichnungsverfahren und -format eingeschaltet werden. Die geteilte Oszillatorfrequenz wird gemeinsam mit dem /RD-Signal, welches mit UV A19/05 auf 500 ns gebracht wurde, dem Phasenvergleich zugeführt. Je nach Frequenz- und Phasenabweichung entsteht eine impulsförmige Fehlerspannung am Phasenvergleich, die durch V1 begrenzt, durch Tiefpaß A18, A20 und C8 geglättet und den Operationsverstärker A20 steuert, dessen Ausgang die steuerbare Konstantstromquelle V2 beeinflusst. Über V2 wird C7 aufgeladen. Die Eingänge des Schaltkreises A19 wirken als Schmitt-Trigger. Erreicht die Ladenspannung des C7 die Einschaltsschwelle, ändert A18/06 von 0 nach 1 und entlädt über A17/08 den Kondensator C7 wieder. In diesem Moment wird A18 wieder umgesteuert und C7 kann erneut aufgeladen werden. In bestimmten Grenzen ist diese Schaltungsanordnung damit in der Lage, eine mit dem READ-Signal phasenstarr verknüpfte Impulsfolge einer bestimmten Frequenz zu liefern. Liegen keine Lesedaten an, so schwingt der Oszillator auf der durch R18 eingestellten Freilauffrequenz von 2 MHz.

3.2. Lesedatenverarbeitung

Die Ansteuersteckeinheit kann unterschiedliche Aufzeichnungsformate bearbeiten, d. h. sie muß Lesedaten unterschiedlicher Frequenz verarbeiten können. Die Oszillatorfrequenz wird über die FF A1:5/09 und A1:5/05 durch die Steuersignale /MFA und /FO auf 1/4, 1/2 oder gar nicht geteilt, je nach ausgewähltem Aufzeichnungsverfahren. Der dritte Teiler A1:6/09 dient zur Teilung der Oszillatorfrequenz für den Phasenregelkreis. Der Teiler wird mit /MF gesperrt. Vom Ausgang des Teilers werden die Signale Lesetakt LT und Zwischentakt ZT abgeleitet. Der Lesetakt kann somit eine Frequenz von 250 kHz, 500 kHz oder 1 MHz besitzen und kennzeichnet immer den Beginn eines halben Bitraums. Der Zwischentakt entspricht einem um 180° verschobenen Lesetakt und markiert die Mitte eines halben Bitraumes (Bitraum = Platz für Daten- plus Taktbit; 1/2 Bitraum = Platz für Daten- oder Taktbit). Die

/ASTB Schiebekette hat Daten vom PIO übernommen

ARDY PIO hat Schreibdaten vom Datenbus übernommen

EC - E7 Lesedaten

/BSTE PIO wird zur Übernahme der Lesedaten aus der Schiebekette aufgefordert

BRDY PIO hält Lesedaten zur Übergabe an Datenbus bereit

Register A14

Eingang	Ausgang	Bedeutung
DB0	/LCK0	Türverriegelung LM0
DB1	/LCK1	Türverriegelung LM1
DB2	/LCK2	Türverriegelung LM2
DB3	/LCK3	Türverriegelung LM3
DB4	/SFO	Selektion LV0
DB5	/LS1	Selektion LV1
DB6	/SF2	Selektion LV2
DB7	/SF3	Selektion LV3

2.3. Schnittstelle zu den Laufwerken

Die Signaleingänge sind entsprechend den technischen Forderungen der anschließbaren Laufwerktypen mit folgender Widerstandskombination beschaltet: 220 Ohm nach Betriebsspannung 5P und 330 Ohm nach 0V. Als Leitungstreiber für die Ausgangssignale /LE, /RD, /SD, /SF, /HL und /FR wird der Schaltkreis 75450 (A15) eingesetzt, der einen Ausgangsstrom von 300 mA ermöglicht. Die Signaleingänge der Laufwerke sind ebenfalls mit der d.g. Widerstandsbeschaltung versehen und benötigen einen 10V-Eingangsetrom von je 24 mA. Da maximal 4 Laufwerke parallel angeschlossen sein können, muß der Leitungstreiber 96 mA liefern können. Für die Signale /SE und /LT wird als Treiber der Schaltkreis DS 9282 D eingesetzt, der 32 mA liefern kann. Dies ist ausreichend, weil jede dieser Leitungen nur ein Laufwerk ansteuert. Die Signale /MD liefern je ein Schmitt-Trigger-Schaltkreise A 320 D, dessen Open-Kollektor-Ausgang mit 60 mA belastbar ist.

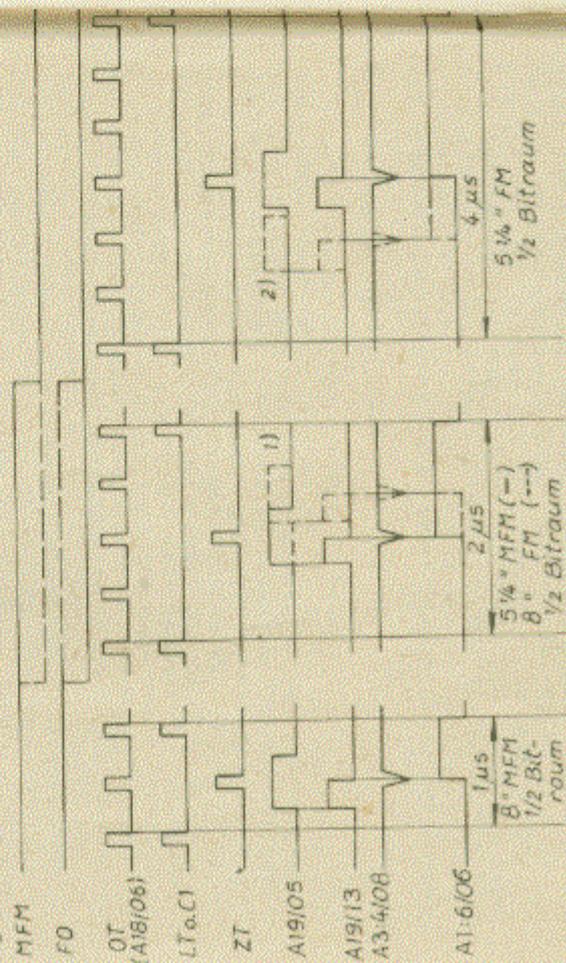
3. Beschreibung der Funktionsgruppen (s. Blockschaltbild)

3.1. Der Phasenregelkreis (PLL)

Der Phasenregelkreis hat die Aufgabe, einen Oszillator in Frequenz und Phase mit einem Eingangssignal zu synchronisieren. Er erzeugt Taktimpulse, die in fester Relation zu den Lesedaten /RD stehen. Damit können Mengzeitschwankungen der Bitabstände infolge von Gleichlaufschwankungen bzw.

durch den Phasenregelkreis (PLL) bewirkten Phasenverhältnisse sind dargestellt, daß der Zwischentakt ZT und das mit UV A19/05 auf 500 ns Impulsbreite gebrochene Lesesignal in Phase sind und jeweils symmetrisch von den Lesetakten bzw. Schiebepulsen C1 eingeschlossen sind. Parallel zum UV A 19/05 wird UV A19/13 angesteuert. Dieser hat eine Haltezeit von 250 ns. Aufgrund der o. g. Phasenverhältnisse markiert also seine Rück-(H-L)-flanke genau die Mitte eines 1/2-Bitraumes, der ein Daten- oder Taktbit enthalten kann. Aus dieser Rückflanke wird mit A9, C6 und A3:4/08 ein ca. 50 ns langer Low-Impuls erzeugt (Voraussetzung: Takt- oder Datenbit vorhanden). Dieser Impuls setzt FF A1:6/06 auf 1 und erzeugt damit ein 1-Signal als Eingang für die Schiebekette A9:2/01. Mit dieser Biterkennungsschaltung ist es möglich, Einzelbits auch mit eventuellen Positionsabweichungen sicher zu erfassen, solange sie sich noch im für sie bestimmten 1/2-Bitraum befinden, d. h. diese Schaltung besitzt eine hohe Lesesicherheit. Der folgende Lese- bzw. Schiebepuls setzt über den Takteingang des FF A1:6 zurück und ermöglicht damit die Erkennung des nächstfolgenden Bits.

Falls die Steuerung /Mk1=0 ist, kann ES nicht abgeschaltet werden und damit wird ständig 1 ins Schieberegister eingelesen.



- 1.) Lesevorgang eines um ca. 400 ns nach der Sollposition einlaufenden Bits (gestrichelt dargestellt).
 - 2.) Lesevorgang eines um ca. 550 ns vor der Sollposition einlaufenden Bits (gestrichelt dargestellt).
- Lesevorgang bei den einzelnen Aufzeichnungsverfahren mit Behandlung von Einzelbitpositionsabweichungen!

3.3. Seriell-Parallel-Umwandlung und Markenerkennung

Die Seriell-Parallel-Umwandlung wird in einem 24-Bit-Schieberegister A9:1 bis A9:6 durchgeführt. Beim Lesevorgang werden die aufbereiteten Lesedaten zum seriellen Eingang A9:2/01 der Schiebekette geführt und mit der HL-Flanke von C1 durchgeschoben. Die Schieberegister sind während des Lesevorgangs über die Steuerleitungen auf seriellen Betrieb geschaltet. Die Ausgänge der Schieberegister sind erstens mit einem rückgekoppelten Festwertspeicher A8:2 verbunden, der zur Markenerkennung dient und zweitens mit dem Kanal B des Daten-PIO A7:1. Die Notwendigkeit einer Markenerkennung ergibt sich aus der Verwendung der Aufzeichnungsformate nach ISO (TC-97) SC-11 Nr. 149 und 347 bzw. KR05 5108 und 5110. Im Kanal B des Daten-PIO werden die Lesedaten zwischengespeichert. Die zeitliche Differenz von vier C1-Takten zwischen der Datenbereitstellung am Lese-ROM A8:2 und am Daten-PIO gibt dem Betriebssystem zusätzliche Zeit zur Markenerkennung. Der C1-Takt ist eine ODER-Funktion aus Lese- und Schreibtakt (LT, SChT). Beim Lesen laufen demzufolge in jedem Bitraum zwei Schiebepulse ab, einer für die Taktinformation und einer für die Dateninformation der Lesedaten des Folienspeichers. Da nur jeder zweite Ausgang der Schiebekette auf die Adreßleitungen des Lese-ROM geschaltet ist, liegt entweder das Taktbyte oder das Datenbyte der geschichteten Takt-Daten-Information als Adresse am ROM an. Die Taktinformation kommt dabei einen C1-Takt früher. Entspricht die ROM-Adresse 0-7 dem Taktteil einer Marke, wird Ausgang 8 mit 1 belegt. Dieses Signal wird als Rückkopplung an den 0-Eingang des FF A1:4/02 geführt. Mit dem nächsten C1-Takt wird der Datenteil der Marke an die Eingänge des ROM gelegt. Gleichzeitig erfolgt die Durchschaltung des FF A1:4/05 und dieser Ausgang liegt als weiterer Eingang am ROM. Damit wird die Speicherzelle angesprochen, deren Inhalt bei Vorliegen der Marke ein 1-Signal auf Ausgang 7 auslöst. Dieses Signal wird anschließend noch mit dem Zwischentakt verknüpft. Der entstandene Impuls setzt das Marken-FF A1:4/09 und zum PIO A7:2/28 kommt die Quittung MKE - Marke erkannt. Die Verknüpfung mit ZT ist notwendig, um Verzögerungszeiten und Einschwingvorgänge an den ROM-Ausgängen auszuschließen. Die Rückführung des Signals /MKE an das Rückkoppel-FF A1:4/01 bewirkt, daß keine weitere Marke erkannt werden kann, solange MKE=1 ist. Welche Marke erkannt wurde, entnimmt das Betriebssystem aus dem Datenbyte, das in dem PIO A7:1 Kanal B eingelesen wurde.

Speicherbelegung des Lesep-ROM A8:2

A9	A8	A7-A0	Speicherinh.	Bedeutung	
0	0	14	80	Taktteil Synchr. C2 - MFM	
0	0	C7	80	Taktteil 10-Mark, Datenmarke, gelöschte Datenmarke	
0	0	D7	80	Taktteil Indexmarke	
0	1	0A	80	Taktteil Synchr. A1 - MFM	
1	0	C2	40	Datenteil Synchr. C2 - MFM	
1	0	F8	40	Datenteil gelöschte Datenmarke	
1	0	FE	40	Datenteil Datenmarke	
1	0	FC	40	Datenteil Indexmarke	
1	0	FE	40	Datenteil 10-Mark	
1	1	A1	40	Datenteil Synchr. A1 - MFM	
alle anderen				00	keine Marke

3.4. Parallel-Seriell-Wandlung

für die eigentliche Parallel-Seriell-Wandlung werden 16 Bit benötigt. Die Bits 17 bis 22 werden für die Schreibpräkompensation und die Auswahl der Taktinformation beim MFM-Verfahren bei Bytewechsel gebraucht. Der Daten-Bit 47:1 stellt ein Byte zur Übernahme ins Schieberegister bereit. Diese Dateninformation liegt gleichfalls am Schreib-ROM A8:1 an. Entsprechend dieser Information stellt der ROM an seinen Ausgängen die dazugehörigen Taktinformationen zur Übernahme ins Schieberegister bereit. Durch die Art der Zusammenschaltung von PIO- und ROM-Ausgängen mit den Parallelschaltungen der Schieberegister erfolgt eine Verschiebung der Daten mit der Taktinformation. Der ROM-Eingang A8 schaltet in Abhängigkeit des letzten Bits des vorangegangenen Bytes die Taktinformation um, da beim MFM-Verfahren dieses Bit bestimmt, wie das erste Bit des nachfolgenden Bytes aufzuzeichnen ist. Während einer ROM-Datenaufzeichnung wird der ROM nicht selektiert, damit hochohmig und ins Schieberegister werden können als Taktbyte übernommen. Die Adreßbelegung des Schreib-ROM ist folgende:

- A0-A7 - zu schreibendes Datenbyte
- A8 - letztes Bit des vorherigen Datenbytes
- A9 - steuert beim MFM-Aufzeichnungsverfahren, ob die Taktinformation für Daten oder für Marken bzw. Synchronisationsbytes an den Ausgängen anliegt.
- 0 = Marken/Synchronbytes 1 = Daten

Die parallele Übernahme der Takt-Dateninformation in das Schieberegister wird durch die Schreibsteuerung realisiert.

3.5. Schreibsteuerung

Es besteht die Forderung, daß die Toleranz der Aufzeichnungsfrequenz 0,5 bzw. 1 % nicht übersteigen darf. Deshalb wird ein quarzgesteuerter Taktgenerator (A4) verwendet. Seine Frequenz beträgt 10 MHz $\pm 0,1$ % und wird über zwei FF (A1:2/09 und 05) und einen Dezimalzähler A6 für die unterschiedlichen Aufzeichnungsverfahren geteilt. Gesteuert werden die FF über die Signale /FO und /MFM, die das Aufzeichnungsverfahren bestimmen. Der Dezimalzähler wird mit $\omega F=1$ freigegeben. Bei Aufzeichnung von Informationen auf magnetische Datenträger entsteht bei hohen Aufzeichnungsdichten der Effekt der Spitzenverschiebung, der zu Fehlern bei der Wiedergabe der Daten führen kann. Die Größe der Spitzenverschiebung ist von der Bitdichte der jeweiligen Spur und der Bitfolge abhängig. Aus diesen Gründen wird beim Aufzeichnungsverfahren MFM eine gegenläufige Verschiebung (Präkompensation) der Schreibimpulse durchgeführt, um die Spitzenverschiebung in gewissen Grenzen auszugleichen. Die auf der Steckeinheit eingesetzte Präkompensationsschaltung führt eine Verschiebung an den Übergängen von max. Bitdichte auf größere Bitabstände und umgekehrt durch.

Aufzeichnungsverfahren	max. Bitdichte	min. Bitabstand	min. Bitdichte	max. Bitabstand	Präkompensation
5 1/4" MFM	4 us	6/8 us	400 ns		
8" MFM	2 us	3/4 us	200 ns		

Das Einschalten der Präkompensation erfolgt bei 8"-Laufwerken (MF 6400) ab Spur 43 und bei 5 1/4"-Laufwerken (MFK 5600) ab Spur 25. Dabei wird über das Signal PAC der Demokodierer A5 aktiviert, welcher die Schreibdaten mit Vorläufer und Nachfolger auswertet. Wird Ausgang 3 aktiv, muß der Schreibimpuls verzögert und bei Ausgang 5=0 verzögert werden. Die Schreibimpulse "SCH" werden im Multiplexer A12 generiert. Die Adreßleitungen A0-A2 werden vom Dezimalzähler A6 bereitgestellt, und stellen eine Taktierung der Dateneingänge 0 bis 7 dar. Die Dateneingänge sind mit den Dateneingängen des Präkompensationskodierers verbunden, wobei Eingang 2=1 keine Verschiebung bedeutet. Mit der LH-Planke des Schreibtaktes /SCH (A12/06) wird das FF A1:3/05 gekloppt und dadurch der Multiplierer gesperrt.

Damit wird die Bildung eines weiteren Schreibimpulses innerhalb eines Zyklus des Zählers A6 verhindert. Sein Ausgang A1=0 (A6/12) hebt die Sperre wieder auf. Der Schreibtakt SCH wird mit dem Ausgang der Schieberegister konjunktiv verknüpft (A1:2/08) und der Ausgang über den Leitungstreiber A15:1 als Schreibdaten /A0 auf das LHM-Interface gelegt (siehe dazu auch Taktogramm "Schreiben mit Präkompensation").

3.6. Synchronisation der Datenübertragung

Der gleiche Impuls, der das FF-MKE einschaltet, setzt den Bitzähler A16 auf den Wert "11". Mit dem vierten Cl-Impuls wird der Übertrag A16/12 des Zählers 0. Zum gleichen Zeit-

punkt liegt das Markenbyte am Daten-PI0 00-07 an. Am Ausgang A3:3/11 entsteht /BS18, das die Übernahme des Markenbytes veranlaßt. Der Zähler und das Schieberegister wird mit C1 weitergeschaltet. Nach 16 Takten entsteht erneut /BS18 und das nächste Datenbyte wird übernommen usw. Während des Schreibvorganges wird C1 durch den Schreibtakt erzeugt. Aller 16 Takte wird analog dem Lesen ein Übertrag erzeugt, zum Zeichen dafür, daß ein Byte auf die Diskette geschrieben wurde. Eine extra Synchronisation des Bitzählers für das Schreiben ist nicht notwendig, da dem Schreibvorgang immer das Lesen eines ID-Feldes vorausgeht. Der Bitzählerübertrag bildet, durch einen Takt des A6 gesteuert, im FF A1:3/09 die Signale /AS18 und V. Das FF wird mit der nächsten Flanke des Schreibtaktes rückgesetzt.

Während des Lesens ist es gesperrt. Mit V=1 und V1=1 schaltet die Schiebekette auf parallele Übernahme und zwischen zwei Schreibtakt /SCHI werden die PIO-Daten durch /SCHI=1 an C2 in die Schieberegister übernommen. Das Betriebssystem und der unmittelbare Datenaustausch mit den Folienspeichern arbeiten in unterschiedlichen Zeitabläufen. Deshalb ist eine Synchronisation zwischen beiden nötig. Hier wird dies über die WAIT-Leitung realisiert. Sie soll aktiviert werden, wenn folgende Bedingungen vorliegen:

1. Durch das Betriebssystem erfolgt ein OUT-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in den PIO übernommen wurde.
2. Durch das Betriebssystem erfolgt ein IN-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in den PIO übernommen wurde.

Die Signale ARDY und BRDY werden durch das Betriebssystem vor Arbeitsbeginn auf High gestellt. Erfolgt ein IN- oder OUT-Befehl (PIO CS0=1, /A61=1) mit den Voraussetzungen STB=1 und /PS=1, schaltet der Ausgang A2/08 auf 0. Damit wird über den Rücksetzeingang des FF A1:1/06=1 und /WAIT wird über A3:1/03, A10:4/02 und A17/02 aktiv. Erfolgt eine Übernahme der Schreibdaten oder eine Übergabe der Lesedaten aus bzw. in den PIO, d. h. der /ASTB bzw. /BS18-Impuls lag an, wird ARDY bzw. BRDY=0, der Ausgang A2/08 damit =1. Mit der nächsten steigenden Flanke des Systemtaktes wird FF A1:1/09 =1. Das hat zur Folge, daß der PIO-Eingang für /IOR aktiviert. Damit beginnt für den PIO der OUT- bzw. IN-Zyklus. Die nächste LH-Flanke des Systemtaktes schaltet FF A1:1/06 auf Low und inaktiviert somit /WAIT. Der OUT- bzw. IN-Zyklus des PIO wird von der CPU-Steuerung durch /IOR =1 beendet. Diese Steuerung gewährleistet durch zusätzliche WAIT-Zyklen, daß dem PIO die für eine ordnungsgemäße Durchschaltung der Daten notwendige /IORQ-Zeit wie bei normalen, ohne zusätzliches WAIT durchgeführten, OUT- und IN-Operationen zur Verfügung steht.

3.7. Motorsteuerung und Kopfandrucksteuerung

Zur Verminderung des Verschleißes der Antriebsmotoren von 5 1/4"-Laufwerken wird eine automatische Steuerung der Motoreinschaltung vorgenommen. Dies geschieht mit den Schmitt-Trigger-Schaltkreisen A13:2 bis A13:5 und ihrer zugehörigen Beschaltung. Wird ein Laufwerk nicht durch A14 selektiert, d. h. /SC=1, ist der zugehörige Kondensator C5:n über A7:n aufgeladen, der nichtnegierende A13:n liefert an seinem Ausgang /MO=1. Wird /SE=0, wird C5:n über V1:n und A6:n entladen und damit /MO=0. Folgt nun eine Deselektion (/SC=1), muß die Zeit vergehen, die erforderlich ist, C5:n über A7:n aufzuladen. Sie beträgt ca. 20 s. Wird ein Laufwerk selektiert, läuft also der Motor sofort an, wird es deselektiert läuft der Motor nach ca. 20 s nach. Hiermit bewirkt man, daß der Laufwerksmotor nur bei Betriebspausen 20 s abgeschaltet wird und damit bei hintereinanderfolgenden Zugriffen in Betrieb bleibt. Unnötige AUS- und EIN-Schaltungen werden vermieden, bei denen jeweils während der Motorhochlaufzeiten von ca. 1 s der Lu-Zugriff gesperrt ist.

Ähnliche Überlegungen liegen der Kopfandrucksteuerung zugrunde. Auch hier werden kurzzeitige Lese- oder Schreibpausen mit einer gleichartigen Schaltung mit A13:1 überbrückt. Die Schaltung realisiert eine Kopfabfallverzögerung von ca. 2 s. Mit dem Gatter A11:2/11 wird ein verzögerungsfreier Kopfabdruck erreicht. Damit das Betriebssystem eine Information über die jeweilige Stellung des Kopfandruckmagneten erhält, ist im Gatter A3:4/06 /RDYL vom Laufwerk mit HL verknüpft. Eine Deselektion eines Laufwerkes beendet Laufwerkintern den Kopfandruck. Aus diesem Grund wird das Kopfandrucksignal HL über A3/4/03 am Selekt-Register A14/09 wirksam und schaltet dieses erst nach beendetem Kopfandruck ab. Dies erfordert aber, daß einem Zugriff auf A14 (OUT-Befehl) ein Kopfladen vorausgehen muß. Die Einführung des Signals /MFM in den Signalweg für /RDYL im Gatter A3:4/11 dient zur Identifikation der Steuereinheit durch das Betriebssystem.

3.8. Prüfschaltung

Über den Schalter S1:1 kann /PS=0 geschaltet werden, womit alle Signalrückführungen auf der STE aufgetrennt werden. Dies ist für eine Prüfung mit Signalanalyse erforderlich. Über die Meßpunkte 1 und 2 bzw. 4 und 6 ist eine externe Taktierung des Quarzgenerators und des PLL-Oszillators möglich. Die Rückkopplung zwischen FF A1:4/05 und dem Lese-RAM ist über den Schalter S1:2 auftrennbar. Damit kann auch im Prüffall eine Marke erkannt und das Lesen eingeleitet werden. Im normalen Betriebsfall muß S1:1 geöffnet und S1:2 geschlossen sein.

robotron

VEB Robotron
Büromaschinenwerk Sömmerich
DDR - 1023 Bismarck
Werkzeug-Strahl 52

robotron

Robotron Export-Import

Vollagentur
Außenhandelsbetrieb der
Deutschen Demokratischen
Republik
DDR - 108 Berlin
Friedrichshofs 01

AG 25