

Robotron Bucromaschinenwerk AG
Soemmerda

Wissenschaftl. Strasse 52

Soemmerda
DDR - 5230

1934589022/1011

ANWENDUNGSBESCHREIBUNG

zum Adapter

fuer serielle und parallele Kommunikation

I/O-Adapter

F.O. 1835

Quelle:

Stadtarchiv
Soemmerda

Bestand: BWS

Technische Beschreibung

Inhaltsverzeichnis

1.	Kurzcharakteristik
2.	Technische Daten und konstruktive Beschreibung
2.1.	Bauelementebasis
2.2.	Konstruktive Beschreibung
2.3.	Anschlussbedingungen
2.4.	Systembus-Anschluss
2.4.1.	Schnittstellenanschluss
2.4.2.	Funktionsbeschreibung
3.	Einführung
3.1.	Schaltereinrichtung fuer E/A-Adressen, Interruptleitungen
3.2.	Serieller Teil des Adapter
3.3.	Allgemeine Eigenschaften
3.3.1.	Betriebsarten
3.3.2.	Interrupts
3.3.3.	Datenformat
3.3.4.	Interface IFSS
3.3.5.	Verbindungsleitungen
3.3.5.1.	Loetdruecken fuer die Arbeitsweisen
3.3.5.2.	Beispiele fuer Stromschleifen
3.3.5.3.	Funktionsbeschreibung des 8250
3.3.6.	Pinbelegung des 8250
3.3.6.1.	Spannungsaustauschinformationen
3.3.6.2.	Programmierung des 8250
3.3.6.3.	Registeruebersicht
3.3.6.3.1.	Parallel-Schnittstelle (Drucker)
3.4.	Schnittstellen-Signale
3.4.1.	Registerbeschreibung
3.4.2.	Registerbeschreibung

1. Kurzcharakteristik

Der Adapter realisiert eine parallele Schnittstelle (Centronics-Interface) und zwei serielle Schnittstellen nach V.24. Eine der beiden Schnittstellen ermöglicht die serielle Uebertragung nach V.24 oder IFSS.

Die auf der Steckerseite installierten Schalter ermöglichen fuer alle Schnittstellen die Auswahl unterschiedlicher Basisadressen und Interruptleitungen.

Die Verbindung zum Systembus (Stromversorgung, Steuersignale, und Daten) erfolgt ueber eine 62-poligen direkten Steckerbinder (X1).

Die Realisierung des parallelen Interface erfolgt durch eine 25-polige Buchsenleiste (X2).

Fuer die beiden seriellen Interface sind zwei Varianten vorgesehen:

- ein Kanal (V.24), wird ueber eine 9 polige Steckerleiste (X3) realisiert.

- ein weiterer Schnittstelle (V.24 oder IFSS) wird ueber einen Adapterwinkel durch einen 25-poligen Stecker in gemischter Beleugung (V.24 + IFSS) nach aussen gefuehrt.

2. Technische Daten und konstruktive Beschreibung

2.1. Technische Daten

Abmessungen: 106mm x 337mm

Steckerbinder:

Systembus: X1 = 62-poliger direkter Steckerbinder
212-62 EBS-60 4006/01-2-V

- Parallele Schnittstelle: X2 = 25 polige Buchsenleiste
203-25 EBS-60 4006/01-2-V

- Serielle Schnittstelle: X3 = 9 polige Steckerleiste
101-09 EBS-60 4006/01-2-V

- Serielle Schnittstelle X4 = 26-polige Steckerleiste
V.24 oder IFSS 102-26 EBS-60 4006/01-2-V

Adapterwinkel: 25 polige Steckerleiste
123-25 EBS-60 4006/01-2-V

Stromversorgung:

SP = +5V	0,65 A
12P = +12V	0,03 A
12N = -12V	0,03 A
5N = -5V	keine Stromaufnahme

Serielle Schnittstelle S2 (V.24):

- TGL 29077/01, 02
- Signalpegel: 'EIN' = >+3V (+3V ... +12V)
'AUS' = <-3V (-3V ... -12V)
- Uebertragungsrates: max. 9600 Baud
- Kabellaenge max. 15 m
- Schnittstellenleitungen: 101, 102, 103, 104, 105, 106, 107, 108, 109, 125
- Pegelwandlung: 75150 (Sender), 75154 (Empfaenger)
- Asynchronbetrieb

Serielle Schnittstelle IFSS:

- TGL 42886
- 20 mA-Stromschleife
- Signalpegel: "1" = 15 ... 25mA (High-Pegel)
"0" = 0 ... 3mA (Low-Pegel)
- Optokopler beidseitig (jedoch galvanische Trennung nur beim Passiv-Mode des Senders und Empfaengers, wobei zu beachten ist, dass die standardmaessig geforderten 4 mm Luft- und Kriechstrecke auf Grund des gemischt belegten Steckerbinders fuer IFSS und V.24 nicht eingehalten werden koennen.
- Uebertragungsrates max. 9600 Baud
- Kabellaenge max. 500 m
- Schnittstellenleitungen: SD+, SD-, ED+, ED-
- Aktiv- oder Passiv-Mode fuer Sender und Empfaenger
- Asynchronbetrieb

Parallele Schnittstelle Centronics:

- Lastverhaeltnisse der Interface-Signale
- Ausgangsator (und Eingabator) der 8 Datenbits.

max. Ausgangsbelastung:
- IOH = 2,6mA (bei 2,4V)
- IOL = 12mA (bei 0,4V)

Das Eingabator ist fuer das Interface selbst uninteressant und kann in Erkennungs- und Selbsttestroutinen benutzt werden.
Eingabator fuer 5 Statusleitungen.

max. Eingangslast:
- IIL = 1,5mA (bei 0,4V, einschliesslich Pull-Up-Widerstand 4,7kOhm)

Ausgabebitor (und Eingabebitor) fuer 4 Steuerleitungen.

max. Ausgangsbelastung:
- I_{OH} = 0,5mA (bei 2,4V), open collector mit Pull-Up-Wider-
stand 4,7kOhm)
I_{OL} = 15mA (bei 0,4V)

Das Eingabebitor kann fuer Erkennungs- und Selbsttestroutinen benutzt werden, oder fuer Spezialanwendungen als reines Ein-
gabebitor, wenn die Ausgabebitorungen auf high geschaltet sind
(open collector).

2.2. Bauelementebasis

Auf der Leiterplatte sind im wesentlichen folgende Bauelemente eingesetzt:

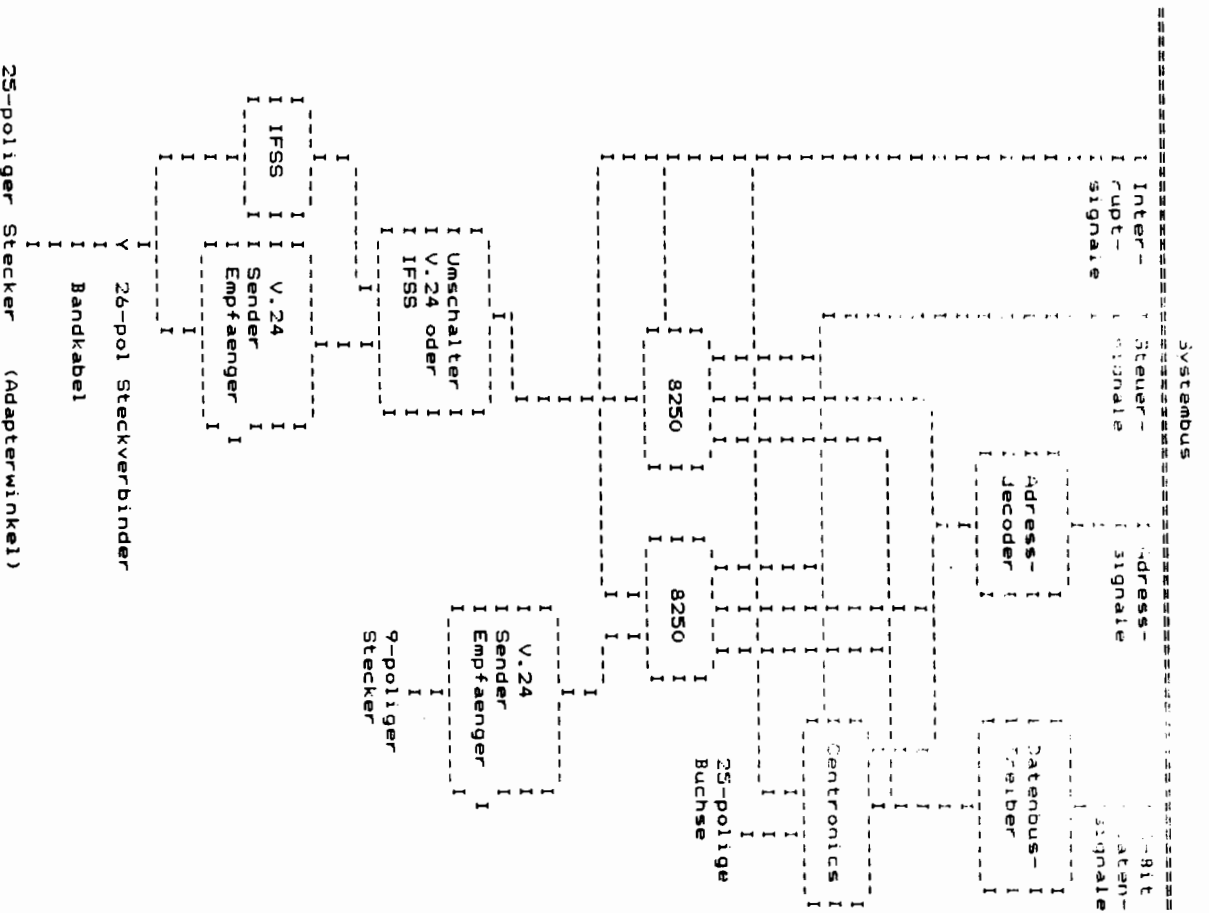
- fuer die Busschnittstelle:
Schaltkreis DS 8286D nach TGL 42622: 8-Bit-bidirektionaler
Bustreiber/Empfaenger
(Daten)
Schaltkreis DS 8205D nach TGL 39866: 1-aus 8-Decoder
(Adressen)
Schaltkreis U74 HCT 125: 4-fach Treiber fuer
Interruptleitungen
- Serielles Interface:
Schaltkreis 8250: programmierbarer serieller E/A-Baustein
Schaltkreis 75154: V24-Leitungsempfaenger
Schaltkreis 75150: V24-Leitungstreiber
Schwingquarz MQ 02: 7372,9 kHz
Optokoppler MB 104/58 nach TGL 36609
- Paralleles Interface:
Schaltkreis DL155D: E/A-Decoder
Schaltkreis DL374D, DL541D: Datenregister
Schaltkreis DL074D, DL175D, DL540D: Steuerregister
Schaltkreis DL541D: Statusregister

2.3. Konstruktive Beschreibung:

Auf einer Leiterplatte sind die Hardware-Elemente zur Realisierung
zweiter serieller Kanäle sowie einer parallelen
Schnittstelle Centronics angeordnet.
Aus konstruktiven Gruenden ist auf dem Adapter die Unterbringung
von nur zwei Schnittstellen-Steckverbindern, 9-polig fuer V.24
und 25-polig fuer Centronics, moeglich.
Die zweite serielle Schnittstelle verwirklicht einen Kanal nach
V.24 oder eine 20 mA-Stromschleife IF55 und wird ueber einen 25-
poligen Stecker in gemischter Pin-Belegung nach aussen gefuehrt.
Der 25-polige Stecker ist an einem am Chassis befestigten Adap-
terwinkel untergebracht.
Ueber DIL-Schalter erfolgt die Auswahl der vorgesehenen Basis-
adressen und der Interruptleitungen.

Anschluesser:

- X1 = 62 poliger Steckverbinder Systembus (Stromversorgung, Steuer-
signale, Daten)
- X2 = 25 polige Buchsenleiste parallel Schnittstelle (Centronics)
- X3 = 9 polige Steckerleiste serielle Schnittstelle (V.24)
- X4 = 26 polige Steckverbindung mit Bandkabel
25 polige Steckerleiste serielle Schnittstelle (gemischt
belegt mit V.24 und IF55-Leitungen)



2.4. Anschlussbedingungen

2.4.1. Systembus-Anschluss

Kontakt	Signalname	Kontakt	Signalname
B01	OV	A07	D7
B02	RESETDRV	A03	D6
B03	5P	A04	D5
B05	5N	A05	D4
B07	12N	A06	D3
B09	12P	A07	D2
B10	OV	A08	D1
B12	/10W	A09	D0
B14	/10R	A11	AEN
B21	IRQ7	A22	A5
B23	IRQ5	A23	A5
B24	IRQ4	A24	A7
B25	IRQ3	A25	A6
B29	5P	A26	A5
B31	OV	A27	A4
		A28	A3
		A29	A2
		A30	A1
		A31	A0

2.4.2. Schnittstellenanschlüsse

Kontakt	Signalname	Bezeichnung
01	109	V.24-Empfangssignalpegel DCD
02	104	V.24-Empfangsdaten RxD
03	103	V.24-Senddaten TxD
04	108	V.24-Datenendgeraet bereit DTR
05	102	V.24-Betriebsbereitschaft SG
06	107	V.24-Betriebsbereitschaft DSR
07	105	V.24-Sendeaufforderung RTS
08	106	V.24-Sendebereitschaft CTS
09	125	V.24-Rufzeichen RI

Anschluss zur seriellen Datenebertragung Zweiter Kanal
25-polige Steckerleiste

Kontakt	Signalname	Bezeichnung
01	STROBE	10 /ACKNLG
02	DATA1	11 /BUSY
03	DATA2	12 FE
04	DATA3	13 SELEKT
05	DATA4	14 /AUT FEED XT
06	DATA5	15 /ERROR
07	DATA6	16 /INIT
08	DATA7	17 /SELECT IN
09	DATA8	18 - 25 OV (GND)

Anschlüsse zur parallelen Datenübertragung Buchsenleiste X2

Kontakt	Signalname	Kontakt	Signalname
10		10	/ACKNLG
11		11	/BUSY
12		12	FE
13		13	SELEKT
14		14	/AUT FEED XT
15		15	/ERROR
16		16	/INIT
17		17	/SELECT IN
18 - 25		18 - 25	OV (GND)

3. Funktionsbeschreibung

Der Adapter fuer serielle und parallele Kommunikation erhaelt die Steuersignale und die Spannungsversorgung ueber den PC-Systembus-Steckverbinder.

Der Adapter realisiert in der maximalen Bestueckungsvariante zwei unabhängige serielle Uebertragungskanaele mit jeweils einem Sender- und Empfangskanal, die Voll Duplex im V.24-Interface betrieben werden koennen bzw. kann der auf der Erweiterungssteckeinheit realisierte Kanal als V.24-Interface oder 20 mA-Stromschleife (IFSS) wahlweise eingestellt werden.

Mit dem Parallel-Interface ist es moeglich, 8 Datenbits parallel zum Drucker mit Centronics-Schnittstelle zu uebertragen (nicht umgekehrt!). Fuer Handshaking, Statusauswertung u.a. gibt es 4 Ausgangssignale und 5 Eingangssignale. Alle Signale sind ueber normale Eingabe- und Ausgabebeinele programmtechnisch erreichbar.

3.2. Schaltereinstellung fuer E/A-Adressen, Interruptleitungen und Uebertragungsverfahren

Durch DIP-Schalter wird die Einordnung der Steckeinheit im System und die Einstellung des seriellen Uebertragungsverfahrens vorgenommen.

Zuordnung der Schaltergruppen:

- S1 Schalter fuer IFSS Sender- und Empfangsschleifen
- S2 Adressen und Interruptleitungen fuer Parallel-Interface Centronics
- S3 Schalter fuer V.24-Leitungen 2.Kanal
- S4 Adressen fuer 2. Kanal, V.24 oder IFSS
- S5 Adressen fuer 1.Kanal
- S6 Interruptleitungen fuer beide serielle Kanaele
- S7 Umschalter fuer die Sendeleitung von V.24 auf IFSS oder umgekehrt.
- S8 Umschalter fuer die Empfangsleitung von V.24 auf IFSS oder umgekehrt.

Schalteranordnung und Bedeutung:

		Schalteranordnung und Bedeutung:			
		V.24		IFSS	CENTRONICS
EIN	AUS	EIN	AUS		
10	1	1	01	1	1
10	1	10	01	1	I 0278H u. 027CH 1)
10	1	1	01	1	I 0378H u. 037CH 1)
10	1	1	01	1	I IRQ5
10	1	1	01	1	I IRQ7
10	1	1	01	1	
10	1	1	01	1	I 03FBH
10	1	1	01	1	I 02FBH
10	1	1	01	1	I 03EBH
10	1	1	01	1	I 02EBH
10	1	1	01	1	I IRQ4
10	1	1	01	1	I IRQ3
10	1	1	01	1	I IRQ4
10	1	1	01	1	I IRQ3
10	1	1	01	1	
10	1	1	01	1	
10	1	1	01	1	
10	1	1	01	1	
10	1	1	01	1	
10	1	1	01	1	
10	1	1	01	1	
10	1	1	01	1	

S7 und S8:
V.24=AUS
IFSS=EIN

Schaltergruppe S3: Feuer V.24 alle Schalter 'EIN'.
Feuer IFSS alle Schalter 'AUS'.

EIN	AUS	Schaltergruppe S1:
I	I	Feuer V.24 alle Schalter 'AUS'.
I	I	Feuer IFSS alle Schalter 'EIN'.
I	I	

IFSS V.24

Die im Bild als Beispiel dargestellten Schalterstellungen haben folgende Bedeutung:

Zuständig fuer	Adresse	Interrupt
Centronics	I 0379H und 037CH 1)	I IRQ7
V.24 1.Kanal	I 03F9H	I IRQ4
V.24 (IFSS)	I 03F8H	I IRQ3

1) Diese Adressen ergeben sich daraus, dass der Adressdecoder ohne die Adressleitung A2 beschaltet ist. Das heisst, im Gegensatz zum seriellen Teil ist alternativ nur die Verwendung von 2 verschiedenen Adressen moeglich.

- Beim Einstellen der Adressen ist darauf zu achten, eine Adresse eingestellt werden kann,
- dass bei dem seriellen Teil pro Kanal nur eine Adresse eingestellten werden kann,
- dass die Adresse der beiden Kanale unterschiedlich sein muessen und
- dass beim Interface Centronics ebenfalls nur eine Adresse eingestellt werden darf.

Die Interruptsignale werden durch Bustrreiber mit Tri-state-Verhalten auf den Systembus geschaltet und sind high-aktiv.

3.3. Serieller Teil des Adapters

3.3.1. Allgemeine Eigenschaften

Der serielle Teil des Adapter ermoeglicht nur die asynchrone Uebertragung und ist voll programmierbar. Das Kernstueck ist der 8250. Er fuegt Startbits und Paritaetsbits hinzu und loescht sie wieder. Ein programmierbarer Baudraten-Generator ermoeglicht die Verarbeitung bei 50 - 9600 Baud. Es werden Zeichen mit 5, 6, 7 oder 8 Bits mit 1, 1,5 oder 2 Stopbit unterstuetzt. Ein vollstaendiges Prioritaets-Interruptsystem steuert Sende-, Empfangs-, Leitungsstatus und Modeminterrupt. Diagnosemoeglichkeiten gestalten die Schleifenueckfuhrung von Sende-/Empfangs- und Ein-/Ausgabesignalen. Aufgrund des vollen Doppelpuffers ist keine exakte Synchronisation erforderlich.

3.3.2. Betriebsarten

Die verschiedenen Betriebsarten werden durch Programmierung des 8250 gewaehlt. Das erfolgt durch Auswahl der E/A-Adresse mit Schreibern (OUT) der entsprechenden Steuerbytes. Mit den Adressen A0, A1 und A2 werden die verschiedenen Register, mit denen die Betriebsarten definiert werden, bestimmt. Weiterhin wird das Bit 7 (Teilerspeicher-Zugriffsbitt) des Leitungssteuerregister mit zur Auswahl bestimmter Register benutzt.

3.3.3. Interrupts

Der seriellen Steuerung des Adapters stehen zwei Interruptleitungen zur Verfuegung (IRQ3 oder IRQ4). Ueber Schalter ist die Zuordnung des fuer den Einsatzfall richtigen Interruptsignals auswaehlbare. Damit ein Interruptsignal aktiviert werden kann, muss das Bit 3 des Modemsteuerregisters auf 1 (high) gesetzt sein. Ist das der Fall, loest jeder zulaeessige Interrupt im Interruptregister ein Interruptsignal aus.

3.3.4. Datenformat

Das Datenbit 0 ist das erste zu sendende oder zu empfangende Bit. Je nach erforderlichem Datenformat wird das Leitungssteuerregister fuer das automatische Zufuegen des Startbits, des Paritaetsbits, sowie des Stopbits (1, 1,5 oder 2 Stopbits) programmiert.

3.3.5. Interface IFSS

Das Interface IFSS entspricht dem im System der Kleinrechner (SKR) vereinbarten Verfahren zur seriellen Informationsuebertragung zwischen Ein-/Ausgabegeraet und Anschlusssteuerung eines SKR-Rechners in der speziellen Auslegung fuer eine 20 mA-Stromschleife. Das IFSS erlaubt eine asynchrone Uebertragung (Start-Stop-Betrieb) mittels Stromschleifen in einer Vierdraht-Duplex-Verbindung.

Der Informationsaustausch erfolgt durch die Uebertragung serieller binarer Signale mit waehlbare Geschwindigkeit, die im Rahmen der moeglichen Baudraten durch die Nutzer zu vereinbaren ist. Sender und Empfaenger sind mit Konstantstromquellen ausgeruestet und koennen wahlweise im Aktiv- oder Passiv-Mode arbeiten. Fuer die Informationsuebertragung muss eine als Stern-Vierer versetzte Leitung mit einem maximalen Stromschleifenwiderstand von 200 Ohm verwendet werden. Die Leitung muss geschirmt sein.

3.3.5.1. Verbindungsleitungen

In der folgenden Tabelle wird am Beispiel zweier miteinander verbundener PC's die Verdrahtung des Verbindungskabels gezeigt.

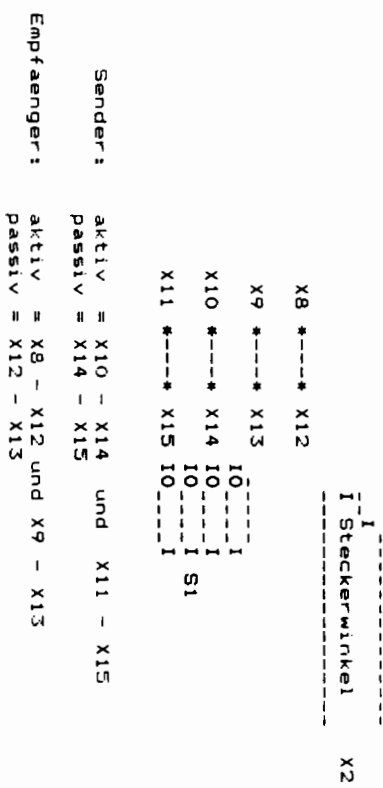
25 polige Buchsen - 25 polige Buchsen - Strom-

Leiste	Signal	Kontakt	Leiste	Signal	Kontakt	Schleife
9	SD+	18	ED-	18	9	0-----0 18
11	SD-	25	SD+	25	11	0-----0 25
25	ED+	11	SD-	11	2	25 0-----0 11
18	ED-	9	SD+	9	18	0-----0 9
						7 0-----0 7

(Sg = Signalgrund)

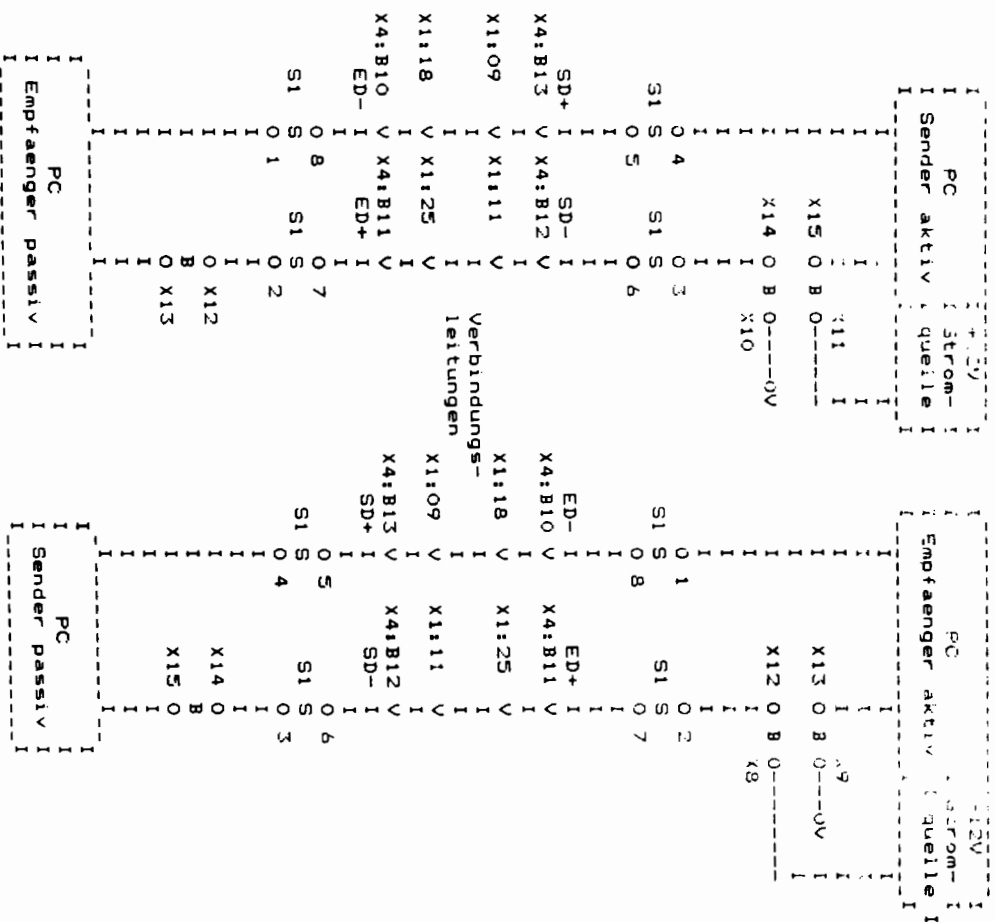
3.3.5.2. Loetbruecken fuer die Arbeitsweisen
 Durch Loetbruecken wird die jeweils gewuenschte Arbeitsweise (aktiv oder passiv) festgelegt.

Loetbrueckenanordnung:



In der Loetbrueckenanordnung ist als Beispiel die aktive Einstellung des Senders und Empfaengers angegeben.

3.3.5.3. Beispiele fuer Stromschleifen
 In folgenden Beispielen werden die Zusammenschaltbedingungen an zwei miteinander durch Stromschleifen verbundene PCs dargestellt.
 Verwendete Symbole:
 O = Schalter geschlossen V = Steckverbinder
 O oder O E O = Geschlossene Bruecken



- 3.3.a. Funktionsbeschreibung des 8250
- 3.3.6.1. Pinbelegung des 8250
- 1 - 8 Datenbus (D7 - D0)
 - 9 Bidirektionale Datenleitungen zum Anschluss an der Systemdatenbus mit tri-state-Verhalten, welche die bidirektionale Übertragung von Daten, Steuerworten und Statusinformationen zwischen dem 8250 und der CPU ermöglichen.
 - 9 Empfängertakteneingang (RCLK)
 - An diesem Eingang kann der 16-fache Baudraten-Takt (Anschluss 15) fuer den Empfangsteil des Schaltkreises angelegt werden.
 - 10 Serieller Eingang (SIN)
 - Hier werden die seriellen Datensignale von der Übertragungseinheit (Peripheriegeraet, Modem oder Übermittlungseinheit) uebernommen.
 - 11 Serieller Ausgang (SOUT)
 - An diesem Ausgang steht ein gemass 1.3.3.4 zusammengesetztes serielles Datenausgangssignal fuer das Datenendergeraet (Peripheriegeraete, Modem oder Übermittlungseinheit) zur Verfuegung. Das SOUT-Signal wird beim Ruecksetzen (Reset) auf den "Marking" Status (logisch 1) gesetzt.
 - 12,13,14 (CS0,CS1,/CS2)
 - Sind CS0 und CS1 high und /CS2 low, dann ist der Schaltkreis ausgewaehlt. Die Chip-Auswahl ist abgeschlossen, wenn das dekodierte Chipauswahlsignal mit einem aktiven (low) Address-Strobe-Eingang (/ADS) verriegelt wird. Hierdurch wird die Übertragung zwischen dem 8250 und der CPU aktiviert.
 - CS0 und CS1 sind ueber einen Widerstand an 5V angeschlossen.
 - 15 Baud-Ausgangssignal (/BAUDOUT)
 - Dieser Ausgang liefert das 16-fache Taktsignal des Sendeteil des 8250. Die Taktgeberate ist gleich der Hauptbezugs-Oszillatorfrequenz, dividiert durch den angegebenen Teiler im Baugeneratort-Teilerspeicher. Das Ausgangssignal /BAUDOUT kann auch fuer den Empfängerteil verwendet werden, indem dieses Ausgangssignal mit dem RCLK-Eingang des Schaltkreises verbunden wird.
 - 16,17 Takteingänge (XTAL1,XTAL2)
 - Ueber diese beiden Eingänge wird der 8250 mit dem Haupt-Zeitgeber-signal (Taktgenerator) versorgt.
 - XTAL2 (17) ist nicht angeschlossen
 - 18,19 Datenausgabesteuersignal (/DOSTR,DOSTR)
 - Ist der Schaltkreis angewaehlt, und ist DOSTR high bzw. /DOSTR low, kann die CPU Daten oder Steuerworte in ein gewaehltes Register des 8250 schreiben.

Hinweis: Zur Uebertragung von Daten an den 8250 waehrend einer Schreib-Operation ist nur ein aktives Eingangssignal /DISTR oder /DISTR erforderlich. Aus diesem Grund ist der /DISTR-Eingang fest auf high bzw. /DISTR fest auf low zu schalten, wenn er nicht verwendet wird.
/DISTR (19) ist mit 0V verbunden.

20 GND (Masse)

21,22 Dateneingabesteuersignale (/DISTR,DISTR)
Ist der Schaltkreis angewahlt, und ist DISTR high bzw. /DISTR low, kann die CPU Daten oder Steuerworte aus einem gewaehlten Register des 8250 lesen.

Hinweis: Zur Uebertragung von Daten vom 8250 waehrend einer Lese-Operation ist nur ein aktives Eingangssignal /DISTR oder /DISTR erforderlich. Aus diesem Grund ist der /DISTR-Eingang fest auf high bzw. DISTR fest auf low zu schalten, wenn er nicht verwendet wird.
DISTR (22) ist fest mit 0V verbunden.

23 Endverstaerker abhaengen (DDIS)
DDIS wird low, wenn die CPU Daten vom 8250 liest. Dieses Signal kann zum Steuern eines Datentreiber zwischen CPU und 8250 verwendet werden.
DDIS wird nicht verwendet und ist deshalb nicht angeschlossen.

24 Chipauswahl (CSOUT)

Ist dieses Signal high, wird damit angezeigt, dass der Schaltkreis durch ein aktives Signal CS0,CS1 oder /CS2 angewahlt ist. Eine Datenuebertragung kann erst dann eingeleitet werden, wenn das Signal CSOUT logisch 1 ist.
CSOUT wird nicht verwendet und ist deshalb nicht angeschlossen.

25 Address-Strobe (/ADS)
Ist /ADS low, so werden die Register-Auswahlsignale (A0,A1,A2) und die Chip-Auswahlsignale (CS0,CS1,/CS2) verriegelt.

Hinweis: Ein aktives Eingangssignal /ADS ist dann erforderlich, wenn die Register-Auswahlsignale (A0,A1,A2) waehrend eines Lese- oder Schreib-Vorganges nicht stabil sind. Dieses Signal ist nicht erforderlich, und ist deshalb fest mit 0V verbunden.

26,27,28 Register-Auswahlsignale (A2,A1,A0)

Diese drei Eingangssignale werden waehrend eines Lese- oder Schreibvorganges verwendet, um ein 8250 Register zum Lesen oder zum Schreiben auszuwaehlen.

29 N/C

30 Interrupt (INTRPT)
Dieses Signal wird high, wenn eine der nachstehenden Interruptarten auf high geschaltet ist und durch IIR aktiviert worden ist:

- Empfangerroehler-Kennzeichen,
- Empfangene Daten verfuegbar,
- Sender-Halteregister leer
- bei Modemstatus.

Das Signal INTRPT wird bei entsprechender Beantwortung des Interrupts bzw. beim Hauptzuruecksetzen (Reset) auf low gesetzt.

31 Ausgang 2 (OUT2)

Mit diesem Signal wird die Aktivierung von Interrupts gesteuert. Vom Benutzer waehlbares Hilfs-Ausgangssignal, das durch Programmierung des Bit 3 des Modemsteuerregisters beeinflusst wird. Bit 3 des Modemsteuerregisters in den Zustand high gesetzt, schaltet den Ausgang OUT2 auf low. Das Signal wird beim Hauptzuruecksetzen (Reset) in den inaktiven Zustand (high) geschaltet.

32 Sendeanforderung (RTS = Leitung 105; Request to send)

Ist dieses Signal low, so wird damit dem Modem oder dem Datengerat mitgeteilt, dass der 8250 zum Senden von Daten bereit ist. Bit 1 des Modemsteuerregisters wird dazu in den aktiven Zustand (high=1) gesetzt. Das Signal wird beim Hauptzuruecksetzen (Reset) in den inaktiven Zustand (high) gebracht.

33 Dateneingeraet bereit (DTR = Leitung 108; Data Terminal Ready)

Ist dieses Signal low, so wird damit dem Modem oder Datengerat mitgeteilt, dass der 8250 zur Uebertragung bereit ist. Das DTR Ausgangssignal wird durch das Setzen des Bit 0 vom Modemsteuerregister in den aktiven Zustand gebracht. Das Signal wird beim Hauptzuruecksetzen (Reset) in den inaktiven Zustand (high) gebracht.

34 Ausgang 1 (OUT1)

Vom Benutzer waehlbares Hilfs-Ausgangssignal, das durch Programmierung des Bit 2 des Modemsteuerregisters beeinflusst wird. Dieser Anschluss muss mit einem Widerstand nach +5V verbunden sein. Das Signal wird beim Hauptzuruecksetzen (Reset) in den inaktiven Zustand gesetzt.
OUT1 wird nicht verwendet und ist ueber einen Widerstand an 5V angeschlossen.

35 Hauptzuruecksetzen (MR)

Ist dieses Signal high, werden saemtliche Register und die Steuerlogik des 8250 geloescht. Eine Ausnahme bilden der Empfangspuffer, das Senderhalteregister und das Teilerregister, hier erfolgt kein Zuruecksetzen. Durch ein aktives MR-Eingangssignal wird auch der Status der verschiedenen Ausgangssignale SOUT, INTRPT, /OUT1, /OUT2, /RTS, /DTR beeintraehtigt. Siehe hierzu die Tabelle "Rueckstellfunktionen der asynchronen Uebertragung".

36 Sendebereitschaft (CTS = Leitung 106; Clear to Send)
 Das Signal /CTS ist ein Modem-Steuersignaleingangssignal, dessen Zustand durch die CPU geprüft wird, indem dem Daten-Port das Bit 4 (CTS) des Modemstatusregisters liest. Das Bit 4 des Modemstatusregisters gibt an, ob bei dem CTS-Eingangssignal eine Statusänderung seit dem letzten Lesen des Modemstatusregisters eingetreten ist.
 Hinweis: Bei jeder Statusänderung des CTS-Bits im Modemstatusregister wird ein Interruptsignal erzeugt, wenn der Modemstatus-Interrupt aktiviert wird.

37 Modem bereit (DSR = Leitung 107; Data Set Ready)
 Ist dieses Signal low, so wird damit angezeigt, dass das Modem oder die Übertragungseinheit bereit ist, die Übertragungsverbindung herzustellen und Daten mit 8250 auszutauschen. Das Signal /DSR ist ein Modem-Steuersignaleingangssignal. Durch Lesen des Bit 5 des Modemstatusregisters kann die CPU den Zustand feststellen. Das Bit 1 (DDSR) des Modemstatusregisters gibt an, ob sich das /DSR-Eingangssignal seit dem letzten Lesen des Modemstatusregisters verändert hat.
 Hinweis: Bei jeder Statusänderung des DSR-Bits im Modemstatusregister wird ein Interruptsignal erzeugt, wenn der Modemstatus-Interrupt aktiviert wird.

38 Empfangsleitungssignal erkannt (DCD = Leitung 109; Data Carrier Detect)
 Ist dieses Signal low, so wird angezeigt, dass die Datenübertragung vom Modem erkannt worden ist. Das Signal /DCD ist ein Modem-Steuersignaleingangssignal, dessen Zustand von der CPU geprüft werden kann, indem die CPU das Bit 7 (DCD) des Modemstatusregisters liest. Das Bit 3 (DCD) des Modemstatusregisters gibt an, ob sich der Status des Eingangssignales /DCD seit dem letzten Lesen des Modemstatusregisters verändert hat.
 Hinweis: Bei jeder Statusänderung des DCD-Bits im Modemstatusregister wird ein Interruptsignal erzeugt, wenn der Modemstatus-Interrupt aktiviert wird.

39 Anrufsignal (RI = Leitung 125; Ring Indikator)
 Ist dieses Signal low, so wird dem 8250 mitgeteilt, dass ein Telefonrufzeichen vom Modem oder dem Datenendgerät empfangen worden ist. Das Signal /RI ist ein Modem-Steuersignaleingangssignal, dessen Zustand von der CPU geprüft werden kann, indem die CPU Bit 6 (RI) des Modemstatusregisters liest. Das Bit 2 des Modemstatusregisters gibt an, ob sich der Status des Eingangssignals /RI seit dem letzten Lesen des Modemstatusregisters von low auf high verändert hat.
 Hinweis: Bei Änderung des RI-Bits im Modemstatusregister von high nach low wird ein Interruptsignal erzeugt, wenn der Modemstatus-Interrupt aktiviert wird.

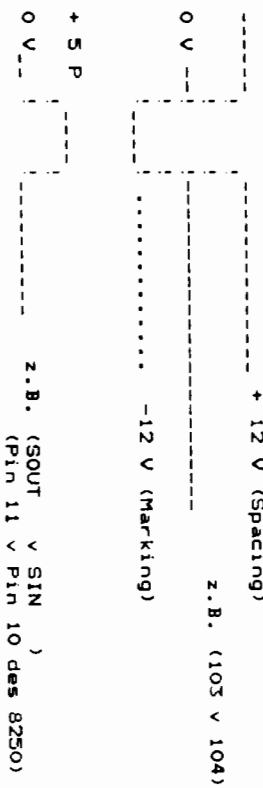
40 Betriebsspannung +5V

3.3.6.2. Spannungsaustauschinformationen

Austauschspannung	Binaerstatus	Originalzustand	Verbindungsfunktion
Positive	Binaer 0	Spacing	Ein
Negative	Binaer 1	Marking	AUS

Das Signal wird als 'Marking'-Bedingung erkannt, wenn die Spannung auf dem Austauschschaltkreis gemessen an dem Verbindungspunkt im Verhältnis zur Signalmasse (0V) negativer als -3V ist. Das Signal wird als 'Spacing'-Bedingung erkannt, wenn die Spannung im Verhältnis zur Signalmasse positiver als +3V ist. Der Bereich zwischen +3V und -3V ist als Übergangsbereich definiert. Dieser Übergangsbereich wird als unzulässiger Pegel angesehen.

Bei der Übertragung von Daten wird die 'Marking'-Bedingung verwendet, um den Binaerstatus 1 anzugeben. Der 'Spacing'-Zustand dient zur Angabe des Binaerstatus 0.
 Frier die Verbindungsschaltkreise ist die Funktion EIN, wenn die Spannung positiver als +3V im Verhältnis zur Signalmasse ist. Sie ist AUS, wenn die Spannung negativer als -3V im Verhältnis zur Signalmasse ist.



3.3.6.3. Programmierung des 8250

3.3.6.3.1. Registeruebersicht

Der Schaltkreis 8250 verfügt ueber eine Reihe von zugreifbaren Registern. Ueber die CPU kann der Systemprogrammierer auf jedes der 8250-Register zugreifen bzw. diese steuern. Die Register dienen der Steuerung des Betriebes des 8250, sowie zum Senden und Empfangen von Daten. Nachstehend folgt die Beschreibung der zugreifbaren Register.

Register-I/O Adressen:

I/O Adresse	Registerbedeutung	Kurzbezeichnung	Status des Teilerspeichers
			bits DLAB
3F8 2F8 3E8 2E8	Sendepuffer	THR	0 (Schreiben)
3F8 2F8 3E8 2E8	Empfangspuffer	RBR	0 (Lesen)
3F8 2F8 3E8 2E8	Teilerspeicher	DLR	1
3F9 2F9 3E9 2E9	niedrigstwertiges Bit Teilerspeicher	DLH	1
3F9 2F9 3E9 2E9	höchstwertiges Bit Teilerspeicher	IER	0
3FA 2FA 3EA 2EA	Interruptkennungsregister	IRR	
3FB 2FB 3EB 2EB	Leistungssteuerregister	LCR	
3FC 2FC 3EC 2EC	Modemsteuerregister	MCR	
3FD 2FD 3ED 2ED	Leistungssteuerregister	LSR	
3FE 2FE 3EE 2EE	Modemstatusregister	MSR	

- Sende-Halte-Register (THR)

Adresse: Hex 03F8, 02F8, 03E8 ODER 02E8 und DLAB=0

Das Sende-Halteregister enthaelt die seriell zu uebertragenden Zeichen, kann nur beschrieben werden und wird nachstehend definiert:

Bit	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I
								>Datenbit 0
								>Datenbit 1
								>Datenbit 2
								>Datenbit 3
								>Datenbit 4
								>Datenbit 5
								>Datenbit 6
								>Datenbit 7

Bit 0 ist das niedrigstwertige Bit und das erste seriell uebertragene Bit.

- Empfangspufferregister (RBR)

Adresse: Hex 03F8, 02F8, 03E8 ODER 02E8 und DLAB=0.

Das Empfangspufferregister enthaelt die empfangenen Zeichen, kann nur gelesen werden und wird nachstehend beschrieben:

Bit	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I
								>Datenbit 0
								>Datenbit 1
								>Datenbit 2
								>Datenbit 3
								>Datenbit 4
								>Datenbit 5
								>Datenbit 6
								>Datenbit 7

Bit 0 ist das niedrigstwertige Bit und das erste seriell empfangene Bit.

- Programmierbarer Baudraten-Generator:

Der Schaltkreis 8250 beinhaltet einen programmierbaren Baudraten-Generator, der das Taktungssignal (1,8432 MHz) durch einen Teiler von 1 bis 655,375 entsprechend der gewuenschten Uebertragungsfrequenz teilt. Die Ausgangsfrequenz des Baudrategenerators ist das 16-fache der Baudrate (Teilernummer 8-Bit-Eingangsfrequenz geteilt durch Baudrate x 16). Zwei 8-Bit-Zwischenspeicher speichern den Teiler im 16-Bit-Binaerformat. Diese Teilerspeicher muessen bei der Initialisierung geladen werden, um die gewuenschte Funktion des Baudraten-Generators sicherzustellen. Beim Laden eines der Teilerspeicher wird gleichzeitig auch ein 16-Bit-Baudzaehler geladen. Hierdurch werden lange Zaehlvorgaenge beim ersten Laden vermieden.

Teilerspeicher fuer das niedrigstwertiges Bit (DLR)

Adresse: Hex 03F8, 02F8, 03E8 ODER 02E8 und DLAB=0.

Bit	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I
								>Bit 0
								>Bit 1
								>Bit 2
								>Bit 3
								>Bit 4
								>Bit 5
								>Bit 6
								>Bit 7

Teilerspeicher fuer das hoechstwertige Bit (DLH)

Adresse: Hex 03F9, 03E9, 03E9 ODER 02E9 und DLAB=1.

Bit 7	0	5	4	3	2	1	0
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I

In der folgenden Tabelle wird die Verwendung des Baudraten-Generators mit einer Frequenz von 1,8432 MHz dargestellt. Bei Baudraten von 50 bis zu 9600 Baud ist der moegliche Fehlerwert minimal.
Hinweis: Die Datenrate darf in keinem Falle grosser als 9600 Baud sein.

Divisor zur Erzeugung des Prozentuale Fehler-
16-fachen Taktens differenz zwischen
Baudrate wert dezimal Hexa dem Soll- und Istwert

Baudrate	wert	dezimal	Hexa	Prozentuale Fehler- differenz zwischen dem Soll- und Istwert	Pin 15 KHz
50	2304	900	-	-	0,8
75	1536	600	-	-	1,2
110	1047	417	0,026	-	1,75
134,5	957	359	0,058	-	2,15
150	768	300	-	-	2,4
300	384	180	-	-	4,8
600	192	90	-	-	9,6
1200	96	45	-	-	19,2
1800	64	30	-	-	28,8
2000	48	24	0,69	-	32,0
2400	40	20	-	-	38,4
3600	32	16	-	-	57,6
4800	24	12	-	-	76,8
7200	16	8	-	-	115,2
9600	12	6	-	-	153,6
115200	1	0,01	-	-	1843,2

XTAL2: f(Pin 17) = 1,8432 MHz
BAUDOUT: f(Pin 15) = Baudrate x 16

Baudrate (B) x 16 x Teiler (T) = Taktfrequenz (f) = 1,8432 MHz

- Interruptaktivierungsregister (IER)

Adresse: Hex 03F9, 03E9, 03E9 oder 02E9 DLAB=0

Dieses 8-Bit-Register ermoglicht den vier Interruptarten des 8250 die getrennte Aktivierung des Interruptausgangssignales (INTRPT). Es ist moeglich das Interruptsystem vollstaendig abzuschalten, indem die Bits 0 bis 3 des Interruptaktivierungsregisters zurueckgestellt werden. Die Abschaltung des Interruptsystems blockiert das Interrupterkennungregister und das aktive (hohe) INTRPT-Ausgangssignal des Schaltkreises. Alle anderen Systemfunktionen arbeiten normal weiter einschliesslich Setzen der Leitungs-Status- und Modemstatusregister. Der Inhalt des Interruptaktivierungsregister wird nachstehend beschrieben:

Bit 7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I
I	I	I	I	I	I	I	I

- Bit 0: Dieses Bit aktiviert den Interrupt "Empfangene Daten verfuegbar", wenn es auf logisch 1 gesetzt ist.
- Bit 1: Dieses Bit aktiviert den Interrupt "Sende-Halterregister leer", wenn es auf logisch 1 gesetzt ist.
- Bit 2: Dieses Bit aktiviert den Interrupt "Empfangensstatus", wenn es auf logisch 1 gesetzt ist.
- Bit 3: Dieses Bit aktiviert den Interrupt "Modemstatus", wenn es auf logisch 1 gesetzt ist.
- Bits 4 bis 7: Diese 4 Bits sind stets logisch 0.

----- Leitungsteuerregister -CR:
 Adresse: Hex 03FB, 02FB, 02EB oder 02EB

Der Systemprogrammierer spezifiziert das Format des asynchronen Datenaustausches mit Hilfe des Leitungsteuerregisters. Neben der Steuerung des Formates kann der Programmierer auch den Inhalt des Leitungsteuerregisters fuer Pruefzwecke ablesen. Diese Einrichtung vereinfacht die Systemprogrammierung und macht die getrennte Absicherung der Leistungsmerkmale im Systemspeicher ueberfluessig. Der Inhalt des Leitungsteuerregisters wird nachstehend beschrieben:

```

Bit 7 6 5 4 3 2 1 0
I I I I I I I I
|-----|-----|-----|
|>Wortlaengen Auswahl Bit 0| WLS0
|>Wortlaengen Auswahl Bit 1| WLS1
|>Anzahl der Stop-Bits      | STB
|>Paritaetsfreiabe         | PEN
|>Auswahl gerade Paritaet  | EPB
|>Ausgleichsparitaetsbit
|>Break setzen
|-----|>Teilungssignalspeicherbit
|-----|>MAB
  
```

Bits 0 und 1: Diese beiden Bits geben die Anzahl von Bits in jedem uebertragenen oder empfangenen seriellen Zeichen an.

Die Codierung des Bits 0 und 1 lautet wie folgt:

Bit 1	Bit 0	Wortlaenge
0	0	5 Bits
1	1	6 Bits
1	0	7 Bits
1	1	8 Bits

Bit 2: Dieses Bit gibt die Anzahl der Stopbits in jedem gesendeten oder empfangenen seriellen Zeichen an. Ist Bit 2 eine logische 0, so wird ein Stopbit erzeugt bzw. in den gesendeten oder empfangenen Daten geprueft. Ist Bit 2 eine logische 1, wenn mit den Bits 0 und 1 eine Wortlaenge von 5 Bit gewaehlt wurde, so werden 1 1/2-Stopbits erzeugt bzw. geprueft. Ist Bit 2 eine logische 1, wenn eine Wortlaenge von 6,7 oder 8 Bit gewaehlt ist, so werden zwei Stopbits erzeugt bzw. geprueft.

Bit 3: Dieses Bit ist das Paritaetsfreiabebitt. Ist Bit 3 eine logische 1, so wird ein Paritaetsbit zwischen dem letzten Datenwortbit und dem Stopbit der seriellen Daten erzeugt (Sendedaten) oder geprueft (Empfangsdaten). Das Paritaetsbit dient zur Erzeugung einer geraden oder ungeraden Anzahl von Einsen beim Summieren der Datenwortbits und des Paritaetsbit.

Bit 4: Dieses Bit dient zur Auswahl der geraden Paritaet. Ist Bit 4 eine logische 1 und Bit 4 eine logische 0, wird eine ungerade Zahl von logischen Einsen in den Datenwortbits 0 bis 5 und dem Paritaetsbit 6 gesendet bzw. geprueft. Ist Bit 4 eine logische 1 und Bit 4 eine logische 0, so wird eine gerade Anzahl von Bits gesendet bzw. geprueft.

Bit 5: Dieses Bit bildet anstelle des Paritaetsbit ein Aufwuell-Paritaetsbit. Ist Bit 3, Bit 5 und Bit 4 jeweils logisch 1, so wird das Paritaetsbit auf logisch 0 gesetzt. Ist Bit 3 und Bit 5 logisch 1 und Bit 4 logisch 0, so wird das Paritaetsbit auf logisch 1 gesetzt.

Bit 6: Dieses Bit ist das Steuerbit zum Setzen einer Unterbrechung (Break). Ist Bit 6 eine logische 1, so wird das serielle Ausgangssignal (SOUT) zwangsweise in den Status 'Spacing' (logisch 0) gebracht und verbleibt unabhnaengig von der uebrigen Sendetaetigkeit in diesem Status. Das Setzen einer Unterbrechung wird aufgehoben, indem Bit 6 auf logisch 0 gesetzt wird. Diese Funktion gestattet der CPU die ueberwachung eines Terminals in einem rechnergestuetzten Kommunikationssystem.

Bit 7: Dieses Bit ist das Teilerspeicher-Zugriffsbit (DLAB). Es muss auf logisch 1 gesetzt sein, um auf dem Teilerspeicher des Bauelement-Generators beim Lesen oder Schreiben zugreifen zu koennen. Es muss auf logisch 0 gesetzt sein, um auf den Empfangspuffer, das Sende-Halterregister oder das Interrupt-aktivierungs-Register zuzugreifen zu koennen.

----- Leitungstatusregister (LSR)
 Adresse: Hex 03FD, 02FD, 03ED oder 02ED

Dieses 8-Bit Register liefert Statusinformationen im Hinblick auf die Datenuebertragung. Der Inhalt des Leitungstatusregisters wird nachstehend beschrieben:

```

Bit 7 6 5 4 3 2 1 0
I I I I I I I I
|-----|-----|-----|-----|
|>Daten bereit (DR)
|>Ueberlauffehler (OE)
|>Paritaetsfehler (PE)
|>Rahmenfehler (FE)
|>Interrupt (BI)
|>Sende-Halterregister leer (THRE)
|>Sende-Schieberegister leer (TSRE)
|-----|-----|-----|-----|> = 0
  
```

Bit 0: Dieses Bit ist der Anzeiger fuer "Empfaengerdaten bereit" (DR). Bit 0 wird auf Logisch 1 gesetzt; wenn ein vollstaendig eingehendes Zeichen empfangen und in das Empfangspufferregister uebertragen worden ist, Bit 0 kann auf Logisch 0 zurueckgesetzt werden, indem entweder die CPU die Daten im Empfaengerpufferregister liest oder indem sie eine logische 0 in das Register schreibt.

Bit 1: Dieses Bit ist der Anzeiger fuer "Ueberlauffehler" (OE). Bit 1 = Logisch 1 gibt an, dass die Daten im Empfaengerpufferregister von der CPU nicht gelesen wurden, ehe das naechste Zeichen in das Empfaengerpufferregister uebertragen wurde, wodurch das vorherige Zeichen geloescht worden ist. Der Anzeiger OE wird bei jedem Lesen des Inhaltes des Leitungsstatusregisters durch die CPU auf Logisch 0 zurueckgesetzt.

Bit 2: Dieses Bit ist der Anzeiger fuer "Paritaetsfehler" (PF). Bit 2 gibt an, dass das empfangene Datenzeichen nicht die richtige Paritaet (gerade oder ungerade) aufweist, wie das durch das Paritaetsauswahlbit vorgegeben worden ist. Das PE-Bit wird auf Logisch 1 gesetzt, wenn ein Paritaetsfehler erkannt wird. Es wird auf Logisch 0 zurueckgesetzt, wenn die CPU den Inhalt des Leitungsstatusregisters liest.

Bit 3: Dieses Bit ist der Anzeiger fuer "Rahmenfehler" (FE). Bit 3 gibt an, dass das empfangene Zeichen kein gueltiges Stopbit enthaelt. Bit 3 wird auf Logisch 1 gesetzt, wenn hinter dem letzten Datenbit ein Stopbit erkannt wird oder wenn das Paritaetsbit (Bit 0) (Spacing-Ebene) erkannt wird.

Bit 4: Dieses Bit ist der Anzeiger fuer "Interrupt" (BI). Bit 4 wird auf Logisch 1 gesetzt, wenn die empfangenen Eingangsdaten laenger als eine volle Wortuebertragungszeit auf dem Status "Spacing" (Logisch 0) gehalten werden (d.h. waehrend der Gesamtzeit von Startbit + Paritaetsbit + Stopbit). Hinweis: Die Bits 1 bis 4 sind Fehlerbedingungen, die zu einem Statusinterrupt in der Empfangsleitung fuehren, wenn eine der entsprechenden Bedingungen erkannt wird.

Bit 5: Dieses Bit ist der Anzeiger fuer "Sendeschleiberregister leer" (THRE). Bit 5 gibt an, dass der 8250 den Status "THRE" erreicht hat. Ein neues Zeichen zur Uebertragung anzunehmen. Der Status "THRE" ist abgelesen, wenn die Bit, dass der 8250 einen Interrupt anfordert, abgelesen wird. Wenn die Interruptaktivierung fuer den Interrupt "Sendeschleiberregister leer" auf 1 gesetzt ist, das Bit THRE wird auf Logisch 1 gesetzt, wenn ein Zeichen vom Sendeschleiberregister in das Sendeschleiberregister uebertragen wird. Das Bit wird auf Logisch 0 gesetzt, wenn das Sendeschleiberregister durch die CPU geladen wird.

Bit 6: Dieses Bit ist der Anzeiger fuer "Sendeschleiberregister leer". Bit 6 wird auf Logisch 1 gesetzt, wenn das Sendeschleiberregister nicht belegt ist. Es wird bei einer Datenuebertragung aus dem Sendeschleiberregister zum Sendeschleiberregister auf Logisch 0 zurueckgesetzt. Bit 6 ist ein Nur-Lesen-Bit.

Bit 7: Dieses Bit ist permanent auf Logisch 0 gesetzt.
- Modemsteuerregister (MCR)

Dieses 8-Bit-Register steuert die Verbindung mit dem Modem oder dem Datenendgeraet (bzw. mit einem Peripheriegeraet, das ein Modem simuliert). Der Inhalt des Modemsteuerregisters wird nachstehend beschrieben:

Bit	7	6	5	4	3	2	1	0	
I	I	I	I	I	I	I	I	I	Datenendgeraet bereit (DTR)
I	I	I	I	I	I	I	I	I	Sendeanforderung (RTS)
I	I	I	I	I	I	I	I	I	Ausgangssignal 1
I	I	I	I	I	I	I	I	I	Ausgangssignal 2
I	I	I	I	I	I	I	I	I	Schleife
I	I	I	I	I	I	I	I	I	= 0
I	I	I	I	I	I	I	I	I	= 0
I	I	I	I	I	I	I	I	I	= 0

Bit 0: Dieses Bit steuert das Ausgangssignal "Datenendgeraet bereit" (/DTR). Ist Bit 0 auf Logisch 1 gesetzt, so wird das Ausgangssignal /DTR zwangsweise auf Logisch 0 gesetzt. Wird Bit 0 auf Logisch 0 zurueckgesetzt, so wird das Ausgangssignal /DTR zwangsweise auf Logisch 1 gesetzt.

Bit 1: Dieses Bit steuert das Ausgangssignal "Sendeanforderung" (/RTS). Bit 1 wirkt auf das Ausgangssignal /RTS in gleicher Weise, wie vorstehend fuer Bit 0 beschrieben worden ist.

Bit 2: Dieses Bit steuert das Ausgangssignal 1 (/OUT1), bei dem es sich um ein vom Benutzer wählbares Hilfsausgangssignal handelt. Bit 3 wirkt auf das Ausgangssignal /OUT1 in gleicher Weise, wie vorstehend fuer Bit 2 beschrieben worden ist.

Bit 3: Dieses Bit steuert das Ausgangssignal 2 (/OUT2), bei dem es sich um ein vom Benutzer wählbares Hilfsausgangssignal handelt. Bit 4 wirkt auf das Ausgangssignal /OUT2 in gleicher Weise, wie vorstehend fuer Bit 3 beschrieben worden ist.

Bit 4: Dieses Bit erbringt eine Kueckschleifenfunktion fuer Diagnosezwecke des 8250. Ist Bit 4 auf logisch 1 gesetzt, so geschieht Folgendes: Der serielle Ausgang des Senders (SOUT) wird in den "Marking"-Status (logisch 1) gesetzt. Der serielle Eingang des Empfängers (SIN) wird abgehaengt. Der Ausgang des Sende-Schieberegisters wird auf den Eingang des Empfänger-Schieberegisters "gesteuert". Die vier Modem-Steuerungssignale (/CTS, /DSR, /RLSD und /RI) werden abgehaengt und die vier Modem-Steuerungssignale (/DTR, /RTS, /OUT1 und /OUT2) werden intern mit den vier Modemsteuerungssignalen verbunden. Im Diagnosemodus werden die uebertragenen Daten sofort wieder empfangen. Diese Funktion gestattet der CPU die ueberpruefung der Sende- und Empfangsratenwege des 8250.

Diagnosemodus sind die Empfänger und Sende-Interrupt voll funktionstuehig. Die Modemsteuerinterrupts sind ebenfalls funktionstuehig. Die Interruptsignale gehen jetzt jedoch von den unteren vier Bits des Modemsteuerregisters und nicht mehr von den vier Modemsteuerungssignalen aus. Die Interrupt werden auch hierbei durch das Interruptregister gesteuert.

Das Interruptsystem des 8250 kann geprueft werden, indem in die unteren vier Bits des Modemstatusregisters geschrieben wird. Durch Setzen eines dieser Bits auf logisch 1 wird der entsprechende Interrupt generiert. Das Kueckschleifen dieser Interrupts erfolgt in der gleichen Weise wie im Normalbetrieb des 8250. Um wieder in den Normalbetrieb zurueckkehren zu koennen, muessen die Register fuer den Normalbetrieb neu programmiert werden. Das Bit 4 des Modemsteuerregisters muss dann auf logisch 0 zurueckgesetzt werden.

Bit 5 bis 7:

Diese Bits sind permanent auf logisch 0 gesetzt.

- Modemstatusregister (MSR)

Adresse: Hex 03FE, 02FE, 01FE oder 00FE

Dieses 8-Bit-Register liefert den momentanen Status der Steuerleitungen vom Modem (bzw. dem Peripheriegerät) an die CPU. Neben diesen Statusinformationen dienen vier Bits des Modemstatusregisters zur Angabe von Forderungsinformationen. Diese Bits werden auf logisch 1 gesetzt, wenn ein Steuerungssignal vom Modem seinen Status aendert. Sie werden bei jedem Lesen des Modemstatusregisters durch die CPU auf logisch 0 zurueckgesetzt.

Der Inhalt des Modemstatusregisters wird nachstehend beschrieben:

Bit	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I
								Delta bereit zum Senden (DCTS)
								Delta Modem bereit (DDSR)
								Abstiegflanke-Anrufsignal (TERI)
								Delta Empfangsleitungssignal
								erkannt (DRISD)
								Bereit zum Senden (CTS)
								Modem bereit (DSR)
								Anrufsignal (RI)
								Empfangsleitungssignal erkannt (RLSD)

Erklärung:

Delta kennzeichnet die Veraeenderung auf den Leitungen CTS und DSR.

Bit 0: Dieses Bit ist der Anzeiger fuer "Delta bereit zum Senden" (DCTS). Bit 0 gibt an, dass das Eingangssignal /CTS zum Chip seit dem letzten Lesen durch die CPU seinen Status veraeendert hat.

Bit 1: Dieses Bit ist der Anzeiger fuer "Delta Modem bereit" (DDSR). Bit 1 (logisch 1) gibt an, dass das Eingangssignal /DSR zum Chip seit dem letzten Lesen durch die CPU seinen Status veraeendert hat.

Bit 2: Dieses Bit ist der Anzeiger fuer "Abstiegflanke Anrufsignal" (TERI). Bit 2 gibt an, dass das Eingangssignal /RI zum Chip seit dem letzten Lesen durch die CPU seinen Zustand von EIN (logisch 1) auf AUS (logisch 0) geaeandert hat.

Bit 3: Dieses Bit ist der Anzeiger fuer "Delta Empfangsleitungssignal erkannt" (DRISD). Bit 3 gibt an, dass das Eingangssignal /RISD zum Ship seinen Status veraeandert hat.

Hinweis: Wenn das Bit 0, 1, 2 oder 3 auf logisch 1 gesetzt ist, wird ein Modemstatusinterrupt erzeugt.

- Ruecksatzfunktionen des 8250

Register/Signal	Ruecksatzsteuerung	Ruecksatzstatus
Interrupt-aktivierungsregister	Hauptruecksetzen	Saemtliche Bits sind 0 (0 bis 3 zwangsgesteuert und 4 bis 7 permanent)
Interruptkennungsregister	Hauptruecksetzen	Bit 0 ist 1, die Bits 1 und 2 sind 0; die Bits 3 bis 7 sind permanent 0
Leitungssteuerregister	Hauptruecksetzen	Alle Bits sind 0
Modemsteuerregister	Hauptruecksetzen	Alle Bits sind 0
Leitungsstatusregister	Hauptruecksetzen	Bits 0 bis 3 sind 0 Bits 4 bis 7 bilden das Eingangssignal
SOUT	Hauptruecksetzen	1
INTRPT (Empfaengerfehler)	Empfangspufferregister lesen Hauptruecksetzen	0
INTRPT (Empfangsdaten bereit)	Empfangspufferregister lesen Hauptruecksetzen	0
INTRPT (Empfaengerdaten bereit)	Interruptkennungsregister lesen Sendehalteregister schreiben Hauptruecksetzen	0
INTRPT (Modemstatusänderung)	Modemstatusregister lesen Hauptruecksetzen	0
OUT2	Hauptruecksetzen	1
RIS	Hauptruecksetzen	1
DIR	Hauptruecksetzen	1
OUT1	Hauptruecksetzen	1

Bit 4: Diese Bit ist das Komplement zu dem Eingangssignal "Bereit zum Senden" (/CTS). Ist Bit 4 (Schreiber) des Modemsteuerregisters auf logisch 1 gesetzt, so entspricht das dem Signal RTD im Modemsteuerregister.

Bit 5: Bit 5 ist das Komplement zu dem Eingangssignal "Modem bereit" (/DSR). Ist Bit 4 des Modemsteuerregisters auf logisch 1 gesetzt, so entspricht dieses Bit dem Signal DTR im Modemsteuerregister.

Bit 6: Dieses Bit ist das Komplement zu dem Eingangssignal "Kaufreihen" (/RI). Ist Bit 4 des Modemsteuerregisters auf logisch 1 gesetzt, so entspricht dieses Bit dem Signal OUT1 im Modemsteuerregister.

Bit 7: Bit 7 ist das Komplement zu dem Eingangssignal "Empfaengereingangssignal erkannt" (/RISD). Ist Bit 4 des Modemsteuerregisters auf logisch 1 gesetzt, so entspricht dieses Bit dem Signal OUT2 des Modemsteuerregisters.

3.4. Parallel-Schnittstelle (Drucker)

Im folgenden Abschnitt wird der Funktionsblock der parallelen Schnittstelle (Centronics) fuer den Anschluss eines Druckers behandelt.

3.4.1. Schnittstellen-Signale

Signal Anschluss	Signal Name	Richtung	Beschreibung
01	/STROBE	zum Drucker	Impuls zur Uebertragung eines Datenbytes. (aktiv low)
02	DATA 1	zum Drucker	Die Datenleitungen 1 bis 8 uebertragen ASCII-Code. Eine logische "1" wird durch ein High-Signal und eine logische "0" durch ein Low-Signal gebildet.
03	DATA 2		
04	DATA 3		
05	DATA 4		
06	DATA 5		
07	DATA 6		
08	DATA 7		
09	DATA 8		
10	/ACKNLG	vom Drucker	Ein 8 Mikrosekunden breiter Low-Impuls aufdieser Leitung zeigt die Bereitschaft des Druckers zum Empfang des naechsten Datenbytes an.
11	BUSY	vom Drucker	Das Signal wird aktiv (high), wenn der Drucker belegt ist und keine Daten annehmen kann, weil - der Datenspeicher voll ist - die Initialisierung aktiv ist - SLCT nicht aktiv ist - ein Druckerfehler auftrat.
12	PE (Paper Empty)	vom Drucker	Das Signal wird aktiv (high), wenn kein Druckerpapier eingelegt ist.
13	SELEKT	vom Drucker	Das Signal wird aktiv (high), wenn der Drucker selektiert wurde. Im anderen Fall bleibt das Signal inaktiv (low).
14	/AUTO FEED XT	zum Drucker	Bei aktiven Signal (low) fuehrt der Drucker nach dem Drucken automatisch einen Zeilenvorschub aus.

15 /ERROR

vom Drucker Ein Low auf dieser Leitung zeigt einen Fehlerzustand des Druckers an.

16 /INIT

zum Drucker Dieses Signal ist aktiv low, und bewirkt das Herstellen des Bereitschaftszustandes des Druckers.

17 /SELEKT IN

zum Drucker Mit diesem Signal wird der Drucker selektiert.

3.4.2. Registerbeschreibung

Datenregister:

Adressen: 0378H und 037CH oder 0278H und 027CH

In dieses Register werden die Daten fuer den Drucker eingeschrieben und gespeichert. Das Datenregister ist ueber die gleiche Adresse durch die CPU lesbar.

Steuerregister:

Adressen: 037AH und 037EH oder 027AH und 027CH

Bit 0 STROBE

Dieses Bit ist das Steuerbit, um die Daten zum Drucker zu uebertragen. Um das zu gewährleisten, muss Bit 0 fuer mindestens 1 Mikrosekunde auf High gesetzt sein. Die Daten muessen mindestens 0,5 Mikrosekunden vor und mindestens 0,5 Mikrosekunden nach dem STROBE-Impuls gueltig sein.

Bit 1 AUTO FD XT

Wird Bit 1 auf 1 gesetzt, so wird der Drucker veranlasst, nach dem Drucken einer Zeile einen Zeilenvorschub auszufuehren.

Bit 2 INIT

Wird Bit 2 fuer eine Mindestzeit von 50 Mikrosekunden auf "0" gesetzt, so wird der Drucker gestartet und der Datenspeicher des Druckers wird geloescht. Bit 2 ist normalerweise auf "1" gesetzt.

Bit 3 SLCT IN

Eine 1 in dieser Bit-Position waehlt den Drucker an.

Bit 4 IRQEN

Wird Bit 4 auf 1 gesetzt, so wird ein Interruptsignal erzeugt, sobald das Statussignal /ACK seinen Zustand high in low veraendert.

Entsprechend der Einordnung des Adapter im System ist es möglich, die Interruptsignale IRQ7 und IRQ5 durch Schalter einzustellen.

Bit 5 bis 6

Diese Bitpositionen werden nicht benutzt.

Druckerstatusregister (X79h, X7Dh)
Adressen: (0379h und 037Dh oder 0279h und 027Dh)

Der Status des Drucker wird in diesem durch die CPU lesbaren Register gespeichert. In den folgenden Ausführungen wird die Bedeutung der Bits beschrieben:

Bit 0 bis 2

Diese Bitpositionen werden nicht benutzt.

Bit 3 /ERROR

Hat dieses Bit den Zustand 0, so bedeutet das, der Drucker ist in einen Fehlerzustand geraten.

Bit 4 SELECT

Eine logische 1 zeigt der CPU an, dass der Drucker angewählt wurde. Eine logische 0 bedeutet, der Drucker ist nicht angewählt.

Bit 5 PE

Dieses Bit zeigt an, ob das Papierende erreicht wurde. Eine logische 1 signalisiert das kein Papier eingelegt ist.

Bit 6 /ACKNLG

Eine logische 0 zeigt an, dass der Drucker ein Zeichen verarbeitet hat und bereit ist, ein anderes Zeichen zu empfangen. Eine logische 1 bedeutet, der Drucker ist nicht bereit ein anderes Zeichen zu empfangen. Normalerweise wird dieses Signal annähernd 5 Mikrosekunden vor dem Ende des /BUSY-Signals aktiv sein.

Bit 7 /BUSY

Dieses Bit zeigt an, dass der Drucker besetzt ist und keine Daten annehmen kann. Eine logisch 0 bedeutet, der Drucker ist besetzt. Eine logische 1 zeigt an, dass der Drucker nicht besetzt ist. Dieses Signal wird in folgenden Zuständen auf logisch 0 gesetzt:

- während der Datenübertragung
- während des Druckens
- wenn der Druckkopf seine Position ändert
- wenn der Drucker sich im off-line-Zustand befindet oder
- während eines Fehlerzustandes.